

(12) International Application Status Report

Received at International Bureau: 13 August 2021 (13.08.2021)

Information valid as of: 11 July 2022 (11.07.2022)

Report generated on: 11 August 2023 (11.08.2023)

(10) Publication number:

WO2022/166126

(43) Publication date:

11 August 2022 (11.08.2022)

(26) Publication language:

Chinese (ZH)

(21) Application Number:

PCT/CN2021/107779

(22) Filing Date:

22 July 2021 (22.07.2021)

(25) Filing language:

Chinese (ZH)

(31) Priority number(s):

202110163720.X (CN)

(31) Priority date(s):

05 February 2021 (05.02.2021)

(31) Priority status:

Priority document received (in compliance with PCT Rule 17.1)

(51) International Patent Classification:

H01L 27/02 (2006.01); H01L 27/088 (2006.01); H01L 27/092 (2006.01); H01L 27/108 (2006.01)

(71) Applicant(s):

CHANGXIN MEMORY TECHNOLOGIES, INC. [CN/CN]; No. 388, Xingye Avenue, Airport Industrial Park, Economic and Technological Development Area Hefei, Anhui 230601 (CN) (*for all designated states*)

(72) Inventor(s):

WANG, Peihuan; No. 388, Xingye Avenue, Airport Industrial Park, Economic and Technological Development Area Hefei, Anhui 230000 (CN)

(74) Agent(s):

BOXIN CHINA INTELLECTUAL PROPERTY; No. 101-10, 4th Floor Building 1, No. 8, Heiquan Road, Haidian District Beijing 100192 (CN)

(54) Title (EN): STANDARD CELL TEMPLATE AND SEMICONDUCTOR STRUCTURE

(54) Title (FR): MODÈLE DE CELLULE STANDARD ET STRUCTURE SEMI-CONDUCTRICE

(54) Title (ZH): 标准单元版图模板以及半导体结构

(57) Abstract:

(EN): The present disclosure provides a standard cell template and a semiconductor structure. The standard cell template comprises: a first well region and a second well region, which are arranged in a first direction; a first gate pattern, which is located in the first well region and extends in the first direction, and is used for defining a first gate electrode; a second gate pattern, which is located in the second well region and extends in the first direction, and is used for defining a second gate electrode; and a gate electrical connection pattern, which is located between the first gate pattern and the second gate pattern and is used for defining a gate electrical connection structure, wherein the gate electrical connection structure is arranged in the same layer as the first gate electrode and the second gate electrode, so as to be electrically connected to the first gate electrode and/or the second gate electrode.

(FR): La présente invention concerne un modèle de cellule standard et une structure semi-conductrice. Le modèle de cellule standard comprend : une première région de puits et une seconde région de puits, qui sont agencées dans une première direction ; un premier motif de grille, qui est situé dans la première région de puits et s'étend dans la première direction, et est utilisé pour définir une première électrode de grille ; un second motif de grille, qui est situé dans la seconde région de puits et s'étend dans la première direction, et est utilisé pour définir une seconde électrode de grille ; et un motif de connexion électrique de grille, qui est situé entre le premier motif de grille et le second motif de grille et est utilisé pour définir une structure de connexion électrique de grille, la structure de connexion électrique de grille étant agencée dans la même couche que la première électrode de grille et la seconde électrode de grille, de manière à être électriquement connectée à la première électrode de grille et/ou à la seconde électrode de grille.

(ZH): 本公开提供一种标准单元版图模板以及半导体结构, 其中, 标准单元版图模板包括: 沿第一方向排布的第一阱区和第二阱区; 第一栅极图形, 位于所述第一阱区且沿所述第一方向延伸, 用于定义第一栅极; 第二栅极图形, 位于

所述第二阱区且沿所述第一方向延伸，用于定义第二栅极；栅电连接图形，位于所述第一栅极图形与所述第二栅极图形之间，用于定义栅电连接结构，所述栅电连接结构与所述第一栅极以及所述第二栅极同层设置，以电连接所述第一栅极和/或所述第二栅极。

International search report:

Received at International Bureau: 04 November 2021 (04.11.2021) [CN]

International Report on Patentability (IPRP) Chapter II of the PCT:

Not available

(81) Designated States:

AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW

European Patent Office (EPO) : AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR

African Intellectual Property Organization (OAPI) : BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG

African Regional Intellectual Property Organization (ARIPO) : BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW

Eurasian Patent Organization (EAPO) : AM, AZ, BY, KG, KZ, RU, TJ, TM