

明 細 書

発明の名称：半導体記憶装置

技術分野

[0001] 実施形態は、半導体記憶装置に関する。

背景技術

[0002] 半導体記憶装置としてのNAND型フラッシュメモリが知られている。

先行技術文献

特許文献

[0003] 特許文献1：特許第3667165号公報

特許文献2：特開2006-332342号公報

特許文献3：特許第3129928号公報

特許文献4：米国特許第7259451号明細書

発明の概要

発明が解決しようとする課題

[0004] 製造コストを低減し得る半導体記憶装置を提供する。

課題を解決するための手段

[0005] 実施形態の半導体記憶装置は、第1基板と、上記第1基板の上面上に設けられた第1素子層と、第2基板と、上記第2基板の上面上に設けられた第2素子層と、を備える。上記第1基板は、第1ビアを含む。上記第1素子層は、上記第1ビアと電氣的に接続され、上記第1素子層の上面上に設けられた第1パッドを含み、上記第2基板は、第2ビアを含む。上記第2素子層は、上記第2ビアと電氣的に接続され、上記第2素子層の上面上に設けられた第2パッドを含む。上記第2素子層の上面は、上位第1素子層の上面上に対向して設けられる。上記第1パッド及び上記第2パッドは、上記第1素子層及び上記第2素子層の対向する面に対して対称に設けられ、互いに電氣的に接続される。

図面の簡単な説明

[0006] [図1]図1は、第1実施形態に係るメモリシステムの構成を説明するためのブロック図。

[図2]図2は、第1実施形態に係る半導体記憶装置の構成を説明するためのブロック図。

[図3]図3は、第1実施形態に係る半導体記憶装置のコアチップ群の構成を説明するための回路図。

[図4]図4は、第1実施形態に係る半導体記憶装置のコアチップの構成を説明するための上面図。

[図5]図5は、第1実施形態に係る半導体記憶装置のコアチップの構成を説明するための断面図。

[図6]図6は、第1実施形態に係る半導体記憶装置のコアチップの構成を説明するための上面図。

[図7]図7は、第1実施形態に係る半導体記憶装置のコアチップの構成を説明するための断面図。

[図8]図8は、第1実施形態に係る半導体記憶装置のコアチップ群の構成を説明するための断面図。

[図9]図9は、第1実施形態に係る半導体記憶装置の製造方法を説明するための模式図。

[図10]図10は、第1実施形態に係る半導体記憶装置の製造方法を説明するためのフローチャート。

[図11]図11は、第1実施形態に係る半導体記憶装置の製造方法を説明するための模式図。

[図12]図12は、第1実施形態に係る半導体記憶装置の製造方法を説明するための模式図。

[図13]図13は、第1実施形態に係る半導体記憶装置の製造方法を説明するための模式図。

[図14]図14は、第1実施形態の変形例に係る半導体記憶装置のコアチップ

の構成を説明するための上面図。

[図15]図15は、第1実施形態の変形例に係る半導体記憶装置の製造方法を説明するための模式図。

[図16]図16は、第1実施形態の変形例に係る半導体記憶装置の製造方法を説明するための模式図。

[図17]図17は、第1実施形態の変形例に係る半導体記憶装置の製造方法を説明するための模式図。

[図18]図18は、第2実施形態に係る半導体記憶装置のコアチップ群の構成を説明するための回路図。

[図19]図19は、第2実施形態に係る半導体記憶装置のコアチップの構成を説明するための断面図。

[図20]図20は、第2実施形態に係る半導体記憶装置のコアチップの構成を説明するための断面図。

[図21]図21は、第2実施形態に係る半導体記憶装置のコアチップ群の構成を説明するための断面図。

[図22]図22は、第2実施形態に係る半導体記憶装置の製造方法を説明するための模式図。

[図23]図23は、第2実施形態に係る半導体記憶装置の製造方法を説明するための模式図。

[図24]図24は、第2実施形態の第1変形例に係る半導体記憶装置のコアチップの構成を説明するための断面図。

[図25]図25は、第2実施形態の第1変形例に係る半導体記憶装置のコアチップの構成を説明するための断面図。

[図26]図26は、第2実施形態の第1変形例に係る半導体記憶装置のコアチップ群の構成を説明するための断面図。

[図27]図27は、第2実施形態の第1変形例に係る半導体記憶装置の製造方法を説明するための模式図。

[図28]図28は、第2実施形態の第1変形例に係る半導体記憶装置の製造方

法を説明するための模式図。

[図29]図29は、第3実施形態に係る半導体記憶装置のコアチップの構成を説明するための断面図。

[図30]図30は、第3実施形態に係る半導体記憶装置のコアチップの構成を説明するための断面図。

[図31]図31は、第3実施形態に係る半導体記憶装置のコアチップの構成を説明するための断面図。

[図32]図32は、第3実施形態に係る半導体記憶装置のコアチップの構成を説明するための断面図。

[図33]図33は、第3実施形態に係る半導体記憶装置のコアチップ群の構成を説明するための断面図。

[図34]図34は、第3実施形態に係る半導体記憶装置の製造方法を説明するための模式図。

[図35]図35は、第4実施形態に係る半導体記憶装置のコアチップ群の構成を説明するためのブロック図。

[図36]図36は、第4実施形態に係る半導体記憶装置のコアチップ群の構成を説明するための回路図。

[図37]図37は、第4実施形態に係る半導体記憶装置のコアチップの構成を説明するための上面図。

[図38]図38は、第4実施形態に係る半導体記憶装置のコアチップの構成を説明するための断面図。

[図39]図39は、第4実施形態に係る半導体記憶装置のコアチップの構成を説明するための上面図。

[図40]図40は、第4実施形態に係る半導体記憶装置のコアチップの構成を説明するための断面図。

[図41]図41は、第4実施形態に係る半導体記憶装置のコアチップ群の構成を説明するための断面図。

[図42]図42は、第4実施形態に係る半導体記憶装置の製造方法を説明する

ための模式図。

[図43]図43は、第4実施形態に係る半導体記憶装置の効果を説明するための模式図。

[図44]図44は、第4実施形態に係る半導体記憶装置の効果を説明するための模式図。

[図45]図45は、第4実施形態の第1変形例に係る半導体記憶装置のコアチップの構成を説明するための断面図。

[図46]図46は、第4実施形態の第1変形例に係る半導体記憶装置のコアチップの構成を説明するための断面図。

[図47]図47は、第4実施形態の第1変形例に係る半導体記憶装置のコアチップの構成を説明するための断面図。

[図48]図48は、第4実施形態の第1変形例に係る半導体記憶装置のコアチップ群の構成を説明するための断面図。

[図49]図49は、第4実施形態の第2変形例に係る半導体記憶装置のコアチップ群の構成を説明するための断面図。

[図50]図50は、第4実施形態の第3変形例に係る半導体記憶装置のコアチップの構成を説明するための上面図。

[図51]図51は、第4実施形態の第3変形例に係る半導体記憶装置のコアチップの構成を説明するための上面図。

[図52]図52は、第5実施形態に係る半導体記憶装置のコアチップ群の構成を説明するためのブロック図。

[図53]図53は、第5実施形態に係る半導体記憶装置のコアチップの構成を説明するための上面図。

[図54]図54は、第5実施形態に係る半導体記憶装置のコアチップ群の構成を説明するための断面図。

[図55]図55は、第5実施形態に係る半導体記憶装置の製造方法を説明するための模式図。

[図56]図56は、第5実施形態の第1変形例に係る半導体記憶装置のコアチ

チップ群の構成を説明するための断面図。

[図57]図57は、第5実施形態の第2変形例に係る半導体記憶装置のコアチップ群の構成を説明するための断面図。

[図58]図58は、第5実施形態の第3変形例に係る半導体記憶装置のコアチップの構成を説明するための上面図。

実施形態

[0007] 以下、図面を参照して実施形態について説明する。なお、以下の説明において、同一の機能及び構成を有する構成要素については、共通する参照符号を付す。また、共通する参照符号を有する複数の構成要素を区別する場合、当該共通する参照符号に添え字を付して区別する。なお、複数の構成要素について特に区別を要さない場合、当該複数の構成要素には、共通する参照符号のみが付され、添え字は付さない。

[0008] 1. 第1実施形態

第1実施形態に係る半導体記憶装置について説明する。

[0009] 1. 1 構成について

まず、第1実施形態に係る半導体記憶装置の構成について説明する。

[0010] 1. 1. 1 メモリシステムの全体構成について

第1実施形態に係るメモリシステムの構成例について、図1を用いて説明する。図1は、第1実施形態に係るメモリシステムの構成の一例を示すブロック図である。メモリシステム1は、例えば、外部の図示しない基板システム上に設けられる。メモリシステム1は、当該基板システムから供給される電源電圧及び接地電圧GNDによって動作し、外部の図示しないホスト機器と通信する。メモリシステム1は、ホスト機器（図示せず）からのデータを保持し、また、データをホスト機器に読み出す。

[0011] 図1に示すように、メモリシステム1は、コントローラ2及び半導体記憶装置（NAND型フラッシュメモリ）3を備えている。コントローラ2は、ホスト機器から命令を受取り、受け取られた命令に基づいて半導体記憶装置3を制御する。具体的には、コントローラ2は、ホスト機器から書込みを指

示されたデータを半導体記憶装置3に書込み、ホスト機器から読出しを指示されたデータを半導体記憶装置3から読み出してホスト機器に送信する。コントローラ2は、NANDバスによって半導体記憶装置3に接続される。半導体記憶装置3は、複数のメモリセルを備え、データを不揮発に記憶する。

[0012] NANDバスは、NANDインタフェースに従った信号／CE、CLE、ALE、／WE、／RE、RE、／WP、／RB、DQS、／DQS、及びI／O<7:0>の送受信を行う。信号／CEは、半導体記憶装置3をイネーブルにするための信号である。信号CLE及びALEは、信号CLE及びALEと並行して半導体記憶装置3に流れる信号I／O<7:0>がそれぞれコマンドCMD及びアドレスADDであることを半導体記憶装置3に通知する。信号／WEは、信号／WEと並行して半導体記憶装置3に流れる信号I／O<7:0>を半導体記憶装置3に取り込むことを指示する。信号／RE及びREは、半導体記憶装置3に信号I／O<7:0>を出力することを指示する。信号／WPは、データ書込み及び消去の禁止を半導体記憶装置3に指示する。信号／RBは、半導体記憶装置3がレディ状態（外部からの命令を受け付ける状態）であるか、ビジー状態（外部からの命令を受け付けない状態）であるかを示す。信号I／O<7:0>は、例えば8ビットの信号である。信号DQS、／DQSは、半導体記憶装置3の信号I／O<7:0>の入出力のタイミングの指標となる基準信号である。信号I／O<7:0>は、半導体記憶装置3とコントローラ2との間で送受信されるデータの実体であり、コマンドCMD、アドレスADD、データDAT、並びにステータスSTSを含む。データDATは、書込みデータ及び読出しデータを含む。

[0013] 1. 1. 2 コントローラの構成について

引き続き図1を用いて、第1実施形態に係るメモリシステムのコントローラについて説明する。コントローラ2は、プロセッサ（CPU: Central Processing Unit）5、内蔵メモリ（RAM: Random Access Memory）6、NANDインタフェース回路7、バッファメモリ8、及びホストインタフェース

回路 9 を備えている。

- [0014] プロセッサ 5 は、コントローラ 2 全体の動作を制御する。プロセッサ 5 は、例えば、ホスト機器から受信したデータの書込み命令に応答して、NAND インタフェースに基づく書込み命令を半導体記憶装置 3 に対して発行する。この動作は、読出し及び消去の場合についても同様である。
- [0015] 内蔵メモリ 6 は、例えば、DRAM (Dynamic RAM) 等の半導体メモリであり、プロセッサ 5 の作業領域として使用される。内蔵メモリ 6 は、半導体記憶装置 3 を管理するためのファームウェア、及び各種の管理テーブル等を保持する。
- [0016] NAND インタフェース回路 7 は、NAND バスを介して半導体記憶装置 3 と接続され、半導体記憶装置 3 との通信を司る。NAND インタフェース回路 7 は、プロセッサ 5 の指示により、コマンド CMD、アドレス ADD、及び書込みデータを半導体記憶装置 3 に送信する。また、NAND インタフェース回路 7 は、半導体記憶装置 3 から読出しデータを受信する。
- [0017] バッファメモリ 8 は、コントローラ 2 が半導体記憶装置 3 及びホスト機器から受信したデータ等を一時的に保持する。
- [0018] ホストインタフェース回路 9 は、ホスト機器と接続され、ホスト機器との通信を司る。ホストインタフェース回路 9 は、例えば、ホスト機器から受信した命令及びデータを、それぞれプロセッサ 5 及びバッファメモリ 8 に転送する。
- [0019] 1. 1. 3 半導体記憶装置の構成について
- 次に、第 1 実施形態に係る半導体記憶装置の構成例について、図 2 を用いて説明する。図 2 は、第 1 実施形態に係る半導体記憶装置の構成の一例を示すブロック図である。
- [0020] 半導体記憶装置 3 は、例えば、基板システムから供給される電源電圧及び接地電圧 GND によって動作するインタフェースチップ 10 及びコアチップ群 11 を備えている。コアチップ群 11 は、例えば、4 つのコアチップ CC (CC0、CC1、CC2、及び CC3) を備えている。コアチップ CC の

数は、4つに限らず、任意の数が適用可能である。ここで、「コアチップC C」とは、インタフェースチップ10と合わせて1つのNANDフラッシュメモリとして機能し得る半導体集積回路（チップ）の構成単位である。

[0021] インタフェースチップ10は、コントローラ2とコアチップ群11との間において、信号／CE、CLE、ALE、／WE、／RE、RE、／WP、／RB、DQS、／DQS、及びI／O<7:0>をインタフェースする機能を有する。インタフェースチップ10は、例えば、信号DQS及び／DQSと共に、I／O<7:0>内のコマンドCMD、アドレスADDをコアチップ群11に転送する。また、例えば、インタフェースチップ10は、DQS及び／DQSと共に、信号I／O<7:0>内の書込みデータ及び読出しデータをコアチップ群11と送受信する。

[0022] 各コアチップC Cは、メモリセルアレイ12、データ転送回路13、ロジック制御回路14、シーケンサ15、電圧生成回路16、ドライバセット17、ロウデコーダ18、及びセンスアンプ19を備えている。以下の説明では、メモリセルアレイ12、データ転送回路13、ロジック制御回路14、シーケンサ15、電圧生成回路16、ドライバセット17、ロウデコーダ18、及びセンスアンプ19を含む、各コアチップ内に設けられた各種回路を総称して、「内部回路」と言う。

[0023] メモリセルアレイ12は、例えば、4つのプレーン（プレーン0、プレーン1、プレーン2、及びプレーン3）を備えている。プレーンは、ワード線及びビット線に関連付けられた複数の不揮発性メモリセルトランジスタ（図示せず）を含む。各プレーンには、例えば、1つの書込み動作又は読出し動作において、同時に書込み動作及び読出し動作を実行することができる。なお、メモリセルアレイ12内のプレーン数は、4つに限らず、例えば、1、2、8等の数が適用可能である。

[0024] データ転送回路13は、コマンドCMD、アドレスADDをシーケンサ15に転送する。また、データ転送回路13は、書込みデータ及び読出しデータをセンスアンプ19と送受信する。

- [0025] ロジック制御回路 14 は、インタフェースチップ 10 を介し、信号 /CE、CLE、ALE、/WE、/RE、RE、及び /WP に相当する信号を受信する。また、ロジック制御回路 14 は、インタフェースチップ 10 を介し、信号 /RB をコントローラ 2 に転送してコアチップの状態を外部に通知する。
- [0026] シーケンサ 15 は、コマンド CMD を受け取り、受け取ったコマンド CMD に基づくシーケンスに従ってコアチップの全体を制御する。
- [0027] 電圧生成回路 16 は、シーケンサ 15 からの指示に基づき、データの書込み、読出し、及び消去等の動作に必要な電圧を生成する。電圧生成回路 16 は、生成した電圧をロウデコーダ 18 及びセンスアンプ 19 に供給する。
- [0028] ロウデコーダ 18 は、シーケンサ 15 からアドレス ADD 中のロウアドレスを受取り、当該ロウアドレスに基づいて各プレーンの部分を選択する。そして、選択された各プレーンの部分には、ロウデコーダ 18 を介して電圧生成回路 16 からの電圧が転送される。
- [0029] センスアンプ 19 は、データの読出し時には、メモリセルトランジスタからビット線に読み出された読出しデータをセンスし、センスした読出しデータをデータ転送回路 13 に転送する。センスアンプ 19 は、データの書込み時には、ビット線を介して書込まれる書込みデータをメモリセルトランジスタに転送する。また、センスアンプ 19 は、シーケンサ 15 からアドレス ADD 中のカラムアドレスを受取り、当該カラムアドレスに基づくカラムのデータを出力する。
- [0030] なお、図 2 の例では、インタフェースチップ 10 及びコアチップ群 11 が、異なるチップとして設けられる構成について示したが、これに限られない。例えば、コアチップ群 11 は、インタフェースチップ 10 と同様の機能を有する回路を含んでいてもよい。係る場合、コアチップ群 11 は、インタフェースチップ 10 を介さずにコントローラ 2 と各種信号の通信を行ってもよい。
- [0031] 1. 1. 4 コアチップ群の構成について

次に、第1実施形態に係る半導体記憶装置のコアチップ群の構成について説明する。

[0032] 1. 1. 4. 1 コアチップ間の接続について

まず、第1実施形態に係る半導体記憶装置のコアチップ間の接続について、図3を用いて説明する。図3は、第1実施形態に係る半導体記憶装置のコアチップ間の接続例を説明するための回路図である。

[0033] 図3に示すように、コアチップ群11は、例えば、コアチップCC0～CC3が直列接続されて構成される。具体的には、コアチップCC0～CC3の各々は、端子T1a、T2a、T3a、及びT4a、並びに端子T1b、T2b、T3b、及びT4bを含む。また、コアチップCC0～CC3の各々は、論理回路LGA及びLGBを更に含む。

[0034] コアチップCC0の端子T1a～T4aは、例えば、外部のインタフェースチップ10又はコントローラ2と接続される。コアチップCC0の端子T1b～端子T4bはそれぞれ、コアチップCC1の端子T1a～端子T4aに接続される。コアチップCC1の端子T1b～端子T4bはそれぞれ、コアチップCC2の端子T1a～端子T4aに接続される。コアチップCC2の端子T1b～端子T4bはそれぞれ、コアチップCC3の端子T1a～端子T4aに接続される。

[0035] 各々のコアチップCCにおいて、端子T1a及びT1b、端子T2a及びT2b、並びに、端子T3a及びT3bは、各々のコアチップCCの内部に設けられた配線を介して接続される。各々のコアチップCCにおいて、論理回路LGAは、端子T2a及びT2bの間の配線上に設けられ、論理回路LGBは、端子T3a及びT3bの間の配線上に設けられる。論理回路LGAは、端子T2aに接続された入力端と、端子T2bに接続された出力端と、を含む。論理回路LGBは、端子T3bに接続された入力端と、端子T3aに接続された出力端と、を含む。

[0036] 以上のように構成されることにより、コアチップCC0の端子T1aからコアチップCC3の端子T1bまでは、コアチップCC0～CC3間で信号

を送受信可能な信号経路 $SL1$ として機能する。また、コアチップ $CC0$ の端子 $T2a$ からコアチップ $CC3$ の端子 $T2b$ までは、コアチップ CCn (n は、 $0 \leq n \leq 2$) の論理回路 LGA によって演算処理された信号をコアチップ $CC(n+1)$ に送信可能な信号経路 $SL2$ として機能する。また、コアチップ $CC0$ の端子 $T3a$ からコアチップ $CC3$ の端子 $T3b$ までは、コアチップ $CC(n+1)$ の論理回路 LGB によって演算処理された信号をコアチップ CCn に送信可能な信号経路 $SL3$ として機能する。また、コアチップ CCn の端子 $T4b$ からコアチップ $CC(n+1)$ の端子 $T4a$ までは、コアチップ CCn と $CC(n+1)$ との間で信号を送受信可能な信号経路 $SL4$ として機能する。なお、コアチップ $CC0$ の端子 $T1a \sim T4a$ は、各種信号をインタフェースチップ 10 又はコントローラ 2 との間で送受信することができる。

[0037] また、各コアチップ CC において各端子 T 間で通信される信号は、当該コアチップ CC 内の内部回路に接続される。これにより、各コアチップ CC の内部回路は、信号経路 $SL1 \sim SL4$ を流れる信号を受信し、又は信号経路 $SL1 \sim SL4$ へ信号を送信することができる。なお、図 3 の例では、端子 $T1a \sim T4a$ 、端子 $T1b \sim T4b$ 、及び論理回路 LGA 、 LGB は、内部回路と区別して示されているが、これに限られない。例えば、端子 $T1a \sim T4a$ 、端子 $T1b \sim T4b$ 、及び論理回路 LGA 、 LGB は、内部回路に含まれていてもよい。

[0038] なお、論理回路 LGA 及び LGB は、入力と出力とが相互に交換不可能な回路素子であれば、任意の論理回路が適用可能である。論理回路 LGA 及び LGB は、具体的には、例えば、演算処理は、否定 (NOT) 演算、論理和 (OR) 演算、論理積 (AND) 演算、否定論理積 ($NAND$) 演算、否定論理和 (NOR) 演算、排他的論理和 (XOR) 演算等、種々の論理演算が適用可能である。

[0039] なお、図 3 ではコアチップ $CC3$ に端子 $T1b \sim T4b$ が設けられる例について示したが、これに限られない。例えば、コアチップ $CC3$ がコアチッ

チップCC2以外のコアチップCCと接続されない場合、端子T1b～T4bは不要である。以下の説明では、便宜的に、図3に示されるコアチップCC3と同様、他のコアチップCCと接続されない端子が示される場合がある。しかしながら、上述の通り、当該端子は、設けられなくてもよい。

[0040] 1. 1. 4. 2 コアチップの構成について

次に、第1実施形態に係る半導体記憶装置のコアチップの構成について説明する。

[0041] 図3において示されたコアチップの回路構成は、例えば、半導体基板と、当該半導体基板上の素子層と、に設けられた半導体集積回路を含む。半導体集積回路は、例えば、内部回路の配置（「レイアウトパターン」とも言う。）と、当該内部回路間を接続する配線の配置（「配線パターン」とも言う。）と、によって具体的に設計される。より具体的には、例えば、レイアウトパターンは、コアチップ内におけるメモリセルアレイ12、データ転送回路13、ロジック制御回路14、シーケンサ15、電圧生成回路16、ドライバセット17、ロウデコーダ18、センスアンプ19、端子T1a～T4a、端子T1b～T4b、並びに論理回路LGA及びLGBの半導体基板上における配置を決定する。また、例えば、配線パターンは、レイアウトパターンによって配置された内部回路の入出力関係を決定する。レイアウトパターン及び配線パターンを含むコアチップCCの設計全体の情報は、「チップデザイン」とも言う。なお、以下の説明では、レイアウトパターン及び配線パターンは、例えば、ダイシング工程においてウェハから切出されたチップにおける、1つの半導体基板上に相当する範囲が1つのパターンの単位であるものとして説明する。

[0042] 図4及び図6は、第1実施形態に係る半導体記憶装置のコアチップのレイアウトパターンを説明するための上面図である。図5及び図7は、第1実施形態に係る半導体記憶装置のコアチップのレイアウトパターン及び配線パターンを説明するための断面図である。図5及び図7はそれぞれ、図4において示されたV-V線、及び図6において示されたV11-V11線に沿った

断面を示す。また、図4及び図5では、コアチップCC0及びCC2に共通する構成が示され、図6及び図7では、コアチップCC1及びCC3に共通する構成が示される。

[0043] なお、以下の説明では、半導体基板のうち、内部回路が設けられた面を「上面」と定義し、上面に対向する面を「下面」と定義する。一方、半導体基板上の内部回路を構成する各層のうち、半導体基板側の面を「下面」と定義し、下面に対向する面を「上面」と定義する。そして、コアチップのうち、半導体基板側の面を「下面」と定義し、内部回路側の面を「上面」と定義する。また、半導体基板の上面及び下面と平行な面を x y 平面とし、 x y 平面に垂直な方向を z 方向とする。なお、 x 方向と y 方向とは、 x y 平面内において互いに直交するものとする。

[0044] まず、コアチップCC0及びCC2の構成について説明する。

[0045] 図4に示すように、コアチップCC0及びCC2のレイアウトパターンは、 x y 平面上において、 x 方向に沿った2辺と、 y 方向に沿った2辺とを有する矩形形状の領域に設けられる。プレーン0～プレーン3はそれぞれ、当該矩形形状の領域の4隅（図4における左上隅、左下隅、右上隅、及び右下隅）に設けられる。ロウデコーダ18及びセンスアンプ19は、プレーン0～プレーン3に対応する部分に分割して配置される。以下の説明では、プレーン0～プレーン3にそれぞれ対応するロウデコーダ18の部分及びセンスアンプ19の部分はそれぞれ、ロウデコーダ18-0～18-3、及びセンスアンプ19-0～19-3と言う。ロウデコーダ18-0～18-3の y 方向に沿った辺の一方はそれぞれ、例えば、プレーン0～プレーン3の y 方向に沿った辺に接する。ロウデコーダ18-0及び18-1の y 方向に沿った辺の他方はそれぞれ、例えば、ロウデコーダ18-2及び18-3の y 方向に沿った辺の他方と接する。センスアンプ19-0～19-3はそれぞれ、例えば、プレーン0～プレーン3の x 方向に沿った辺に接する。

[0046] センスアンプ19-0～19-3に y 方向に挟まれる領域に、データ転送回路13、ロジック制御回路14、シーケンサ15、電圧生成回路16、及

びドライバセット 17 が配置される。なお、以下の説明では、データ転送回路 13、ロジック制御回路 14、シーケンサ 15、電圧生成回路 16、及びドライバセット 17 は、メモリセルアレイ 12、ロウデコーダ 18、及びセンスアンプ 19 に対する「周辺回路」と言う。データ転送回路 13 は、矩形領域の中央部に設けられ、ドライバセット 17 は、プレーン 0 及びプレーン 2 に対応する部分と、プレーン 1 及びプレーン 3 に対応する部分と、に分割して配置される。以下の説明では、プレーン 0 及びプレーン 2 に対応するドライバセット 17 の部分と、プレーン 1 及びプレーン 3 に対応するドライバセット 17 の部分とはそれぞれ、ドライバセット 17 U 及び 17 D と言う。ドライバセット 17 U 及び 17 D は、例えば、データ転送回路 13 の x 方向に沿う辺に接する。

[0047] 電圧生成回路 16 は、例えば、データ転送回路 13 及びドライバセット 17 に対して、プレーン 0 及びプレーン 1 側に配置される。ロジック制御回路 14 及びシーケンサ 15 は、例えば、データ転送回路 13 及びドライバセット 17 に対して、プレーン 2 及びプレーン 3 側に配置される。

[0048] 以上のように配置されたコアチップ C C 0 及び C C 2 のレイアウトパターンは、例えば、図 4 に示されたシンボル P 1 に対応付けられる。

[0049] また、図 5 に示すように、シンボル P 1 に対応付けられたレイアウトパターンと、当該レイアウトパターンに対応付けられた配線パターンとに従って、半導体基板 20 の上面上には、素子層 21 が設けられる。なお、図 5 では、簡単のため、端子 T 1 a ~ T 4 a、T 1 b ~ T 4 b 並びに論理回路 L G A 及び L G B 以外の内部回路については、記載を省略している。

[0050] 半導体基板 20 には、T S V (Through silicon via) として機能する複数のビア 22 (22-1、22-2、22-3、及び 22-4) が設けられる。半導体基板 20 の下面上のうちビア 22-1 ~ 22-4 が露出した部分にはそれぞれ、端子 T 1 a ~ T 4 a として機能する複数のバンプ 23 (23-1、23-2、23-3、及び 23-4) が設けられる。素子層 21 の上面上には、端子 T 1 b ~ T 4 b として機能する複数のパッド 24 (24-1、

24-2、24-3、及び24-4)が設けられる。パッド24の上面は、素子層21の上面上に露出する。素子層21内には、論理回路LGA及びLGBとして機能する論理素子層25及び26、並びに配線層27〜33が設けられる。

[0051] 配線層27は、ビア22-1の上端上に設けられた第1端と、パッド24-1の下端上に設けられた第2端と、を含む。配線層27は、例えば、内部回路に接続される。

[0052] 配線層28は、ビア22-2の上端上に設けられた第1端と、論理素子層25の下端上に設けられた第2端と、を含む。配線層28は、例えば、内部回路に接続される。配線層29は、論理素子層25の上端上に設けられた第1端と、パッド24-2の下端上に設けられた第2端と、を含む。論理素子層25は、入力端としての機能を有する下端と、出力端としての機能を有する上端と、を含む。つまり、論理素子層25は、バンプ23-2から入力された信号をパッド24-2に向けて出力する論理回路LGAとして機能する。

[0053] 配線層30は、ビア22-3の上端上に設けられた第1端と、論理素子層26の下端上に設けられた第2端と、を含む。配線層31は、論理素子層26の上端上に設けられた第1端と、パッド24-3の下端上に設けられた第2端と、を含む。配線層31は、例えば、内部回路に接続される。論理素子層26は、出力端としての機能を有する下端と、入力端としての機能を有する上端と、を含む。つまり、論理素子層26は、パッド24-3から入力された信号をバンプ23-3に向けて出力する論理回路LGBとして機能する。

[0054] 配線層32は、ビア22-4の上端上に設けられた第1端を含み、例えば、内部回路に接続される。配線層33は、パッド24-4の下端上に設けられた第1端を含み、例えば、内部回路に接続される。

[0055] 図5の例では、バンプ23-1及びパッド24-1はそれぞれ、半導体基板20の+x方向の端(右端)から距離d1及びd5の位置に設けられる。

バンプ23-2及びパッド24-2はそれぞれ、半導体基板20の右端から距離d2及びd6の位置に設けられる。バンプ23-3及びパッド24-3はそれぞれ、半導体基板20の右端から距離d3及びd7の位置に設けられる。バンプ23-4及びパッド24-4はそれぞれ、半導体基板20の右端から距離d4及びd8の位置に設けられる。なお、距離d1及びd5、距離d2及びd6、距離d3及びd7、又は距離d4及びd8は、互いに同じ距離でも異なる距離でもよい。

[0056] 次に、コアチップCC1及びCC3の構成について説明する。

[0057] 図6に示すように、コアチップCC1及びCC3のレイアウトパターンは、コアチップCC0及びCC2と同一の矩形形状の領域に設けられる。そして、コアチップCC1及びCC3のレイアウトパターンと、コアチップCC0及びCC2のレイアウトパターンとは、各々の上面同士を対向させた際の対向面に関して鏡像対称となるように設計される。具体的には、例えば、コアチップCC1及びCC3のレイアウトパターンは、コアチップCC0及びCC2のレイアウトパターンに対して、yz平面に関して鏡像対称となる。より具体的には、プレーン0～プレーン3はそれぞれ、矩形形状の領域の4隅（図6における右上隅、右下隅、左上隅、及び左下隅）に設けられる。その他の各種回路は、コアチップCC0及びCC2における説明と同様に配置される。

[0058] 以上のように配置されたコアチップCC1及びCC3のレイアウトパターンは、例えば、図6に示すように、図4に示されたシンボルP1をyz平面に関して鏡像対称に変換したシンボルP2に対応付けられる。すなわち、コアチップCC1及びCC3のレイアウトパターンは、シンボルP2からシンボルP1への変換と同一の変換を施すことにより、コアチップCC0及びCC2のレイアウトパターンと一致する。

[0059] また、図7に示すように、シンボルP2に対応付けられたレイアウトパターンと、当該レイアウトパターンに対応付けられた配線パターンとに従って、半導体基板40の上面上には、素子層41が設けられる。なお、図7では

、簡単のため、端子T 1 a～T 4 a、端子T 1 b～T 4 b、並びに論理回路L G A及びL G B以外の内部回路については、記載を省略している。

[0060] 半導体基板4 0には、T S Vとして機能する複数のビア4 2（4 2－1、4 2－2、4 2－3、及び4 2－4）が設けられる。半導体基板4 0の下面上のうちビア4 2－1～4 2－4が露出した部分にはそれぞれ、端子T 1 b～T 4 bとして機能する複数のバンプ4 3（4 3－1、4 3－2、4 3－3、及び4 3－4）が設けられる。素子層4 1の上面上には、端子T 1 a～T 4 aとして機能する複数のパッド4 4（4 4－1、4 4－2、4 4－3、及び4 4－4）が設けられる。パッド4 4の上面は、素子層4 1の上面上に露出する。素子層4 1内には、論理回路L G A及びL G Bとして機能する論理素子層4 5及び4 6、並びに配線層4 7～5 3が設けられる。

[0061] 配線層4 7は、ビア4 2－1の上端上に設けられた第1端と、パッド4 4－1の下端上に設けられた第2端と、を含む。配線層4 7は、例えば、内部回路に接続される。

[0062] 配線層4 8及び4 9は、図5における配線層2 8及び2 9と異なる配線パターンによってビア4 2－2、論理素子層4 5、及びパッド4 4－2の間を接続する。具体的には、配線層4 8は、ビア4 2－2の上端上に設けられた第1端と、論理素子層4 5の上端上に設けられた第2端と、を含む。配線層4 8は、例えば、内部回路に接続される。配線層4 9は、論理素子層4 5の下端上に設けられた第1端と、パッド4 4－2の下端上に設けられた第2端と、を含む。論理素子層4 5は、入力端としての機能を有する下端と、出力端としての機能を有する上端と、を含む。つまり、論理素子層4 5は、パッド4 4－2から入力された信号をバンプ4 3－2に向けて出力する論理回路L G Aとして機能する。

[0063] 配線層5 0及び5 1は、図5における配線層3 0及び3 1と異なる配線パターンによってビア4 2－3、論理素子層4 6、及びパッド4 4－3の間を接続する。具体的には、配線層5 0は、ビア4 2－3の上端上に設けられた第1端と、論理素子層4 6の上端上に設けられた第2端と、を含む。配線層

50は、例えば、内部回路に接続される。配線層51は、論理素子層46の下端上に設けられた第1端と、パッド44-3の下端上に設けられた第2端と、を含む。論理素子層46は、出力端としての機能を有する下端と、入力端としての機能を有する上端と、を含む。つまり、論理素子層46は、バンプ43-3から入力された信号をパッド44-3に向けて出力する論理回路LGBとして機能する。

[0064] 配線層52は、ビア42-4の上端上に設けられた第1端を含み、例えば、内部回路に接続される。配線層53は、パッド44-4の下端上に設けられた第1端を含み、例えば、内部回路に接続される。

[0065] 上述の通り、コアチップCC1及びCC3のレイアウトパターンは、コアチップCC0及びCC2のレイアウトパターンとyz平面に関して鏡像対称の関係にある。このため、図7の例では、バンプ43-1及びパッド44-1はそれぞれ、半導体基板40の-x方向の端（左端）から距離d1及びd5の位置に設けられる。バンプ43-2及びパッド44-2はそれぞれ、半導体基板40の左端から距離d2及びd6の位置に設けられる。バンプ43-3及びパッド44-3はそれぞれ、半導体基板40の左端から距離d3及びd7の位置に設けられる。バンプ43-4及びパッド44-4はそれぞれ、半導体基板40の左端から距離d4及びd8の位置に設けられる。

[0066] 以上のように構成されることにより、コアチップCC1及びCC3のチップデザインは、コアチップCC0及びCC2のレイアウトパターンと鏡像対称なレイアウトパターンと、コアチップCC0及びCC2の配線パターンと異なる配線パターンと、を含む。

[0067] 1. 1. 4. 3 コアチップ群の積層構造について

次に、第1実施形態に係る半導体記憶装置のコアチップ群の積層構造について、図8を用いて説明する。図8は、第1実施形態に係る半導体記憶装置のコアチップ群の積層構造を説明するための断面図である。図8は、図5及び図7において示されたコアチップCC0～CC3がこの順に積層された構造を示している。

- [0068] 図8に示すように、コアチップCC0の上面は、コアチップCC1の上面と貼りあわされる。上述の通り、コアチップCC0のレイアウトパターンとコアチップCC1のレイアウトパターンとは、互いの上面同士の間向面に関して鏡像対称に設計されている。このため、コアチップCC0のパッド24-1～24-4の位置はそれぞれ、コアチップCC1のパッド44-1～44-4の位置と整合する。
- [0069] また、コアチップCC1の下面は、コアチップCC2の下面と貼りあわされる。上述の通り、コアチップCC1のレイアウトパターンとコアチップCC2のレイアウトパターンとは、互いの上面同士の間向面に関して鏡像対称に設計されている。このため、コアチップCC1のバンプ43-1～43-4の位置はそれぞれ、コアチップCC2のバンプ23-1～23-4の位置と整合する。
- [0070] また、コアチップCC2の上面は、コアチップCC3の上面と貼りあわされる。上述の通り、コアチップCC2のレイアウトパターンとコアチップCC3のレイアウトパターンとは、互いの上面同士の間向面に関して鏡像対称に設計されている。このため、コアチップCC2のパッド24-1～24-4の位置はそれぞれ、コアチップCC3のパッド44-1～44-4の位置と整合する。
- [0071] 以上のように構成されることにより、コアチップCC0～CC3は、各々の内部回路と通信可能な信号経路SL1～SL4を形成することができる。上述の通り、コアチップCC0及びCC2の配線パターンと、コアチップCC1及びCC3の配線パターンとは互いに異なる。このため、信号経路SL2では、論理素子層25及び論理素子層45の入出力関係が整合する。また、信号経路SL3では、論理素子層26及び論理素子層46の入出力関係が整合する。
- [0072] なお、以下の説明では、コアチップCC0及びCC1の組、並びにコアチップCC2及びCC3の組のように、2つの半導体基板を含み、素子層の上面同士が貼り合わされた構成を、「チップセットCS」と言う。第1実施形

態では、コアチップCC0及びCC1の組からなるチップセットCSと、コアチップCC2及びCC3の組からなるチップセットCSとは、同一の構成となる。

[0073] 1. 2 製造方法について

次に、第1実施形態に係る半導体記憶装置の製造方法について説明する。

[0074] 1. 2. 1 製造方法の概要について

まず、第1実施形態に係る半導体記憶装置の製造方法の概要について説明する。図9は、第1実施形態に係る半導体記憶装置の製造方法の概要を説明するための模式図である。図10は、第1実施形態に係る半導体記憶装置の製造方法を説明するためのフローチャートである。

[0075] 図9に示すように、複数のチップセットCSは、互いに張り合わされた2つのウェハW1及びW2から切出される。図10を用いてその概要を説明する。

[0076] 図10に示すように、ステップST10において、フォトリソグラフィにより、予め設計された1つのマスクセットを用いてウェハW1及びW2の各々の上面に、素子層21及び41が転写される。すなわち、当該1つのマスクセットは、コアチップCC0～CC3のチップデザイン（レイアウトパターン及び配線パターン）を定義し得る。なお、以下の説明では、2枚のウェハW1及びW2内において1つのチップセットCSに相当する部分は、ウェハW1及びW2から切り出される前の状態においてもチップセットCSと言う。

[0077] ステップST20において、素子層が形成された2枚のウェハW1及びW2を貼り合わせる。具体的には、ウェハW1及びW2は、各々の上面上に設けられた素子層同士が対向するように貼り合わせられる。

[0078] ステップST30において、貼り合わされたウェハW1及びW2の下面が研磨される。具体的には、貼り合わされたウェハW1及びW2のうち的一方（例えばウェハW2）を支持基盤として機能させ、他方（例えばウェハW1）を研磨する。また、ウェハW2の研磨に際しては、ウェハW1側に支持基

盤として機能するダミーの半導体基板で固定してもよい。ダミーの半導体基板は、例えば、研磨が終了した後、又は後述のダイソート工程の後に除去される。研磨の結果、ウェハW1及びW2の各々の研磨された面には、ビア22の下端及び42の下端が露出する。ビア22及び42が露出した部分には、バンプ23及び43が設けられる。

[0079] ステップST40において、ダイソート工程により、不良なコアチップ領域が検出される。具体的には、ダイソータの針当て端子を、ステップST20において設けられたバンプ23又は43に針当て（プロービング）し、所望の通信が実行できるか否かを検査する。プロービングの結果、全ての針当て位置において所望の通信が実行できたチップセットCSは、不良が検出されなかった（良品）と判定される。一方、所望の通信が実行できなかった部分を含むチップセットCSは、不良が検出された（不良品）と判定される。

[0080] ステップST50において、ウェハW1及びW2は、ダイシング工程によって、チップセットCS単位に分割される。

[0081] その後、ステップST40において良品と判定されたチップセットCSが選別され、積層される。これにより、コアチップ群11が設けられる。また、別途製造されたインタフェースチップ10と組み合わせられて、最終的に半導体記憶装置3の製造が完了する。

[0082] 1. 2. 2 ウェハ形成について

次に、第1実施形態に係る半導体記憶装置の製造方法のうち、ウェハ上への素子層の形成方法、及び2枚のウェハの貼り合わせ方について説明する。図11は、第1実施形態に係る半導体記憶装置のウェハ上への素子層の形成方法を説明するための模式図である。図12は、第1実施形態に係る半導体記憶装置の2枚のウェハの貼り合わせ方を説明するための模式図である。すなわち、図11及び図12はそれぞれ、図10におけるステップST10及びST20に対応する。

[0083] 図11及び図12では、マスクセットMS1を用いてウェハW1及びW2上に転写されるレイアウトパターンが模式的に示される。具体的には、図1

1 及び図 1 2 では、図 4 及び図 5 において説明したレイアウトパターンがシンボル P 1 で示され、図 6 及び図 7 において説明したレイアウトパターンがシンボル P 2 で示される。以下の説明では、図 4 及び図 5 において説明したレイアウトパターンは、レイアウトパターン P 1 と言い、図 6 及び図 7 において説明したレイアウトパターンは、レイアウトパターン P 2 と言う。

[0084] 図 1 1 に示すように、マスクセット MS 1 は、レイアウトパターン P 1 及び P 2 が x 方向に沿って交互に並ぶ。そして、マスクセット MS 1 は、x 方向に沿う両端がそれぞれ異なるレイアウトパターンとなるように配置される。

[0085] また、図 1 2 に示すように、ウェハ W 1 及び W 2 は、例えば、x y 平面上において x 方向に沿って並べられた状態から、y z 平面に関して折るように貼り合わされる。これにより、例えば、図 1 2 において、レイアウトパターン P 1 が転写されたウェハ W 1 の左上隅の領域 A r e a A と、レイアウトパターン P 2 が転写されたウェハ W 2 の右上隅の領域 A r e a B とが貼り合わされる。その他の領域についても同様に、ウェハ W 1 上のレイアウトパターン P 1 が転写された領域にはウェハ W 2 上のレイアウトパターン P 2 が転写された領域が貼り合わされ、ウェハ W 1 のレイアウトパターン P 2 が転写された領域にはウェハ W 2 上のレイアウトパターン P 1 が転写された領域が貼り合わされる。

[0086] また、マスクセット MS 1 において、レイアウトパターン P 1 及び P 2 はそれぞれ、図 5 において示された配線パターン及び図 7 において示された配線パターンに対応付けられる。以上のようなマスクセット MS 1 が転写されたウェハ W 1 及び W 2 を貼り合わせることで、図 8 において説明したチップセット CS として機能し得る構成が複数個得られる。

[0087] なお、図 1 1 及び図 1 2 では、1 つのマスクセット MS 1 を用いる場合について説明したが、これに限られない。例えば、ウェハ W 1 及び W 2 は、異なるマスクセットが用いられてもよい。具体的には例えば、ウェハ W 1 にはレイアウトパターン P 1 のみが転写され、ウェハ W 2 にはレイアウトパター

ン P 2 のみが転写される場合が想定される。

[0088] 1. 2. 3 ダイソートについて

次に、第 1 実施形態に係る半導体記憶装置の製造方法のうち、ダイソートの方法について説明する。図 1 3 は、第 1 実施形態に係る半導体記憶装置のダイソートのプローピングを説明するための模式図である。すなわち、図 1 3 は、図 1 0 におけるステップ S T 4 0 に対応する。

[0089] 図 1 3 に示すように、ウェハ W 2 へのダイソートは、例えば、ウェハ W 2 の下面上に設けられたバンプ 4 3 に対して、図示しないダイソータのプローピング端子を接触させることによって実施される。上述の通り、マスクセット M S 1 は、レイアウトパターン P 1 及び P 2 が x 方向に沿って交互に並ぶ。このため、ウェハ W 2 の下面上には、マスクセット M S 1 に従って、互いに異なる配置パターン B 1 及び B 2 で配置されたバンプ 4 3 が x 方向に沿って交互に設けられる。より具体的には、配置パターン B 1 及び B 2 は、互いに y z 平面に関して鏡像対称となる。このため、配置パターン B 1 に対して適用可能な針当て位置は、配置パターン B 2 に対しては適用できない。第 1 実施形態では、ダイソータの針当て位置 D S 1 の繰り返し単位（図 1 3 では D S U として表される）は、x 方向に沿って隣り合う互いに異なる 2 つのレイアウトパターンの組を 1 つの単位として定義される。つまり、ダイソータの針当て位置 D S 1 の繰り返し単位 D S U は、配置パターン B 1 及び B 2 の組に対応する。

[0090] 以上のように定義されたダイソータの針当て位置 D S 1 を定義することにより、x 方向に沿って異なるレイアウトパターン P 1 及び P 2 が並ぶウェハ W 2 について、1 つのダイソータの針当て位置の繰り返し単位 D S U を用いて、ダイソートを実施することができる。

[0091] なお、ウェハ W 1 にはレイアウトパターン P 1 のみが転写され、ウェハ W 2 にはレイアウトパターン P 2 のみが転写された場合には、同一のウェハ上に配置されたバンプ 6 3 の配置パターンは、チップセット C S 単位で全て同じとなる。このため、同一のウェハ上に適用されるダイソータの針当て位置

の繰り返し単位DSUのサイズは、図13の場合の半分にすることができる。

[0092] 1. 3 本実施形態に係る効果

第1実施形態によれば、コアチップ群の製造コストを低減することができる。本効果につき、以下に説明する。

[0093] メモリ製品の特性を向上することができる構成として、TSVを有するコアチップを積層させたコアチップ群を含む構成が知られている。一般的に、コアチップ群は、1枚のウェハをダイシングして得られたコアチップ同士を、上面と下面とが接するように積層させていくことで形成される。

[0094] 第1実施形態では、ダイシングする前に2枚のウェハW1及びW2の上面同士を貼り合わせる。そして、貼り合わされた2枚のウェハW1及びW2を同時にダイシングすることによってチップセットCSが得られる。コアチップ群11は、当該チップセットCSを積層させて設けられる。チップセットCSのウェハW1に対応する部分と、ウェハW2に対応する部分は、いずれも1つのコアチップCCとして機能する。これにより、2つのチップセットCS同士を積層させる毎に、4つのコアチップCCが積層される。このため、ウェハW1及びW2を1枚ずつダイシングした後にコアチップCCを1つずつ積層していく場合と比較して、積層に必要な工程を大幅に減らすことができる。したがって、製造コストを低減することができる。

[0095] また、2つのチップセットCSは、バンプ同士が接続される。このため、製造工程において、2つのバンプは、1つのバンプとみなすことができる。これにより、チップセットCS間の接続に要するバンプの大きさは、実質的にバンプ1つ分程度の大きさに抑えることができる。したがって、チップセット群の積層方向の高さを低減することができ、ひいては製造コストを低減することができる。

[0096] また、ウェハW1及びW2は、同一のマスクセットMS1によって素子層が形成される。このマスクセットMS1は、互いに異なる2つのレイアウトパターンP1及びP2を含む。レイアウトパターンP1及びP2は、交互に

並ぶ。このため、ウェハW1及びW2を貼り合わせた際に、レイアウトパターンP1が転写された素子層とレイアウトパターンP2が転写された素子層とを貼り合わせることができる。

[0097] なお、マスクセットMS1の設計に要するコストは、レイアウトパターンP1及びP2を設計するコストに相当する。しかしながら、レイアウトパターンP1及びP2は、互いに鏡像対称の関係を有する。このため、レイアウトパターンP2は、実質的にレイアウトパターンP1の設計コストに含まれる。したがって、マスクセットMS1の設計コストは、コアチップCC1つの設計コストと同等に抑えることができる。

[0098] また、上述の通り、レイアウトパターンP1及びP2は、互いに鏡像対称の関係を有する。このため、ウェハW1及びW2を貼り合わせた際に、ウェハW1上に設けられた端子T1b～T4bと、ウェハW2上に設けられた端子T1a～T4aとの位置及び用途が一致する。これにより、ウェハW1及びW2の間の接続を整合させることができる。また、ウェハW1及びW2を貼り合わせた際に、ウェハW1上に設けられたコアチップCCの内部回路と、ウェハW2上に設けられたコアチップCCの内部回路との機能が、積層方向において同じ位置に配置される。このため、ウェハW1上に設けられたコアチップCCにおいて必要な信号と、ウェハW2上に設けられたコアチップCCにおいて必要な信号とを、1つの信号経路で通信することができる。これにより、設けられるべき信号経路の数を低減することができる。

[0099] なお、ウェハ上においてレイアウトパターンP1が転写された部分と、レイアウトパターンP2が転写された部分とは、端子の配置が互いに異なる。第1実施形態では、ダイソートの際に用いられるプロービング端子は、互いに隣り合う2つの異なるレイアウトパターンP1及びP2について、異なる配置が適用される。そして、当該2つの異なる配置を含めた端子の配置を、繰り返し単位DSUとして定義する。このため、異なるレイアウトパターンP1及びP2が同一のウェハ上に転写される場合においても、ダイソート工程を問題なく実行できる。

[0100] なお、上述の通り、レイアウトパターンP 1及びP 2は、互いに鏡像対称の関係を有するため、ウェハW 1及びW 2を貼り合わせると、論理回路の入出力端の向きが互いに逆向きになる。第1実施形態では、レイアウトパターンP 1及びP 2は、互いに異なる配線パターンに対応付けられる。具体的には、一方の配線パターンにおいて、論理回路の入力端及び出力端がそれぞれパッド及びバンプに接続される場合、他方の配線パターンでは、論理回路の入力端及び出力端がそれぞれバンプ及びパッドに接続される。このため、ウェハW 1及びW 2を貼り合わせた際に、ウェハW 1内に設けられた論理回路と、ウェハW 2内に設けられた論理回路との間の入出力関係を整合させることができる。

[0101] 1. 4 第1実施形態の変形例

なお、第1実施形態に係る半導体記憶装置は、上述の例に限らず、種々の変形例が適用可能である。

[0102] 例えば、第1実施形態では、2つのレイアウトパターンは、y z平面に関して鏡像対称となる場合について説明したが、これに限らず、x z平面に関して鏡像対称であってもよい。

[0103] 図1 4は、第1実施形態の変形例に係る半導体記憶装置のコアチップのレイアウトパターンを説明するための上面図である。図1 4では、コアチップC C 1及びC C 3に共通する構成が示される。なお、コアチップC C 0及びC C 2については、第1実施形態と同様の構成であるとして、その説明を省略する。

[0104] 図1 4に示すように、コアチップC C 1及びC C 3のレイアウトパターンは、コアチップC C 0及びC C 2と同一の矩形形状の領域に設けられる。そして、コアチップC C 1及びC C 3のレイアウトパターンは、コアチップC C 0及びC C 2のレイアウトパターンに対して、x z平面に関して鏡像対称となる。より具体的には、プレーン0～プレーン3はそれぞれ、矩形形状の領域の4隅（図1 4における左下隅、左上隅、右下隅、及び右上隅）に配置される。その他の各種回路は、コアチップC C 0及びC C 2における説明と同様

に配置される。

[0105] 以上のように配置されたコアチップCC1及びCC3のレイアウトパターンは、例えば、図14に示すように、図4に示されたシンボルP1をxz平面に関して鏡像対称に変換したシンボルP3に対応付けられる。すなわち、コアチップCC1及びCC3のレイアウトパターンは、シンボルP3からシンボルP1への変換と同一の変換を施すことにより、コアチップCC0及びCC2のレイアウトパターンと一致する。

[0106] 次に、第1実施形態の変形例に係る半導体記憶装置の製造方法のうち、ウェハ上への素子層の形成方法、及び2枚のウェハの貼り合わせ方について説明する。

[0107] 図15は、第1実施形態の変形例に係る半導体記憶装置のウェハ上への素子層の形成方法を説明するための模式図である。図16は、第1実施形態の変形例に係る半導体記憶装置の2枚のウェハの貼り合わせ方を説明するための模式図である。すなわち、図15及び図16はそれぞれ、図10におけるステップST10及びST20に対応する。

[0108] 図15及び図16では、マスクセットMS2を用いてウェハW1及びW2上に転写されるレイアウトパターンが模式的に示される。具体的には、図15及び図16では、図4において説明したレイアウトパターンがシンボルP1で示され、図14において説明したレイアウトパターンがシンボルP3で示される。以下の説明では、図14及び図7において説明したレイアウトパターンは、レイアウトパターンP3と言う。

[0109] 図15に示すように、マスクセットMS2は、レイアウトパターンP1及びP3がy方向に沿って交互に並ぶ。そして、マスクセットMS2は、y方向に沿う両端がそれぞれ異なるレイアウトパターンとなるように配置される。

[0110] また、図16に示すように、ウェハW1及びW2は、例えば、xy平面上においてy方向に沿って並べられた状態から、xz平面に関して折るように貼り合わされる。これにより、例えば、図16において、レイアウトパター

ンP 1が転写されたウェハW 1の左上隅の領域A r e a Aと、レイアウトパターンP 3が転写されたウェハW 2の左下隅の領域A r e a Cとが貼り合わされる。その他の領域についても同様に、ウェハW 1上のレイアウトパターンP 1が転写された領域にはウェハW 2上のレイアウトパターンP 3が転写された領域が貼り合わされ、ウェハW 1のレイアウトパターンP 3が転写された領域にはウェハW 2上のレイアウトパターンP 1が転写された領域が貼り合わされる。

[0111] また、マスクセットMS 1において、レイアウトパターンP 1及びP 3はそれぞれ、図5において示された配線パターン及び図7において示された配線パターンに対応付けられる。以上のようなマスクセットMS 2が転写されたウェハW 1及びW 2を貼り合わせるにより、図8において説明したチップセットCSとして機能し得る構成が複数個得られる。

[0112] 次に、第1実施形態の変形例に係る半導体記憶装置の製造方法のうち、ダイソートの方法について説明する。図17は、第1実施形態の変形例に係る半導体記憶装置のダイソートのプロービングを説明するための模式図である。すなわち、図17は、図10におけるステップST 40に対応する。

[0113] 上述の通り、マスクセットMS 2は、レイアウトパターンP 1及びP 3がy方向に沿って交互に並ぶ。このため、図17に示すように、ウェハW 2の下面上には、マスクセットMS 2に従って、互いに異なる配置パターンB 1及びB 3で配置されたバンプ4 3がy方向に沿って交互に設けられる。配置パターンB 1及びB 3は、互いにxz平面に関して鏡像対称となるため、配置パターンB 1に対して適用可能な針当て位置は、配置パターンB 3に対しては適用できない。このため、第1実施形態の変形例では、ダイソータの針当て位置DS 2の繰り返し単位DS Uは、y方向に沿って隣り合う互いに異なる2つのレイアウトパターンの組を1つの単位として定義される。つまり、ダイソータの針当て位置DS 2の繰り返し単位DS Uは、配置パターンB 1及びB 3の組に対応する。

[0114] 以上のように定義されたダイソータの針当て位置DS 2を定義することに

より、y方向に沿って異なるレイアウトパターンP 1及びP 3が並ぶウェハW 2について、1つのダイソータの針当て位置の繰り返し単位DSUを用いて、ダイソートを実施することができる。

[0115] 2. 第2実施形態

次に、第2実施形態に係る半導体記憶装置について説明する。第1実施形態に係る半導体記憶装置は、チップセットを構成する2つのコアチップ同士のレイアウトパターンが、各々の上面同士を対向させた際の対向面に関して鏡像対称となるように設計された。第2実施形態に係る半導体記憶装置は、チップセットを構成する2つのコアチップ同士のレイアウトパターンが、同一となるように設計される。以下では、第1実施形態と同様の構成要素には同一の符号を付してその説明を省略し、第1実施形態と異なる部分について説明する。

[0116] 2. 1 構成について

第2実施形態に係る半導体記憶装置の構成について説明する。

[0117] 2. 1. 1 コアチップ間の接続について

第2実施形態に係る半導体記憶装置のコアチップ間の接続について、図18を用いて説明する。図18は、第2実施形態に係る半導体記憶装置のコアチップ間の接続例を説明するための回路図である。

[0118] 図18に示すように、コアチップCC0～CC3の各々は、端子T1a、T4a、T5a、T6a、T7a、及びT8a、並びに端子T1b、T4b、T5b、T6b、T7b、及びT8bを含む。また、コアチップCC0～CC3の各々は、論理回路LGA1、LGA2、LGB1、及びLGB2を含む。端子T1a及びT1b、並びに端子T4a及びT4bの接続については、第1実施形態と同様であるため、説明を省略する。

[0119] コアチップCC0の端子T5a～T8aは、例えば、外部のインタフェースチップ10又はコントローラ2と接続される。コアチップCC0の端子T5b～T8bはそれぞれ、コアチップCC1の端子T5a～T8aに接続される。コアチップCC1の端子T5b～T8bはそれぞれ、コアチップCC

2の端子T5a～T5aに接続される。コアチップCC2の端子T5b～T8bはそれぞれ、コアチップCC3の端子T5a～T8aに接続される。

[0120] 各々のコアチップCCにおいて、端子T5a及びT5b、端子T6a及びT6b、端子T7a及びT7b、並びに端子8a及びT8bは、各々のコアチップCCの内部に設けられた配線を介して接続される。コアチップCC0及びCC2において、論理回路LGA1は、端子T7a及びT7bの間の配線上に設けられ、論理回路LGB1は、端子T8a及びT8bの間の配線上に設けられる。論理回路LGA1は、端子T7aに接続された入力端と、端子T7bに接続された出力端と、を含む。論理回路LGB1は、端子T8bに接続された入力端と、端子T8aに接続された出力端と、を含む。また、コアチップCC1及びCC3において、論理回路LGA2は、端子T7a及びT7bの間の配線上に設けられ、論理回路LGB2は、端子T8a及びT8bの間の配線上に設けられる。論理回路LGA2は、端子T7aに接続された入力端と、端子T7bに接続された出力端と、を含む。論理回路LGB2は、端子T8bに接続された入力端と、端子T8aに接続された出力端と、を含む。

[0121] 以上のように構成されることにより、コアチップCC0の端子T5aからコアチップCC3の端子T5bまで、及びコアチップCC0の端子T6aからコアチップCC3の端子T6bまではそれぞれ、コアチップCC0～CC3の各々に信号を送受信可能な信号経路SL5及びSL6として機能する。

[0122] 信号経路SL5は、コアチップCC0及びCC2内の内部回路に接続されるが、コアチップCC1及びCC3内の内部回路と切断される（内部回路をスルーする）。信号経路SL6は、コアチップCC1及びCC3内の内部回路に接続されるが、コアチップCC0及びCC2内の内部回路をスルーする。これにより、各コアチップCCの内部回路は、信号経路SL5又はSL6を介して、コントローラ2及びインタフェースチップ10と信号を通信することができる。なお、第2実施形態における信号経路SL1は、例えば、各コアチップCCに共通して供給される電源等が想定される。

[0123] また、コアチップCC0の端子T7aからコアチップCC3の端子T7bまでは、コアチップCCn (nは、 $0 \leq n \leq 2$) の論理回路LGA1又はLGA2によって演算処理された信号をコアチップCC(n+1)に送信可能な信号経路SL7として機能する。また、コアチップCC0の端子T8aからコアチップCC3の端子T8bまでは、コアチップCC(n+1)の論理回路LGB1又はLGB2によって演算処理された信号をコアチップCCnに送信可能な信号経路SL8として機能する。なお、コアチップCC0の端子T5a～T8aは、各種信号をインタフェースチップ10又はコントローラ2との間で送受信することができる。

[0124] なお、論理回路LGA1及びLGA2は、互いに異なってもよく、同一の回路でよく、いずれか1つが実質的に論理演算をしなくてもよい。同様に、論理回路LGB1及びLGB2は、互いに異なってもよく、同一の回路でもよく、いずれか1つが実質的に論理演算をしなくてもよい。つまり、信号経路SL7は、信号経路SL2を含み、信号経路SL8は、信号経路SL3を含む。また、論理回路LGA1、LGA2、LGB1、及びLGB2は、内部回路と接続されていてもよく、接続されていなくてもよい。

[0125] 2. 1. 2 コアチップの構成について

次に、第2実施形態に係る半導体記憶装置のコアチップの構成について説明する。

[0126] 第2実施形態におけるコアチップCC0～CC3の上面図は、第1実施形態の図4において示されたコアチップCC0及びCC2の上面図と同等である。ただし、第2実施形態におけるコアチップCCのレイアウトパターンは、図4に図示されない各端子及び論理回路の配置が、第1実施形態におけるコアチップCCのレイアウトパターンと異なる。

[0127] 図19及び図20は、第2実施形態に係る半導体記憶装置のコアチップのレイアウトパターン及び配線パターンを説明するための断面図である。図19及び図20は、図4において示されたV-V線に沿った断面に対応する。また、図19では、コアチップCC0及びCC2に共通する構成が示され、

図20では、コアチップCC1及びCC3に共通する構成が示される。

[0128] まず、コアチップCC0及びCC2の構成について説明する。

[0129] 図19に示されたレイアウトパターンは、図4に示されたシンボルP1とは異なるシンボルP4に対応付けられる。図19に示すように、シンボルP4に対応付けられたレイアウトパターンと、当該レイアウトパターンに対応付けられた配線パターンとに従って、半導体基板60の上面上には、素子層61が設けられる。なお、図19では、簡単のため、端子T5a～T8a、T5b～T8b並びに論理回路LGA1及びLGB1以外の内部回路については、記載を省略している。

[0130] 半導体基板60には、TSVとして機能する複数のビア62L（62L-1、62L-2、62L-3、及び62L-4）、並びに62R（62R-1、62R-2、62R-3、及び62R-4）が設けられる。

[0131] コアチップCC0及びCC2では、半導体基板60の下面上のうちビア62L-1～62L-4が露出した部分にはそれぞれ、端子T5a、T7a、T8a、及びT4aとして機能するバンプ63L-1、63L-2、63L-3、及び63L-4が設けられる。半導体基板60の下面上のうちビア62R-1～62R-4が露出した部分にはそれぞれ、端子T6a、T8a、T7a、及びT4aとして機能するバンプ63R-1、63R-2、63R-3、及び63R-4が設けられる。素子層61の上面上には、端子T5b、T7b、T8b、及びT4bとして機能する複数のパッド64L（64L-1、64L-2、64L-3、及び64L-4）が設けられる。また、素子層61の上面上には、端子T6b、T8b、T7b、及びT4bとして機能する複数のパッド64R（64R-1、64R-2、64R-3、及び64R-4）が設けられる。パッド64の上面は、素子層61の上面上に露出する。素子層61内にはそれぞれ、論理回路LGA1、LGB1、及びLGB1として機能する論理素子層65～67、並びに配線層68～80が設けられる。

[0132] 配線層68は、ビア62L-1の上端上に設けられた第1端と、パッド6

4 L - 1 の下端上に設けられた第 2 端と、を含む。配線層 6 8 は、例えば、内部回路に接続される。

[0133] 配線層 6 9 は、ビア 6 2 R - 1 の上端上に設けられた第 1 端と、パッド 6 4 R - 1 の下端上に設けられた第 2 端と、を含む。配線層 6 9 は、例えば、内部回路に接続されず、素子層 6 1 をスルーする。

[0134] 配線層 7 0 は、ビア 6 2 L - 2 の上端上に設けられた第 1 端と、論理素子層 6 5 の下端上に設けられた第 2 端と、を含む。配線層 7 0 は、例えば、内部回路に接続される。配線層 7 1 は、論理素子層 6 5 の上端上に設けられた第 1 端と、パッド 6 4 L - 2 の下端上に設けられた第 2 端と、を含む。論理素子層 6 5 は、入力端としての機能を有する下端と、出力端としての機能を有する上端と、を含む。つまり、論理素子層 6 5 は、バンプ 6 3 L - 2 から入力された信号をパッド 6 4 L - 2 に向けて出力する論理回路 L G A 1 として機能する。

[0135] 配線層 7 2 は、ビア 6 2 R - 2 の上端上に設けられた第 1 端と、論理素子層 6 6 の下端上に設けられた第 2 端と、を含む。配線層 7 3 は、論理素子層 6 6 の上端上に設けられた第 1 端と、パッド 6 4 R - 2 の下端上に設けられた第 2 端と、を含む。配線層 7 2 及び 7 3 は、例えば、内部回路に接続されず、素子層 6 1 をスルーする。論理素子層 6 6 は、出力端としての機能を有する下端と、入力端としての機能を有する上端と、を含む。つまり、論理素子層 6 6 は、パッド 6 4 R - 2 から入力された信号をバンプ 6 3 R - 2 に向けて出力する論理回路 L G B 1 として機能する。

[0136] 配線層 7 4 は、ビア 6 2 L - 3 の上端上に設けられた第 1 端と、論理素子層 6 7 の下端上に設けられた第 2 端と、を含む。配線層 7 5 は、論理素子層 6 7 の上端上に設けられた第 1 端と、パッド 6 4 L - 3 の下端上に設けられた第 2 端と、を含む。配線層 7 4 及び 7 5 は、例えば、内部回路に接続されず、素子層 6 1 をスルーする。論理素子層 6 7 は、出力端としての機能を有する下端と、入力端としての機能を有する上端と、を含む。つまり、論理素子層 6 7 は、パッド 6 4 L - 3 から入力された信号をバンプ 6 3 L - 3 に向

けて出力する論理回路 LGB1 として機能する。

[0137] 配線層 76 は、ビア 62R-3 の上端上に設けられた第 1 端と、パッド 64R-3 の下端上に設けられた第 2 端と、を含む。配線層 76 は、例えば、内部回路に接続される。

[0138] 配線層 77 は、ビア 62L-4 の上端上に設けられた第 1 端を含み、例えば、内部回路に接続される。配線層 78 は、パッド 64L-4 の下端上に設けられた第 1 端を含み、例えば、内部回路に接続される。

[0139] 配線層 79 は、ビア 62R-4 の上端上に設けられた第 1 端を含み、例えば、内部回路に接続される。配線層 80 は、パッド 64R-4 の下端上に設けられた第 1 端を含み、例えば、内部回路に接続される。

[0140] 図 19 の例では、バンプ 63L 及び 63R は、半導体基板 60 の x 方向に沿う幅の中心（以下、単に「半導体基板 60 の中心」と言う。）に関して対称な位置に設けられる。具体的には、バンプ 63L-1 及び 63R-1 は、半導体基板 60 の中心から距離 d9 の位置に設けられる。バンプ 63L-2 及び 63R-2 は、半導体基板 60 の中心から距離 d10 の位置に設けられる。バンプ 63L-3 及び 63R-3 は、半導体基板 60 の中心から距離 d11 の位置に設けられる。バンプ 63L-4 及び 63R-4 は、半導体基板 60 の中心から距離 d12 の位置に設けられる。

[0141] また、パッド 64L 及び 64R は、半導体基板 60 の中心に関して対称な位置に設けられる。具体的には、パッド 64L-1 及び 64R-1 は、半導体基板 60 の中心から距離 d13 の位置に設けられる。パッド 64L-2 及び 64R-2 は、半導体基板 60 の中心から距離 d14 の位置に設けられる。パッド 64L-3 及び 64R-3 は、半導体基板 60 の中心から距離 d15 の位置に設けられる。パッド 64L-4 及び 64R-4 は、半導体基板 60 の中心から距離 d16 の位置に設けられる。

[0142] なお、距離 d9 及び d13、距離 d10 及び d14、距離 d11 及び d15、又は距離 d12 及び d16 は、互いに同じ距離でも異なる距離でもよい。

- [0143] 次に、コアチップCC1及びCC3の構成について説明する。
- [0144] 図20に示すように、コアチップCC1及びCC3のレイアウトパターンは、コアチップCC0及びCC2のレイアウトパターンと一致する。つまり、コアチップCC1及びCC3のレイアウトパターンは、シンボルP4に対応付けられる。
- [0145] このため、コアチップCC1及びCC3において、バンプ63L及び63Rは、半導体基板60の中心に関して対称であり、コアチップCC0及びCC2におけるバンプ63L及び63Rと同一の位置に設けられる。また、コアチップCC1及びCC3において、パッド64L及び64Rは、半導体基板60の中心に関して対称であり、コアチップCC0及びCC2におけるパッド64L及び64Rと同一の位置に設けられる。
- [0146] なお、コアチップCC1及びCC3では、バンプ63、パッド64、及び論理素子層65～67の機能が、コアチップCC0及びCC2と異なる。
- [0147] 具体的には、コアチップCC1及びCC3では、バンプ63L-1～63L-4はそれぞれ、端子T6b、T8b、T7b、及びT4bとして機能する。バンプ63R-1～63R-4はそれぞれ、端子T5b、T7b、T8b、及びT4bとして機能する。パッド64L-1～64L-4はそれぞれ、端子T6a、T8a、T7a、及びT4aとして機能する。パッド64R-1～64R-4はそれぞれ、端子T5a、T7a、T8a、及びT4aとして機能する。論理素子層65～67はそれぞれ、論理回路LGB2、LGA2、及びLGA2として機能する。
- [0148] 以上のように構成されることにより、コアチップCC1及びCC3のチップデザインは、コアチップCC0及びCC2のレイアウトパターンと同一なレイアウトパターン及び同一の配線パターンと、を含む。つまり、コアチップCC0～CC3は、同一のチップデザインを含む。
- [0149] 2. 1. 3 コアチップ群の積層構造について
- 次に、第2実施形態に係る半導体記憶装置のコアチップ群の積層構造について、図21を用いて説明する。図21は、第2実施形態に係る半導体記憶

装置のコアチップ群の積層構造を説明するための断面図である。図 21 は、図 19 及び図 20 において示されたコアチップ C C 0 ~ C C 3 がこの順に積層された構造を示している。

[0150] 図 21 に示すように、コアチップ C C 0 の上面及びコアチップ C C 2 の上面はそれぞれ、コアチップ C C 1 の上面及びコアチップ C C 3 の上面と貼り合わされる。また、コアチップ C C 1 の下面は、コアチップ C C 2 の下面と貼り合わされる。

[0151] 上述の通り、コアチップ C C 0 ~ C C 4 では、バンプ 6 3 L 及び 6 3 R は、半導体基板 6 0 の中心に対して互に対称な位置に設けられる。また、パッド 6 4 L 及び 6 4 R は、半導体基板 6 0 の中心に対して互に対称な位置に設けられる。このため、コアチップ C C 0 及び C C 2 のパッド 6 4 L - 1 ~ 6 4 L - 4、及び 6 4 R - 1 ~ 6 4 R - 4 の位置はそれぞれ、コアチップ C C 1 及び C C 2 のパッド 6 4 L - 1 ~ 6 4 L - 4、及び 6 4 R - 1 ~ 6 4 R - 4 の位置と整合する。また、コアチップ C C 1 のバンプ 6 3 L - 1 ~ 6 3 L - 4、及び 6 3 R - 1 ~ 6 3 R - 4 の位置はそれぞれ、コアチップ C C 2 のバンプ 6 3 L - 1 ~ 6 3 L - 4、及び 6 3 R - 1 ~ 6 3 R - 4 の位置と整合する。

[0152] 以上のように構成されることにより、コアチップ C C 0 ~ C C 3 は、互いに通信可能な信号経路 S L 4 ~ 信号経路 S L 8 が形成される。

[0153] 2. 2 製造方法について

次に、第 2 実施形態に係る半導体記憶装置の製造方法について説明する。

[0154] 2. 2. 1 ウェハ形成について

第 2 実施形態に係る半導体記憶装置の製造方法のうち、ウェハ上への素子層の形成方法、及び 2 枚のウェハの貼り合わせ方について説明する。

[0155] 図 22 は、第 2 実施形態に係る半導体記憶装置のウェハ上への素子層の形成方法を説明するための模式図である。図 22 は、図 10 におけるステップ S T 10 に対応する。

[0156] 図 22 では、マスクセット M S 3 を用いてウェハ W 1 及び W 2 上に転写さ

れるレイアウトパターンが模式的に示される。

[0157] 第2実施形態では、上述の通り、コアチップC C 0～C C 3は、同一のチップデザインにより形成される。このため、図22に示すように、マスクセットM S 3は、レイアウトパターンP 4が一様に並ぶ。ウェハW 1及びW 2は、例えば、第1実施形態における図12と同様、x y平面上においてx方向に沿って並べられた状態から、y z平面に関して折るように貼り合わされてもよく、第1実施形態の変形例における図16と同様、x y平面上においてy方向に沿って並べられた状態から、x z平面に関して折るように貼り合わされてもよい。

[0158] 以上のようにマスクセットM S 3が転写されたウェハW 1及びW 2を貼り合わせるにより、図21において説明したチップセットC Sとして機能し得る構成が複数個得られる。

[0159] 2. 2. 2 ダイソートについて

次に、第2実施形態に係る半導体記憶装置の製造方法のうち、ダイソートの方法について説明する。図23は、第2実施形態に係る半導体記憶装置のダイソートのプロービングを説明するための模式図である。すなわち、図23は、図10におけるステップS T 40に対応する。

[0160] 図23に示すように、ウェハW 2へのダイソートは、例えば、ウェハW 2の下面上に設けられたバンプ63に対して、図示しないダイソータのプロービング端子を接触させることによって実施される。上述の通り、マスクセットM S 3は、同一のレイアウトパターンP 4が一様に並ぶ。このため、ウェハW 2の下面上には、マスクセットM S 3に従って、当該レイアウトパターンP 4に対応する配置パターンB 4で配置されたバンプ63が一様に設けられる。このため、第2実施形態では、ダイソータの針当て位置D S 3の繰り返し単位D S Uは、1つのレイアウトパターンを1つの単位として定義される。つまり、ダイソータの針当て位置D S 3の繰り返し単位D S Uは、配置パターンB 4に対応する。

[0161] 以上のように定義されたダイソータの針当て位置D S 3を定義することに

より、同一のチップデザインが並ぶウェハW2について、1つのダイソータの針当て位置の繰り返し単位DSUを用いて、ダイソートを実施することができる。

[0162] 2. 3 本実施形態に係る効果

第2実施形態では、ウェハW1及びW2は、同一のマスクセットMS3によって素子層が形成される。このマスクセットMS3は、同一のチップデザインが一様に並ぶ。これにより、コアチップCC1つ分のレイアウトパターン及び配線パターンを設計するだけで、マスクセットMS3を設計することができる。従って、製造コストを低減することができる。

[0163] また、第2実施形態に係るレイアウトパターンは、半導体基板の中心に関して対称な位置にバンプ63及びパッド64が設けられる。このため、ウェハW1及びW2を貼り合わせた際に互いに端子の位置が一致する。これにより、ウェハW1及びW2の間の接続を整合させることができる。

[0164] なお、第2実施形態では、ウェハW1及びW2を貼り合わせると、ウェハW1上に設けられたコアチップCC0の内部回路と、ウェハW2上に設けられたコアチップCCの内部回路との機能が、積層方向において異なる位置に配置される。このため、ウェハW1上に設けられたコアチップCCにおいて必要な信号と、ウェハW2上に設けられたコアチップCCにおいて必要な信号とは、同一の信号経路で通信することができない可能性がある。このため、第2実施形態では、当該コアチップCC0及びCC2の内部回路に接続されるための信号経路SL5と、コアチップCC1及びCC3の内部回路に接続されるための信号経路SL6とが設けられる。すなわち、信号経路SL5では、コアチップCC0及びCC2に信号が送受信され、コアチップCC1及びCC3当該信号をスルーする。信号経路SL6では、コアチップCC1及びCC3に信号が送受信され、コアチップCC0及びCC2は当該信号をスルーする。これにより、ウェハW1及びW2上に設けられる信号経路の数は増えるものの、同一のチップデザインを用いて各コアチップCCに所望の信号を送受信することができる。

[0165] 2. 4 第2実施形態の第1変形例

なお、第2実施形態に係る半導体記憶装置は、上述の例に限らず、種々の変形例が適用可能である。

[0166] 第2実施形態では、コアチップCC0及びCC1に同一のチップデザインを適用する場合について説明したが、これに限られない。例えば、コアチップCC0及びCC1に、同一のレイアウトパターンを適用しつつ、異なる配線パターンを適用してもよい。係る場合は、例えば、コアチップCC内において左右対称な位置に設けられた論理回路同士が、同一の方向へ信号を入出力する場合に生じ得る。

[0167] 図24及び図25は、第2実施形態の第1変形例に係る半導体記憶装置のコアチップのレイアウトパターン及び配線パターンを説明するための断面図である。図24では、コアチップCC0及びCC2に共通する構成が示され、図25では、コアチップCC1及びCC3に共通する構成が示される。

[0168] 図24に示されたレイアウトパターンは、図19に示されたシンボルP4とは異なるシンボルP5に対応付けられる。図24に示すように、第2実施形態の第1変形例では、コアチップCC0及びCC2は、論理素子層66に代えて、論理素子層66Aを含む。すなわち、配線層72は、ビア62R-2の上端上に設けられた第1端と、論理素子層66Aの下端上に設けられた第2端と、を含む。配線層73は、論理素子層66Aの上端上に設けられた第1端と、パッド64R-2の下端上に設けられた第2端と、を含む。論理素子層66Aは、入力端としての機能を有する下端と、出力端としての機能を有する上端と、を含む。つまり、論理素子層66Aは、バンプ63R-2から入力された信号をパッド64R-2に向けて出力する論理回路LGA1として機能する。

[0169] また、図25に示すように、コアチップCC1及びCC3のレイアウトパターンは、コアチップCC0及びCC2と同様に、シンボルP5に対応付けられる。しかしながら、コアチップCC1及びCC3は、コアチップCC0及びCC2と異なる配線パターンを含む。具体的には、コアチップCC1及

びCC3は、配線層70～73に代えて、配線層70A～73Aを含む。

[0170] 配線層70Aは、ビア62L-2の上端上に設けられた第1端と、論理素子層65の上端上に設けられた第2端と、を含む。配線層71Aは、論理素子層65の下端上に設けられた第1端と、パッド64L-2の下端上に設けられた第2端と、を含む。つまり、論理素子層65は、パッド64L-2から入力された信号をバンプ63L-2に向けて出力する論理回路LGA2として機能する。

[0171] 配線層72Aは、ビア62R-2の上端上に設けられた第1端と、論理素子層66Aの上端上に設けられた第2端と、を含む。配線層73Aは、論理素子層66Aの下端上に設けられた第1端と、パッド64R-2の下端上に設けられた第2端と、を含む。つまり、論理素子層66Aは、パッド64R-2から入力された信号をバンプ63R-2に向けて出力する論理回路LGA2として機能する。

[0172] 図26は、第2実施形態の第1変形例に係る半導体記憶装置のコアチップ群の積層構造を説明するための断面図である。図26に示すように、信号経路SL7a及びSL7bでは、コアチップCC0及びCC2とコアチップCC1及びCC3とで、論理素子層の入出力端の位置が逆転する。論理素子層の入出力関係を整合させるため、コアチップCC1及びCC3は、信号経路SL7a及びSL7bにおいて、コアチップCC0及びCC2と異なる配線パターンを有する。具体的には、コアチップCC0及びCC2では、論理素子層65の入力端及び出力端はそれぞれ、バンプ63L-2及びパッド64L-2に接続されているのに対し、コアチップCC1及びCC3では、論理素子層66Aの入力端及び出力端はそれぞれ、パッド64R-2及びバンプ63R-2に接続される。また、コアチップCC0及びCC2では、論理素子層66Aの入力端及び出力端はそれぞれ、バンプ63R-2及びパッド64R-2に接続されているのに対し、コアチップCC1及びCC3では、論理素子層65の入力端及び出力端はそれぞれ、パッド64L-2及びバンプ63L-2に接続される。

- [0173] このように構成することにより、コアチップCC内において左右対称な位置に同一の論理回路が設けられた場合においても、各信号経路の入出力関係を整合させることができる。
- [0174] 次に、第2実施形態の第1変形例に係る半導体記憶装置の製造方法のうち、ウェハ上への素子層の形成方法について説明する。図27は、第2実施形態の第1変形例に係る半導体記憶装置のウェハ上への素子層の形成方法を説明するための模式図である。以下の説明では、図24及び図25において説明したコアチップCC0～CC3のレイアウトパターンは、レイアウトパターンP5と言う。
- [0175] 図27に示すように、マスクセットMS3aは、レイアウトパターンP5が一様に並ぶ。なお、図27の例では、マスクセットMS3aは、例えば、コアチップCC0及びCC2のための配線パターンに対応するレイアウトパターンP5と、コアチップCC1及びCC3のための配線パターンに対応するレイアウトパターンP5とが、x方向に沿って交互に並ぶ。そして、マスクセットMS3aは、x方向に沿う両端がそれぞれ異なる配線パターンとなるように配置される。ウェハW1及びW2は、例えば、第1実施形態における図12と同様、xy平面上においてx方向に沿って並べられた状態から、yz平面に関して折るように貼り合わされる。
- [0176] 以上のようにマスクセットMS3が転写されたウェハW1及びW2を貼り合わせるにより、図26において説明したチップセットCSとして機能し得る構成が複数個得られる。
- [0177] なお、第2実施形態の第1変形例の製造方法は、互いに異なる配線パターンを含む1つのマスクセットを用いる例に限らず、異なる配線パターンを含むマスクセットを2つ用いてもよい。
- [0178] 図28は、第2実施形態の第1変形例に係る半導体記憶装置のウェハ上への素子層の形成方法を説明するための模式図である。図28に示すように、ウェハW1及びW2にそれぞれ異なるマスクセットMS3b及びMS3cを適用してもよい。

[0179] 具体的には、図28(A)に示すように、マスクセットMS3bは、コアチップCC0及びCC2のための配線パターンに対応するレイアウトパターンP5が一様に並ぶ。また、図28(B)に示すように、マスクセットMS3cは、コアチップCC1及びCC3のための配線パターンに対応するレイアウトパターンP5が一様に並ぶ。

[0180] 以上のようにマスクセットMS3bが転写されたウェハW1、及びマスクセットMS3cが転写されたウェハW2を貼り合わせることで、図26において説明したチップセットCSとして機能し得る構成が複数個得られる。

[0181] 3. 第3実施形態

次に、第3実施形態に係る半導体記憶装置について説明する。第2実施形態に係る半導体記憶装置は、コアチップCC内において左右対称な位置にバンクが設けられる場合について説明した。第3実施形態に係る半導体記憶装置は、コアチップCC内のバンクが左右非対称な位置に設けられる点において第2実施形態と相違する。また、第2実施形態に係る半導体記憶装置は、チップセット間で同一のレイアウトパターンとなるように設計されたが、第3実施形態に係る半導体記憶装置は、2つのチップセット間で互いに異なるレイアウトパターンを使用する。より具体的には、互いに異なる2つのレイアウトパターンは、鏡像対称となるように設計される。以下では、第2実施形態と同様の構成要素には同一の符号を付してその説明を省略し、第2実施形態と異なる部分について説明する。

[0182] 3.1 構成について

第3実施形態に係る半導体記憶装置の構成について説明する。

[0183] 3.1.1 コアチップの構成について

第3実施形態に係る半導体記憶装置のコアチップの構成について説明する。

[0184] 図29～図32は、第3実施形態に係る半導体記憶装置のコアチップのレイアウトパターン及び配線パターンを説明するための断面図である。図29

～図 3 2 ではそれぞれ、コアチップ C C 0 ～ C C 3 の構成が示される。上述の通り、第 3 実施形態では、コアチップ C C 0 及び C C 1 のレイアウトパターンと、コアチップ C C 2 及び C C 3 のレイアウトパターンとは、互いに異なる。

[0185] まず、コアチップ C C 0 について説明する。

[0186] 図 2 9 に示されたレイアウトパターンは、図 1 9 に示されたシンボル P 4、及び図 2 4 に示されたシンボル P 5 とは異なるシンボル P 6 に対応付けられる。図 2 9 に示すように、コアチップ C C 0 は、一部を除いて図 1 9 の構成と同一の構成を有する。具体的には、コアチップ C C 0 は、図 1 9 におけるビア 6 2 R-3、バンプ 6 3 R-3、配線層 7 6、及びパッド 6 4 R-3 に代えて、ビア 6 2 R-3 B、バンプ 6 3 R-3 B、配線層 7 6 B、及びパッド 6 4 R-3 B を含む。

[0187] バンプ 6 3 R-3 B、ビア 6 2 R-3 B、配線層 7 6 B、及びパッド 6 4 R-3 B の接続関係は、バンプ 6 3 R-3、ビア 6 2 R-3、配線層 7 6、及びパッド 6 4 R-3 の接続関係と同様である。しかしながら、バンプ 6 3 L-3 及び 6 3 R-3 B は、半導体基板 6 0 の中心に関して非対称な位置に設けられる。具体的には、バンプ 6 3 L-3 が半導体基板 6 0 の中心から距離 d 1 1 の位置に設けられるのに対し、バンプ 6 3 R-3 B は、半導体基板 6 0 の中心から距離 d 1 1 B の位置に設けられる。

[0188] なお、パッド 6 4 L-3 及び 6 4 R-3 は、半導体基板 6 0 の中心に関して対称な位置に設けられる。具体的には、パッド 6 4 L-3 及び 6 4 R-3 は、半導体基板 6 0 の中心から距離 d 1 5 の位置に設けられる。

[0189] 次に、コアチップ C C 1 について説明する。

[0190] 図 3 0 に示すように、コアチップ C C 1 のレイアウトパターンは、コアチップ C C 0 のレイアウトパターンと一致する。このため、図 3 0 の例では、パッド 6 4 L-3 及び 6 4 R-3 は、半導体基板 6 0 の中心に関して対称であり、図 2 9 におけるパッド 6 4 L-3 及び 6 4 R-3 と同一の位置に設けられる。また、バンプ 6 3 L-3 及び 6 3 R-3 は、半導体基板 6 0 の中心

に関して非対称であり、図 29 におけるバンプ 63L-3 及び 63R-3 と同一の位置に設けられる。

[0191] 次に、コアチップ CC2 について説明する。

[0192] 図 31 に示されたレイアウトパターンは、図 29 及び図 30 に示されたシンボル P6 とは異なるシンボル P7 に対応付けられる。図 31 に示すように、コアチップ CC2 のレイアウトパターンは、例えば、コアチップ CC0 及び CC1 のレイアウトパターンに対して、yz 平面に関して鏡像対称の関係を有する。

[0193] 具体的には、半導体基板 90 上には、素子層 91 が設けられる。半導体基板 90 には、TSV として機能する複数のビア 92L (92L-1、92L-2、92L-3、及び 92L-4)、並びに 92R (92R-1、92R-2、92R-3、及び 92R-4) が設けられる。

[0194] 半導体基板 90 の下面上のうちビア 92L-1 ~ 92L-4 が露出した部分にはそれぞれ、端子 T5a、T7a、T8a、及び T4a として機能するバンプ 93L-1、93L-2、93L-3、及び 93L-4 が設けられる。半導体基板 90 の下面上のうちビア 92R-1 ~ 92R-4 が露出した部分にはそれぞれ、端子 T6a、T8a、T7a、及び T4a として機能するバンプ 93R-1、93R-2、93R-3、及び 93R-4 が設けられる。素子層 91 の上面上には、端子 T5b、T7b、T8b、及び T4b として機能する複数のパッド 94L (94L-1、94L-2、94L-3、及び 94L-4) が設けられる。また、素子層 91 の上面上には、端子 T6b、T8b、T7b、及び T4b として機能する複数のパッド 94R (94R-1、94R-2、94R-3、及び 94R-4) が設けられる。パッド 94 の上面は、素子層 91 の上面上に露出する。素子層 91 内にはそれぞれ、論理回路 LGA1、LGB1、及び LGA1 として機能する論理素子層 95 ~ 97、並びに配線層 98 ~ 110 が設けられる。

[0195] 配線層 98 は、ビア 92L-1 の上端上に設けられた第 1 端と、パッド 94L-1 の下端上に設けられた第 2 端と、を含む。配線層 98 は、例えば、

内部回路に接続されず、素子層 91 をスルーする。

- [0196] 配線層 99 は、ビア 92R-1 の上端上に設けられた第 1 端と、パッド 94R-1 の下端上に設けられた第 2 端と、を含む。配線層 99 は、例えば、内部回路に接続される。
- [0197] 配線層 100 は、ビア 92L-2 の上端上に設けられた第 1 端と、論理素子層 95 の上端上に設けられた第 2 端と、を含む。配線層 100 は、例えば、内部回路に接続される。配線層 101 は、論理素子層 95 の下端上に設けられた第 1 端と、パッド 94L-2 の下端上に設けられた第 2 端と、を含む。論理素子層 95 は、出力端としての機能を有する下端と、入力端としての機能を有する上端と、を含む。つまり、論理素子層 95 は、バンプ 93L-2 から入力された信号をパッド 94L-2 に向けて出力する論理回路 LGA1 として機能する。
- [0198] 配線層 102 は、ビア 92R-2 の上端上に設けられた第 1 端と、論理素子層 96 の上端上に設けられた第 2 端と、を含む。配線層 103 は、論理素子層 96 の下端上に設けられた第 1 端と、パッド 94R-2 の下端上に設けられた第 2 端と、を含む。配線層 102 及び 103 は、例えば、内部回路に接続されず、素子層 91 をスルーする。論理素子層 96 は、入力端としての機能を有する下端と、出力端としての機能を有する上端と、を含む。つまり、論理素子層 96 は、パッド 94R-2 から入力された信号をバンプ 93R-2 に向けて出力する論理回路 LGB1 として機能する。
- [0199] 配線層 104 は、ビア 92L-3 の上端上に設けられた第 1 端と、パッド 94L-3 の下端上に設けられた第 2 端と、を含む。配線層 104 は、例えば、内部回路に接続される。
- [0200] 配線層 105 は、ビア 92R-3 の上端上に設けられた第 1 端と、論理素子層 97 の上端上に設けられた第 2 端と、を含む。配線層 106 は、論理素子層 97 の下端上に設けられた第 1 端と、パッド 94R-3 の下端上に設けられた第 2 端と、を含む。配線層 105 及び 106 は、例えば、内部回路に接続されず、素子層 91 をスルーする。論理素子層 97 は、入力端としての

機能を有する上端と、出力端としての機能を有する下端と、を含む。つまり、論理素子層 97 は、バンプ 93R-3 から入力された信号をパッド 94R-3 に向けて出力する論理回路 LGA1 として機能する。

[0201] 配線層 107 は、ビア 92L-4 の上端上に設けられた第 1 端を含み、例えば、内部回路に接続される。配線層 108 は、パッド 94L-4 の下端上に設けられた第 1 端を含み、例えば、内部回路に接続される。

[0202] 配線層 109 は、ビア 92R-4 の上端上に設けられた第 1 端を含み、例えば、内部回路に接続される。配線層 110 は、パッド 94R-4 の下端上に設けられた第 1 端を含み、例えば、内部回路に接続される。

[0203] 図 31 の例では、パッド 94L 及び 94R は、半導体基板 90 の中心に関して対称な位置に設けられる。具体的には、パッド 94L-1 及び 94R-1 は、半導体基板 90 の中心から距離 d13 の位置に設けられる。パッド 94L-2 及び 94R-2 は、半導体基板 90 の中心から距離 d14 の位置に設けられる。パッド 94L-3 及び 94R-3 は、半導体基板 90 の中心から距離 d15 の位置に設けられる。パッド 94L-4 及び 94R-4 は、半導体基板 90 の中心から距離 d16 の位置に設けられる。

[0204] また、バンプ 93L 及び 93R は、バンプ 93L-3 及び 93R-3 を除き、半導体基板 90 の中心に関して非対称な位置に設けられる。具体的には、バンプ 93L-1 及び 93R-1 は、半導体基板 90 の中心から距離 d9 の位置に設けられる。バンプ 93L-2 及び 93R-2 は、半導体基板 90 の中心から距離 d10 の位置に設けられる。バンプ 93L-4 及び 93R-4 は、半導体基板 90 の中心から距離 d12 の位置に設けられる。

[0205] なお、バンプ 93L-3 及び 94R-3 は、半導体基板 90 の中心に関して非対称な位置に設けられる。具体的には、バンプ 93L-3 が半導体基板 90 の中心から距離 d11B の位置に設けられるのに対し、93R-3 は、半導体基板 90 の中心から距離 d11 の位置に設けられる。

[0206] 次に、コアチップ CC3 について説明する。

[0207] 図 32 に示すように、コアチップ CC3 のレイアウトパターンは、コアチ

ップCC2のレイアウトパターンと一致する。このため、図32の例では、パッド94L-3及び94R-3は、半導体基板90の中心に関して対称であり、図31におけるパッド94L-3及び94R-3と同一の位置に設けられる。また、バンプ93L-3及び93R-3は、半導体基板90の中心に関して非対称であり、図31におけるバンプ93L-3及び93R-3と同一の位置に設けられる。

[0208] 3. 1. 2 コアチップ群の積層構造について

次に、第3実施形態に係る半導体記憶装置のコアチップ群の積層構造について、図33を用いて説明する。図33は、第3実施形態に係る半導体記憶装置のコアチップ群の積層構造を説明するための断面図である。図33に示すように、第3実施形態では、コアチップCC0及びCC1を含むチップセットCSaと、コアチップCC2及びCC3を含むチップセットCSbとは、互いに異なる。

[0209] 具体的には、コアチップCC2及びCC3は、コアチップCC0及びCC1と鏡像対称なレイアウトパターンを有する。このため、信号経路SL7及びSL8では、コアチップCC0及びCC1とコアチップCC2及びCC3とで、論理素子層の入出力端の位置が逆転する。

[0210] 論理素子層の入出力関係を整合させるため、コアチップCC2及びCC3は、信号経路SL7及びSL8において、コアチップCC0及びCC1と異なる配線パターンを有する。具体的には、例えば、信号経路SL7において、コアチップCC0では、論理素子層65の下端及び上端にはそれぞれ配線層70及び71が接続されているのに対し、コアチップCC2では、論理素子層95の下端及び上端にはそれぞれ、配線層101及び100が接続される。また、コアチップCC1では、論理素子層66の上端及び下端にはそれぞれ、配線層73及び72が接続されているのに対し、コアチップCC3では、論理素子層96の上端及び下端にはそれぞれ、配線層102及び103が接続される。

[0211] このように構成することにより、コアチップCC内において左右非対称な

位置にバンプが設けられた場合においても、各信号経路の入出力関係を整合させることができる。

[0212] 3. 2 製造方法について

次に、第3実施形態に係る半導体記憶装置の製造方法について説明する。

[0213] 3. 2. 1 ウェハ形成について

第3実施形態に係る半導体記憶装置の製造方法のうち、ウェハ上への素子層の形成方法について説明する。図34は、第3実施形態に係る半導体記憶装置のウェハ上への素子層の形成方法を説明するための模式図である。以下の説明では、図30及び図31において説明したコアチップCC0及びCC1のレイアウトパターンは、レイアウトパターンP6と言う。また、図32及び図33において説明したコアチップCC2及びCC3のレイアウトパターンは、レイアウトパターンP7と言う。

[0214] 図34に示すように、マスクセットMS3dは、例えば、レイアウトパターンP6がx方向に沿って一様に並ぶ。また、マスクセットMS3dは、例えば、レイアウトパターンP7がレイアウトパターンP6と異なる列においてx方向に沿って一様に並ぶ。ウェハW1及びW2は、例えば、第1実施形態における図12と同様、xy平面上においてx方向に沿って並べられた状態から、yz平面に関して折るように貼り合わされる。

[0215] 以上のようにマスクセットMS3dが転写されたウェハW1及びW2を貼り合わせることにより、図34において説明したチップセットCSaとして機能し得る構成と、チップセットCSbとして機能し得る構成と、を同時に複数個得ることができる。

[0216] なお、第3実施形態では、上述の方法に限らず、2つのマスクセットを用いてもよい。具体的には、例えば、1つ目のマスクセットとして、レイアウトパターンP6のみが一様に並ぶマスクセットを用いてもよい。そして、当該1つ目のマスクセットによって素子層が形成された2枚のウェハを貼り合わせることによって、チップセットCSaが設けられてもよい。また、2つ目のマスクセットとして、レイアウトパターンP7のみが一様に並ぶマスク

セットを用いてもよい。そして、当該2つ目のマスクセットによって素子層が形成された2枚のウェハを貼り合わせることによって、チップセットCSbが設けられてもよい。

[0217] 3. 2. 2 ダイソートについて

第3実施形態に係る半導体記憶装置の製造方法のうち、ダイソート工程は、例えば、第1実施形態の第1変形例と同様の方法を適用し得る。すなわち、レイアウトパターンP6のマスク部分とレイアウトパターンP7用のマスク部分との組を、ダイソータの針当て位置の繰り返し単位DSUと定義することができる。これにより、同一のチップデザインが並ぶウェハについて、1つのダイソータの針当て位置の繰り返し単位DSUを用いて、ダイソートを実施することができる。

[0218] なお、2つのマスクセットによって素子層が形成される場合は、レイアウトパターンP6が転写されたウェハに対するダイソートと、レイアウトパターンP7が転写されたウェハに対するダイソートと、がそれぞれ実施される。そして、各々のダイソートには、異なる針当て位置の繰り返し単位DSUが定義される。

[0219] 3. 3 本実施形態に係る効果

第3実施形態によれば、コアチップCC2のレイアウトパターンP7は、コアチップCC1のレイアウトパターンP6と鏡像対称の関係を有する。このため、コアチップCC2のバンプは、コアチップCC1及びCC2が貼り合わされた面に対して、コアチップCC1のバンプと対称な位置に設けられる。これにより、コアチップCC1及びコアチップCC2は、互いのバンプの位置が整合する。

[0220] また、コアチップCC3のレイアウトパターンP7は、コアチップCC0及びCC1のレイアウトパターンP6と鏡像対称の関係を有する。このため、コアチップCC3のバンプは、コアチップCC1及びCC2が貼り合わされた面に対して、コアチップCC0のバンプと対称な位置に設けられる。これにより、コアチップCC3及びコアチップCC0は、互いのバンプの位置

が整合する。したがって、コアチップCC3上に、コアチップCC0を更に積層することができる。

[0221] なお、上述の通り、レイアウトパターンP6及びP7は、互いに鏡像対称の関係を有するため、チップセットCSa及びCSbを貼り合わせると、論理回路の入出力端の向きが互いに逆向きになる。第3実施形態では、レイアウトパターンP6及びP7は、互いに異なる配線パターンが適用される。具体的には、一方のチップセットCS内のコアチップCCの配線パターンにおいて、論理回路の入力端及び出力端がそれぞれパッド及びバンプに接続される場合、他方のチップセットCS内のコアチップCCの配線パターンでは、論理回路の入力端及び出力端がそれぞれバンプ及びパッドに接続される。このため、コアチップCC1及びCC2を貼り合わせた際に、コアチップCC1内に設けられた論理回路と、コアチップCC2内に設けられた論理回路との間の入出力関係を整合させることができる。また、コアチップCC3及びCC0を貼り合わせた際に、コアチップCC3内に設けられた論理回路と、コアチップCC0内に設けられた論理回路との間の入出力関係を整合させることができる。

[0222] 4. 第4実施形態

次に、第4実施形態に係る半導体記憶装置について説明する。第1実施形態～第3実施形態では、コアチップは、1つの半導体基板上に設けられた。一方、第4実施形態に係る半導体記憶装置は、コアチップは、少なくとも2つ以上の半導体基板上に分かれて設けられる。以下では、第1実施形態～第3実施形態と同様の構成要素には同一の符号を付してその説明を省略し、第1実施形態～第3実施形態と異なる部分について説明する。

[0223] 4. 1 構成について

第4実施形態に係る半導体記憶装置の構成について説明する。

[0224] 4. 1. 1 コアチップ群の構成について

第4実施形態に係る半導体記憶装置のコアチップ群の構成例について、図35を用いて説明する。図35は、第4実施形態に係る半導体記憶装置のコ

アチップ群の構成の一例を示すブロック図である。

[0225] 図35に示すように、コアチップ群11のコアチップCC(CC0、CC1、…)の各々は、複数のサブチップSCを含む。具体的には、例えば、コアチップCC0は、サブチップSC0及びSC1を含み、コアチップCC1は、サブチップSC2及びSC3を含む。なお、コアチップCCの数は、任意の自然数が適用可能である。

[0226] ここで、「サブチップSC」とは、1つの半導体基板上に設けられた半導体集積回路であって、コアチップCCの機能の部分を構成する半導体集積回路である。

[0227] 4. 1. 2 コアチップ間の接続について

次に、第4実施形態に係る半導体記憶装置のコアチップ間の接続について、図36を用いて説明する。図36は、第4実施形態に係る半導体記憶装置のコアチップ間の接続例を説明するための回路図である。図36では、コアチップCC0及びCC1の2つが示される。図36は、第2実施形態において示した図18に対応する。

[0228] 図36に示すように、サブチップSC0、SC1、SC2、及びSC3間の接続はそれぞれ、図18におけるコアチップCC0、CC1、CC2、及びCC3間の接続と同様である。すなわち、コアチップCC0及びCC1は、サブチップSC1及びSC2間の接続によって接続される。

[0229] 以上のように構成されることにより、サブチップSC0の端子T1aからサブチップSC3の端子T1bまで、サブチップSC0の端子T5aからサブチップSC3の端子T5bまで、及びサブチップSC0の端子T6aからサブチップSC3の端子T6bまではそれぞれ、コアチップCC0～CC1の各々に信号を送受信可能な信号経路SL1、SL5及びSL6として機能する。

[0230] また、サブチップSC0の端子T7aからサブチップSC3の端子T7bまでは、サブチップSCn(nは、 $0 \leq n \leq 2$)の論理回路LGA1又はLGA2によって演算処理された信号をサブチップSC(n+1)に送信可能

な信号経路SL7として機能する。また、サブチップSC0の端子T8aからサブチップSC3の端子T8bまでは、サブチップSC(n+1)の論理回路LGB1又はLGB2によって演算処理された信号をサブチップSCnに送信可能な信号経路SL8として機能する。

[0231] また、サブチップSCnの端子T4bからサブチップSC(n+1)の端子T4aまでは、サブチップSCnとSC(n+1)との間で信号を送受信可能な信号経路SL4として機能する。なお、サブチップSC0の端子T1a、及びT4a～T8aは、各種信号をインタフェースチップ10又はコントローラ2との間で送受信することができる。

[0232] 4. 1. 3 サブチップの構成について

次に、第4実施形態に係る半導体記憶装置のサブチップの構成について説明する。

[0233] 図37及び図39は、第4実施形態に係る半導体記憶装置のサブチップのレイアウトパターンを説明するための上面図である。図38及び図40は、第4実施形態に係る半導体記憶装置のサブチップのレイアウトパターン及び配線パターンを説明するための断面図である。図38及び図40はそれぞれ、図37において示されたXXXV| | | - XXXV| | |線、及び図39において示されたXXXX-XXXX線に沿った断面を示す。また、図37及び図38では、サブチップSC0及びSC2に共通する構成が示され、図39及び図40では、サブチップSC1及びSC3に共通する構成が示される。

[0234] まず、サブチップSC0及びSC2の構成について説明する。

[0235] 図37に示すように、サブチップSC0及びSC2のレイアウトパターンはそれぞれ、コアチップCC0及びCC1のレイアウトパターンの一部であり、xy平面上において、x方向に沿った2辺と、y方向に沿った2辺とを有する矩形状の領域に設けられる。具体的には、サブチップSC0及びSC2は、プレーン0及びプレーン1、データ転送回路13L、電圧生成回路16、ドライバセット17UL及び17DL、ロウデコーダ18-0及び37

ー 1、並びにセンスアンプ 19-0 及び 19-1 を含む。図 37 に示されたサブチップ SC0 及び SC2 のレイアウトパターンは、例えば、図 4 の左半分に対応し、シンボル P8 に対応付けられる。

[0236] また、図 38 に示すように、シンボル P8 に対応付けられたレイアウトパターンと、当該レイアウトパターンに対応付けられた配線パターンとに従って、半導体基板 120 の上面上には、素子層 121 が設けられる。なお、図 38 では、簡単のため、端子 T4a、T5a、T7a、T8a、T4b、T5b、T7b 及び T8b、並びに論理回路 LGA1 及び LGB1 以外の内部回路については、記載を省略している。

[0237] 半導体基板 120 及び素子層 121 には、例えば、複数のビア 122 (122-1、122-2、122-3、及び 122-4)、複数のバンプ 123 (123-1、123-2、123-3、及び 123-4)、複数のパッド 124 (124-1、124-2、124-3、及び 124-4)、論理素子層 125 及び 126、並びに配線層 127~133 が設けられる。ビア 122、バンプ 123、パッド 124、論理素子層 125 及び 126、並びに配線層 127~133 はそれぞれ、例えば、図 19 において示されたビア 62L、バンプ 63L、パッド 64L、論理素子層 65 及び 67、並びに配線層 68、70、71、74、75、77、及び 78 と同様に配置される。

[0238] 図 38 の例では、バンプ 123-1 及びパッド 124-1 はそれぞれ、半導体基板 120 の右端から距離 d9 及び d13 の位置に設けられる。バンプ 123-2 及びパッド 124-2 はそれぞれ、半導体基板 120 の右端から距離 d10 及び d14 の位置に設けられる。バンプ 123-3 及びパッド 124-3 はそれぞれ、半導体基板 120 の右端から距離 d11 及び d15 の位置に設けられる。バンプ 123-4 及びパッド 124-4 はそれぞれ、半導体基板 120 の右端から距離 d12 及び d16 の位置に設けられる。

[0239] 次に、サブチップ SC1 及び SC3 の構成について説明する。

[0240] 図 39 に示すように、サブチップ SC1 及び SC3 のレイアウトパターンはそれぞれ、サブチップ SC0 及び SC1 のレイアウトパターンの一部であ

り、 x y 平面上において、サブチップSC0及びSC2と同一の矩形形状の領域に設けられる。具体的には、サブチップSC1及びSC3は、プレーン2及びプレーン3、データ転送回路13R、ロジック制御回路14、シーケンサ15、ドライバセット17UR及び17DR、ロウデコーダ18-2及び18-3、並びにセンスアンプ19-2及び19-3を含む。サブチップSC0及びSC2のレイアウトパターンは、例えば、図4の右半分に相当し、シンボルP9に対応付けられる。

[0241] また、図40に示すように、シンボルP9に対応付けられたレイアウトパターンと、当該レイアウトパターンに対応付けられた配線パターンとに従って、半導体基板140の上面上には、素子層141が設けられる。なお、図40では、簡単のため、端子T4a、T6a、T7a、T8a、T4b、T6b、T7b及びT8b、並びに論理回路LGA2以外の内部回路については、記載を省略している。

[0242] 半導体基板140及び素子層141には、例えば、複数のビア142（142-1、142-2、142-3、及び142-4）、複数のバンプ143（143-1、143-2、143-3、及び143-4）、複数のパッド144（144-1、144-2、144-3、及び144-4）、論理素子層145、及び配線層146～151が設けられる。ビア142、バンプ143、パッド144、論理素子層145、及び配線層146～151はそれぞれ、例えば、図19において示されたビア62R、バンプ63R、パッド64R、論理素子層66、並びに配線層69、72、73、76、79、及び80と同様に配置される。

[0243] 図40の例では、バンプ143-1及びパッド144-1はそれぞれ、半導体基板140の右端から距離d9及びd13の位置に設けられる。バンプ143-2及びパッド144-2はそれぞれ、半導体基板140の右端から距離d10及びd14の位置に設けられる。バンプ143-3及びパッド144-3はそれぞれ、半導体基板140の右端から距離d11及びd15の位置に設けられる。バンプ143-4及びパッド144-4はそれぞれ、半

導体基板 140 の右端から距離 d12 及び d16 の位置に設けられる。

[0244] 以上のように構成されることにより、サブチップ SC1 及び SC3 のレイアウトパターンは、サブチップ SC0 及び SC2 のレイアウトパターンと異なる。具体的には、サブチップ SC1 及び SC3 の各端子は、サブチップ SC0 及び SC2 の各端子と鏡像対称の位置に設けられるが、論理回路の入出力の方向を含め、内部回路の配置は互いに異なる。

[0245] 4. 1. 4 コアチップ群の積層構造について

次に、第4実施形態に係る半導体記憶装置のコアチップ群の積層構造について、図41を用いて説明する。図41は、第4実施形態に係る半導体記憶装置のコアチップ群の積層構造を説明するための断面図である。図41は、図38及び図40において示されたサブチップ SC0～SC3がこの順に積層された構造を示している。

[0246] 図41に示すように、サブチップ SC0 の上面及び SC2 の上面はそれぞれ、サブチップ SC1 の上面及びサブチップ SC3 の上面と貼り合わされる。上述の通り、サブチップ SC0 及び SC2 のパッド 124 の位置と、サブチップ SC1 及び SC3 のパッド 144 の位置とは、互いの上面同士に対向面に関して鏡像対称に設計されている。このため、サブチップ SC0 のパッド 124-1～124-4 の位置はそれぞれ、サブチップ SC1 のパッド 144-1～144-4 の位置と整合する。

[0247] また、サブチップ SC1 の下面は、サブチップ SC2 の下面と貼り合わされる。上述の通り、サブチップ SC1 のバンプ 143 の位置とサブチップ SC2 のバンプ 123 の位置とは、互いの上面同士に対向面に関して鏡像対称に設計されている。このため、サブチップ SC1 のバンプ 143-1～143-4 の位置はそれぞれ、サブチップ SC2 のバンプ 123-1～123-4 の位置と整合する。

[0248] 以上のように構成されることにより、サブチップ SC0～SC3 は、各々の内部回路と通信可能な信号経路 SL4、SL5、SL7、及び SL8 を形成することができる。上述の通り、サブチップ SC0 及び SC2 と、サブチ

ップSC1及びSC3とは、異なるレイアウトパターンにより論理回路が設けられる。このため、例えば、信号経路SL7において、半導体基板120から素子層121に向けた入出力方向を有する論理素子層125に対して、素子層141から半導体基板140に向けた入出力方向を有する論理素子層145を対応させることができる。したがって、ビア122-2に接続された下端と、パッド124-2に接続された上端とを含む論理素子層125と、ビア142-2に接続された下端と、パッド144-2に接続された上端とを含む論理素子層145とは、入出力関係が整合する。

[0249] 4. 2 製造方法について

次に、第4実施形態に係る半導体記憶装置の製造方法について説明する。

[0250] 4. 2. 1 ウェハ形成について

第4実施形態に係る半導体記憶装置の製造方法のうち、ウェハ上への素子層の形成方法について説明する。図42は、第4実施形態に係る半導体記憶装置のウェハ上への素子層の形成方法を説明するための模式図である。すなわち、図42は、図10におけるステップST10に対応する。

[0251] 図42では、マスクセットMS4を用いてウェハW1及びW2上に転写されるレイアウトパターンが模式的に示される。具体的には、図42では、図37及び図38において説明したレイアウトパターンがシンボルP8で示され、図39及び図40において説明したレイアウトパターンがシンボルP9で示される。以下の説明では、図37及び図38において説明したレイアウトパターンは、レイアウトパターンP8と言い、図39及び図40において説明したレイアウトパターンは、レイアウトパターンP9と言う。

[0252] 図42に示すように、マスクセットMS4は、レイアウトパターンP8及びP9がx方向に沿って交互に並ぶ。そして、マスクセットMS4は、x方向に沿う両端がそれぞれ異なるレイアウトパターンとなるように配置される。ウェハW1及びW2は、例えば、第1実施形態における図12と同様、xy平面上においてx方向に沿って並べられた状態から、yz平面に関して折るように貼り合わされる。

[0253] 以上のようにマスクセットMS 4 が転写されたウェハW 1 及びW 2 を貼り合わせることで、図4 1 におけるチップセットCS として機能し得る構成が複数個得られる。

[0254] 4. 2. 2 ダイソートについて

第4 実施形態に係る半導体記憶装置の製造方法のうち、ダイソート工程は、例えば、第1 実施形態と同様の方法を適用し得る。すなわち、レイアウトパターンP 8 のマスク部分と、レイアウトパターンP 9 用のマスク部分との組をダイソータの針当て位置の繰り返し単位DSU と定義することができる。これにより、同一のチップデザインが並ぶウェハについて、1 つのダイソータの針当て位置の繰り返し単位DSU を用いて、ダイソートを実施することができる。

[0255] 4. 3 本実施形態に係る効果

第4 実施形態によれば、コアチップCC 0 は、互いの上面同士が貼り合わされたサブチップSC 0 及びSC 1 を含む。つまり、1 つのチップセットCS に、1 つのコアチップCC が含まれる。このため、1 つのチップセットCS に、2 つのコアチップCC が含まれる第1 実施形態～第3 実施形態と比較して、ダイシングによって得られるチップセットCS 1 つあたりの歩留りは、半分に抑えられる。従って、良品の製造効率を高めることができる。

[0256] また、ウェハW 1 及びW 2 は、同一のマスクセットMS 4 によって素子層が形成される。このマスクセットMS 4 は、互いに異なる2 つのレイアウトパターンP 8 及びP 9 を含む。レイアウトパターンP 8 及びP 9 は、交互に並ぶ。このため、ウェハW 1 及びW 2 を貼り合わせた際に、レイアウトパターンP 8 が転写された素子層とレイアウトパターンP 9 が転写された素子層とを貼り合わせることができる。

[0257] なお、マスクセットMS 4 の設計に要するコストは、レイアウトパターンP 8 及びP 9 を設計するコストに相当する。しかしながら、レイアウトパターンP 8 及びP 9 は、合計してコアチップCC 1 つ分に相当する。したがって、マスクセットMS 4 の設計コストは、コアチップCC 1 つ分の設計コス

トと同等に抑えることができる。

[0258] また、上述の通り、1つのチップセットCSで1つのコアチップCCを構成するため、コアチップCC内の通信に要する配線の長さを短縮することができる。図43及び図44は、第4実施形態に係る半導体記憶装置の効果を説明するための模式図である。図43(A)及び図44(A)は、1つの半導体基板上に構成された1つのコアチップCC0の回路配置例が示される。図43(B)及び図44(B)は、第4実施形態に対応し、貼り合わされた2つの半導体基板上にそれぞれ設けられた2つのサブチップSC0及びSC1によって構成された1つのコアチップCC0の回路配置例が示される。図43では、1つのコアチップCC0が4つのプレーンを含む場合が示され、図44では、1つのコアチップCC0が8つのプレーンを含む場合が示される。

[0259] 図43(A)に示すように、コアチップCC0が1つの半導体基板上に設けられた場合、周辺回路の点Q1と点Q2との間で通信が必要な場合、コアチップCC0の左端から右端までの長さの配線を要する。コアチップCC0の左端から右端までの長さは、例えば、ミリメートル(mm)オーダである。一方、図43(B)に示すように、コアチップCC0が貼り合わされた2つの半導体基板上に分けて設けられた場合、点Q2は、点Q1に対して積層方向の直上に配置される。このため、点Q1から点Q2までの配線の長さは、高々サブチップSC0及びSC1間の信号経路の長さとなる。サブチップSC0及びSC1間の信号経路の長さは、例えば、マイクロメートル(μm)オーダである。つまり、図43(B)の構成の方が、図43(A)の構成よりも、点Q1から点Q2までの配線の長さが短くできる。したがって、第4実施形態によれば、周辺回路内の配線パターンを簡略化することができ、ひいては製造コストを低減することができる。

[0260] また、図44(A)に示すように、1つの半導体基板上において8プレーンのコアチップCC0を構成する場合、周辺回路内の点Q3と点Q4との間での通信の際に、4プレーン構成の場合と比較して2倍の配線長が必要とな

る。このため、配線長の増大に伴い電気特性が悪化し、通信に伴う遅延等の制約を満足する設計が困難になる可能性がある。一方、図44（B）に示すように、8プレーンの構成が、貼り合わされた2つの半導体基板上に分けて設けられた場合、点Q3から点Q4までの配線の長さは、高々サブチップSC0及びSC1間の信号経路の長さとなる。そして、内部回路内の配線の長さの最大は、図43（A）に示された4プレーン構成の場合と同等に抑えることができる。このため、図44（A）の場合に顕在化した配線長の問題を解消すること、8プレーン構成の設計が容易になる。また、半導体基板の面積も図44（A）の場合と同様の規模に抑えることができるので、パッケージ内の面積に係る制約も改善することができる。

[0261] 4. 4 第4実施形態の第1変形例

なお、第4実施形態に係る半導体記憶装置は、上述の例に限らず、種々の変形例が適用可能である。例えば、同一のコアチップCC内のサブチップSC間におけるバンプの位置は、互いに鏡像対称の位置に設けられなくてもよい。

[0262] 図45～48は、第4実施形態の第1変形例に係る半導体記憶装置のサブチップのレイアウトパターン及び配線パターンを説明するための断面図である。図45～図48ではそれぞれ、サブチップSC1～SC3の構成が示される。なお、サブチップSC0の構成は、第4実施形態において示された図38と同様であるものとする。

[0263] まず、サブチップSC1について説明する。

[0264] 第4実施形態の第1変形例に係るサブチップSC1のレイアウトパターンは、第4実施形態に係るサブチップSC1のレイアウトパターンと異なる。このため、図45に示されたレイアウトパターンは、図40に示されたシンボルP9とは異なるシンボルP10に対応付けられる。

[0265] 図45に示すように、サブチップSC1は、一部を除いて図40の構成と同一の構成を有する。具体的には、サブチップSC1は、図40におけるビア142-3、バンプ143-3、配線層149、及びパッド144-3に

代えて、ビア142-3B、バンプ143-3B、配線層149B、及びパッド144-3Bを含む。

[0266] バンプ143-3B、ビア142-3B、配線層149B、及びパッド144-3Bの接続関係は、バンプ143-3、ビア142-3、配線層149、及びパッド144-3の接続関係と同様である。しかしながら、バンプ143-3Bは、バンプ143-3と異なる位置に設けられる。すなわち、バンプ143-3Bは、図38に示されたバンプ123-3と鏡像対称ではない位置に設けられる。具体的には、バンプ143-3が半導体基板140の左端から距離d11の位置に設けられるのに対し、バンプ143-3Bは、半導体基板140の左端から距離d11Bの位置に設けられる。

[0267] なお、パッド144-3Bは、パッド144-3と同一の位置に設けられる。すなわち、パッド144-3Bは、図38に示されたパッド124-3と鏡像対称な位置に設けられる。具体的には、パッド144-3Bは、半導体基板140の左端から距離d15の位置に設けられる。

[0268] 次に、サブチップSC2について説明する。

[0269] 図46に示すように、サブチップSC2のレイアウトパターンは、例えば、サブチップSC1のレイアウトパターンに対して、yz平面に関して鏡像対称の関係を有する。図46に示されたレイアウトパターンは、図45に示されたシンボルP10とは異なるシンボルP11に対応付けられる。

[0270] 具体的には、半導体基板160上には、素子層161が設けられる。半導体基板160には、TSVとして機能する複数のビア162（162-1、162-2、162-3、及び162-4）が設けられる。

[0271] 半導体基板160の下面上のうちビア162-1～162-4が露出した部分にはそれぞれ、端子T5a、T7a、T8a、及びT4aとして機能するバンプ163-1、163-2、163-3、及び163-4が設けられる。素子層161の上面上には、端子T5b、T7b、T8b、及びT4bとして機能する複数のパッド164（164-1、164-2、164-3、及び164-4）が設けられる。パッド164の上面は、素子層161の

上面上に露出する。素子層 161 内には、論理回路 LGA1 として機能する論理素子層 165、及び配線層 166～171 が設けられる。

[0272] 配線層 166 は、ビア 162-1 の上端上に設けられた第 1 端と、パッド 164-1 の下端上に設けられた第 2 端と、を含む。配線層 166 は、例えば、内部回路に接続されず、素子層 161 をスルーする。

[0273] 配線層 167 は、ビア 162-2 の上端上に設けられた第 1 端と、論理素子層 165 の上端上に設けられた第 2 端と、を含む。配線層 168 は、論理素子層 165 の下端上に設けられた第 1 端と、パッド 164-2 の下端上に設けられた第 2 端と、を含む。配線層 167 及び 168 は、例えば、内部回路に接続されず、素子層 161 をスルーする。論理素子層 165 は、出力端としての機能を有する下端と、入力端としての機能を有する上端と、を含む。つまり、論理素子層 165 は、バンプ 163-2 から入力された信号をパッド 164-2 に向けて出力する論理回路 LGA1 として機能する。

[0274] 配線層 170 は、ビア 162-4 の上端上に設けられた第 1 端を含み、例えば、内部回路に接続される。配線層 171 は、パッド 164-4 の下端上に設けられた第 1 端を含み、例えば、内部回路に接続される。

[0275] 図 46 の例では、パッド 164-3 は、図 45 のパッド 144-3B と鏡像対称な位置に設けられる。具体的には、パッド 144-3B が半導体基板 140 の左端から距離 d15 の位置に設けられるのに対し、パッド 164-3 は、半導体基板 160 の右端から距離 d15 の位置に設けられる。その他のパッド 164-1、164-2、及び 164-4 についても同様に、図 45 のパッド 144-1、144-2、及び 144-4 と鏡像対称な位置に設けられる。

[0276] また、バンプ 163-3 は、図 45 のバンプ 143-3B と鏡像対称な位置に設けられる。具体的には、バンプ 143-3B が半導体基板 140 の左端から距離 d11B の位置に設けられるのに対し、バンプ 163-3 は、半導体基板 160 の右端から距離 d11B の位置に設けられる。その他のバンプ 163-1、163-2、及び 163-4 についても同様に、図 45 のバ

ンプ143-1、143-2、及び143-4と鏡像対称な位置に設けられる。

[0277] 次に、サブチップSC3について説明する。

[0278] 図47に示すように、サブチップSC2のレイアウトパターンは、例えば、サブチップSC0のレイアウトパターンに対して、yz平面に関して鏡像対称の関係を有する。サブチップSC3のレイアウトパターンは、図38に示されたシンボルP8とは異なるシンボルP12に対応付けられる。

[0279] 具体的には、半導体基板180上には、素子層181が設けられる。半導体基板180には、TSVとして機能する複数のビア182（182-1、182-2、182-3、及び182-4）が設けられる。

[0280] 半導体基板180の下面上のうちビア182-1～182-4が露出した部分にはそれぞれ、端子T5b、T7b、T8b、及びT4bとして機能するバンプ183-1、183-2、183-3、及び183-4が設けられる。素子層181の上面上には、端子T5a、T7a、T8a、及びT4aとして機能する複数のパッド184（184-1、184-2、184-3、及び184-4）が設けられる。パッド184の上面は、素子層181の上面上に露出する。素子層181内にはそれぞれ、論理回路LGA2及びLGB2として機能する論理素子層185及び186、並びに配線層187～193が設けられる。

[0281] 配線層187は、ビア182-1の上端上に設けられた第1端と、パッド184-1の下端上に設けられた第2端と、を含む。配線層187は、例えば、内部回路に接続される。

[0282] 配線層188は、ビア182-2の上端上に設けられた第1端と、論理素子層185の上端上に設けられた第2端と、を含む。配線層188は、例えば、内部回路に接続される。配線層189は、論理素子層185の下端上に設けられた第1端と、パッド184-2の下端上に設けられた第2端と、を含む。論理素子層185は、入力端としての機能を有する下端と、出力端としての機能を有する上端と、を含む。つまり、論理素子層185は、パッド

164-2から入力された信号をバンプ163-2に向けて出力する論理回路LGA2として機能する。

[0283] 配線層190は、ビア182-3の上端上に設けられた第1端と、論理素子層186の上端上に設けられた第2端と、を含む。配線層191は、論理素子層186の下端上に設けられた第1端と、パッド184-3の下端上に設けられた第2端と、を含む。配線層190及び191は、例えば、内部回路に接続されず、素子層181をスルーする。論理素子層186は、出力端としての機能を有する下端と、入力端としての機能を有する上端と、を含む。つまり、論理素子層186は、バンプ163-3から入力された信号をパッド164-3に向けて出力する論理回路LGB2として機能する。

[0284] 配線層192は、ビア182-4の上端上に設けられた第1端を含み、例えば、内部回路に接続される。配線層193は、パッド184-4の下端上に設けられた第1端を含み、例えば、内部回路に接続される。

[0285] 図47の例では、パッド184-3は、図38のパッド124-3と鏡像対称な位置に設けられる。具体的には、パッド124-3が半導体基板120の右端から距離d15の位置に設けられるのに対し、パッド184-3は、半導体基板180の左端から距離d15の位置に設けられる。その他のパッド184-1、184-2、及び184-4についても同様に、図38のパッド124-1、124-2、及び124-4と鏡像対称な位置に設けられる。

[0286] また、バンプ183-3は、図38のバンプ123-3と鏡像対称な位置に設けられる。具体的には、バンプ123-3が半導体基板120の右端から距離d11の位置に設けられるのに対し、バンプ183-3は、半導体基板180の右端から距離d11の位置に設けられる。その他のバンプ183-1、183-2、及び183-4についても同様に、図38のバンプ123-1、123-2、及び123-4と鏡像対称な位置に設けられる。

[0287] 図48は、第4実施形態の第1変形例に係る半導体記憶装置のコアチップ群の積層構造を説明するための断面図である。図48に示すように、第4実

施形態の第1変形例では、サブチップSC0及びSC1を含むチップセットCSaと、サブチップSC2及びSC3を含むチップセットCSbとは、互いに異なる。

[0288] 具体的には、サブチップSC0及びSC1は、信号経路SL8において、互いに鏡像対称でない位置に配置されたバンプを有する。このため、信号経路SL8では、サブチップSC1の下面と、サブチップSC0の下面とは、バンプの位置が整合しない。

[0289] サブチップSC2は、サブチップSC1と鏡像対称なレイアウトパターンを有する。このため、サブチップSC1の下面と、サブチップSC2の下面とは、バンプの位置が整合する。しかしながら、サブチップSC1及びSC2は、同一の配線パターンを適用した場合、論理素子層の入出力関係が整合しない。このため、サブチップSC2には、サブチップSC1と論理素子層の入出力関係を逆転させた配線パターンが適用される。これにより、サブチップSC1及びSC2の間の論理素子層の入出力関係が整合する。

[0290] サブチップSC3は、サブチップSC0と鏡像対称なレイアウトパターンを有する。このため、サブチップSC2の上面と、サブチップSC3の上面とは、パッドの位置が整合する。しかしながら、サブチップSC3は、サブチップSC0と同一の配線パターンを適用した場合、論理素子層の入出力関係がサブチップSC2と整合しない。このため、サブチップSC3には、サブチップSC0と論理素子層の入出力関係を逆転させた配線パターンが適用される。これにより、サブチップSC2及びSC3の間の論理素子層の入出力関係が整合する。

[0291] また、上述の通り、サブチップSC3は、サブチップSC0と鏡像対称なレイアウトパターンを有する。このため、サブチップSC3の下面と、サブチップSC0の下面とは、バンプの位置が整合する。これにより、チップセットCSb上にチップセットCSaを更に積層させることができる。

[0292] なお、第4実施形態の第1変形例では、1個分のコアチップのレイアウトパターン(P8及びP9)と、当該レイアウトパターンの鏡像対称なレイア

ウトパターン（P 1 0 及び P 1 1）と、を設計する必要がある。また、レイアウトパターン P 1 0 及び P 1 1 は、レイアウトパターン P 8 及び P 9 と異なる配線パターンを含む。しかしながら、鏡像対称なレイアウトパターンは、周辺回路等の配置を一から設計し直す必要がないため、設計コストが低い。このため、1 個分のチップデザインの設計コストに、配線パターン分のコストを追加するのみで、全体のチップデザインを設計することができる。従って、同一のコアチップ C C 内のサブチップ S C 間でバンプの位置が鏡像対称に設けられない場合においても、少ない製造コストで複数のコアチップ C C を積層することができる。

[0293] 4. 5 第4実施形態の第2変形例

上述の第4実施形態に係る半導体記憶装置は、1つのコアチップ C C に2つのサブチップ S C が含まれる例について説明したが、これに限られない。例えば、コアチップ C C は、2個に限らず、偶数（4、6、…）個のサブチップ S C が積層されて構成されてもよい。

[0294] 図49は、第4実施形態の第2変形例のコアチップ群の積層構造を説明するための断面図である。図49に示すように、コアチップ C C 0 は、4つのサブチップ S C 0 ～ S C 3 を含んでもよい。

[0295] 以上のように構成することにより、1つのコアチップ C C を2つのサブチップ S C で構成する場合よりも、更に面積効率を向上させることができる。また、コアチップ C C 内で通信が必要な信号の配線長を更に短くすることができる。

[0296] 4. 6 第4実施形態の第3変形例

上述の第4実施形態に係る半導体記憶装置では、サブチップ S C 0 及び S C 1 のいずれか一方の周辺回路のみに存在する回路がある場合について説明した。具体的には、例えば、サブチップ S C 0 の周辺回路は、電圧生成回路 1 6 を含むが、ロジック制御回路 1 4 及びシーケンサ 1 5 を含まない。一方、サブチップ S C 1 の周辺回路は、電圧生成回路 1 6 を含まないが、ロジック制御回路 1 4 及びシーケンサ 1 5 を含む。しかしながら、これに限らず、

サブチップSC0及びSC1は、いずれの周辺回路にも同一の回路の部分回路が設けられる構成であってもよい。係る場合、サブチップSC0及びSC1のレイアウトパターンは、サブチップSC0に設けられる部分回路と、サブチップSC1に設けられる部分回路とが、積層方向にオーバーラップする回路領域を含むように設計されてもよい。

[0297] 図50及び図51は、第4実施形態の第3変形例に係る半導体記憶装置のサブチップのレイアウトパターンを説明するための上面図である。図50及び図51ではそれぞれ、サブチップSC0及びSC2、並びにサブチップSC1及びSC3の構成が示される。

[0298] 図51に示すように、サブチップSC0及びSC2のレイアウトパターンにおいて、周辺回路は、データ転送回路13L、ロジック制御回路14L、シーケンサ15L、電圧生成回路16L、並びにドライバセット17UL及び17DLを含む。また、図52に示すように、サブチップSC1及びSC3のレイアウトパターンにおいて、周辺回路は、データ転送回路13R、ロジック制御回路14R、シーケンサ15R、電圧生成回路16R、並びにドライバセット17UR及び17DRを含む。例えば、データ転送回路13L、ロジック制御回路14L、シーケンサ15L、電圧生成回路16L、並びにドライバセット17UL及び17DLはそれぞれ、データ転送回路13R、ロジック制御回路14R、シーケンサ15R、電圧生成回路16R、並びにドライバセット17UR及び17DRと鏡像対称な位置に設けられる。なお、各回路は、鏡像対称な位置に設けられる場合に限らず、互いのサブチップSCの上面同士を貼り合わせた際に、同一の機能を有する回路の一部が積層方向に重なる部分を有していればよい。

[0299] 以上のように構成することにより、サブチップSC同士を貼り合わせた際に、z方向に沿って重複する領域に、同一の機能を有する回路が配置される。これにより、例えば、サブチップSC0の電圧生成回路16Lと、サブチップSC1の電圧生成回路16Rとの間で信号を通信する場合、電圧生成回路16L及び16Rとを接続する配線は、積層方向にのみ延ばせばよい。こ

のため、同一のサブチップSC内に余分な配線を設ける必要がなくなり、配線パターンを設計を簡素化できる。

[0300] また、サブチップSC同士を貼り合わせた際に、z方向に沿って異なる位置に同一の機能を有する回路が配置されている場合、サブチップSC0及びSC2と、サブチップSC1及びSC3とで、異なる信号経路を設ける必要がある。係る場合、サブチップSC0及びSC2のための信号経路は、サブチップSC1及びSC3では利用できないため、端子数や、配線長が増加する。第4実施形態の第3変形例では、上述の通り、サブチップSC同士を貼り合わせた際に、z方向に沿って同じ位置に、同一の機能を有する回路が配置される。このため、或る回路に必要な信号経路を、サブチップSC0及びSC2と、サブチップSC1及びSC3とで分ける必要が生じるケースを少なくできる。したがって、より制約の少ないチップデザインを設計することができ、設計コストを低減することができる。

[0301] 5. 第5実施形態

次に、第5実施形態に係る半導体記憶装置について説明する。第4実施形態に係る半導体記憶装置は、1つの半導体基板上に1つのサブチップSCが設けられた。一方、第5実施形態では、1つの半導体基板上に2つのサブチップSCが設けられる。当該2つのサブチップSCの各々は、互いに異なるコアチップCCの一部となる。すなわち、1つのチップセットCSに2つのコアチップCC（4つのサブチップSC）が構成される。以下では、第4実施形態と同様の構成要素には同一の符号を付してその説明を省略し、第4実施形態と異なる部分について説明する。

[0302] 5. 1 構成について

第5実施形態に係る半導体記憶装置の構成について説明する。

[0303] 5. 1. 1 コアチップ群の構成について

第5実施形態に係る半導体記憶装置のコアチップ群の構成例について、図52を用いて説明する。図52は、第5実施形態に係る半導体記憶装置のコアチップ群の構成の一例を示すブロック図である。

[0304] 図52に示すように、コアチップ群11は、例えば、第4実施形態におけるコアチップ群11内のコアチップCCの2倍のコアチップCCを含む。具体的には、コアチップ群11は、複数のコアチップCC (CC0A、CC1A、…、及びCC0B、CC1B、…)を含む。各コアチップCCは、2つのサブチップSCを含む。具体的には、コアチップCC0Aは、サブチップSC0A及びSC1Aを含み、コアチップCC1Aは、サブチップSC2A及びSC3Aを含む。また、コアチップCC0Bは、サブチップSC0B及びSC1Bを含み、コアチップCC1Bは、サブチップSC2B及びSC3Bを含む。なお、コアチップCCの数は、任意の自然数が適用可能である。

[0305] サブチップSC0A及びSC0Bは、半導体基板SS0上に設けられる。サブチップSC1A及びSC1Bは、半導体基板SS1上に設けられる。サブチップSC2A及びSC2Bは、同一の半導体基板SS2上に設けられる。サブチップSC3A及びSC3Bは、同一の半導体基板SS3上に設けられる。

[0306] 5. 1. 2 サブチップの構成について

次に、第5実施形態に係る半導体記憶装置のサブチップの構成について説明する。図53は、第5実施形態に係る半導体記憶装置のサブチップのレイアウトパターンを説明するための上面図である。図53では、同一の半導体基板SS上に設けられる2つのサブチップSCの組が示される。すなわち、図53では、サブチップSC0A及びSC0Bの組、サブチップSC1B及びSC1Aの組、サブチップSC2A及びSC2Bの組、又はサブチップSC3B及びSC3Aの組、に共通する構成が示される。

[0307] 図53に示された上面図は、例えば、図37に示された上面図の右端と、図39に示された上面図の左端とを結合させたものに相当し、シンボルP13に対応付けられる。図53示すように、サブチップSC0A、SC1B、SC2A、及びSC3Bは、レイアウトパターンP8と一致する。サブチップSC0B、SC1A、SC2B、及びSC3Aは、レイアウトパターンP9と一致する。

[0308] なお、第5実施形態に係るレイアウトパターン及び配線パターンを示す断面図は、例えば、図38に示された断面図の右端と、図40に示された断面図の左端とを結合させたものと一致する。

[0309] 5. 1. 3 コアチップ群の積層構造について

次に、第5実施形態に係る半導体記憶装置のコアチップ群の積層構造について、図54を用いて説明する。図54は、第5実施形態に係る半導体記憶装置のコアチップ群の積層構造を説明するための断面図である。

[0310] 図54に示すように、第5実施形態におけるコアチップ群のチップセットCSは、第4実施形態の図41に示されたチップセットCSと、図41に示されたチップセットCSを上下に反転させたものと、を含む。

[0311] これにより、サブチップSC0A及びSC1Aを含むコアチップCC0Aと、サブチップSC0B及びSC1Bを含むコアチップCC0Bとが、1つのチップセットCSに設けられる。また、サブチップSC2A及びSC3Aを含むコアチップCC1Aと、サブチップSC2B及びSC3Bを含むコアチップCC1Bとが、1つのチップセットCSに設けられる。図54の例では、コアチップCC0A及びCC1Aと、コアチップCC0B及びCC1Bとは、それぞれ独立した信号経路群を共有する。

[0312] 5. 2 製造方法について

次に、第5実施形態に係る半導体記憶装置の製造方法について説明する。

[0313] 5. 2. 1 ウェハ形成について

第5実施形態に係る半導体記憶装置の製造方法のうち、ウェハ上への素子層の形成方法について説明する。図55は、第5実施形態に係る半導体記憶装置のウェハ上への素子層の形成方法を説明するための模式図である。すなわち、図55は、図10におけるステップST10に対応する。

[0314] 図55では、マスクセットMS6を用いてウェハW1及びW2上に転写されるレイアウトパターンが模式的に示される。具体的には、図55では、図53において説明したレイアウトパターンがシンボルP13で示される。

[0315] 上述の通り、サブチップSC0A及びSC0Bの組、サブチップSC1B

及びSC1Aの組、サブチップSC2A及びSC2Bの組、並びにサブチップSC3B及びSC3Aの組は、同一のチップデザインを含む。このため、図55に示すように、マスクセットMS6は、チップデザインが一様に並ぶ。ウェハW1及びW2は、例えば、第2実施形態における図22と同様、 xy 平面上において x 方向に沿って並べられた状態から、 yz 平面に関して折るように貼り合わされてもよく、 xy 平面上において y 方向に沿って並べられた状態から、 xz 平面に関して折るように貼り合わされてもよい。

[0316] 以上のようにマスクセットMS6が転写されたウェハW1及びW2を貼り合わせることで、図54において説明したチップセットCSとして機能し得る構成が複数個得られる。

[0317] 5. 2. 2 ダイソートについて

第5実施形態に係る半導体記憶装置の製造方法のうち、ダイソート工程は、例えば、第2実施形態と同様の方法を適用し得る。すなわち、レイアウトパターンP13のマスク部分をダイソータの針当て位置の繰り返し単位DSUと定義することができる。これにより、同一のチップデザインが並ぶウェハについて、1つのダイソータの針当て位置の繰り返し単位DSUを用いて、ダイソートを実施することができる。

[0318] 5. 3 本実施形態に係る効果

第5実施形態によれば、半導体基板SS0上に設けられる素子層は、サブチップSC0Aの内部回路と、サブチップSC0Bの内部回路と、が含まれる。半導体基板SS1上に設けられる素子層は、サブチップSC1Aの内部回路と、サブチップSC1Bの内部回路と、が含まれる。コアチップCC0Aは、サブチップSC0A及びSC1Bを含み、コアチップCC0Bは、サブチップSC0B及びSC1Aを含む。サブチップSC0A及びSC1Bは、1つのコアチップCCのレイアウトパターンの左半分に相当し、サブチップSC0B及びSC1Aは、1つのコアチップCCのレイアウトパターンの右半分に相当する。このため、1つのチップセットCS内に2つのコアチップCCを設けることができる。これにより、第4実施形態に比べて、1つの

チップセットCS内に設けるコアチップCCの数を2倍に増やすことができる。

[0319] また、第5実施形態では、第2実施形態と同様、ウェハW1及びW2は、同一のマスキットMS6によって素子層が形成される。このマスキットMS6は、同一のチップデザインが一様に並ぶ。これにより、コアチップCC1つ分のレイアウトパターン及び配線パターンを設計するだけで、マスキットMS6を設計することができる。従って、製造コストを低減することができる。

[0320] また、第5実施形態に係るレイアウトパターンは、第4実施形態に係るレイアウトパターンP8の右端と、レイアウトパターンP9の左端とを結合させたものと一致する。つまり、第5実施形態に係るレイアウトパターンは、半導体基板の中心に関して対称な位置にバンプ及びパッドが設けられる。このため、ウェハW1及びW2を貼り合わせた際に互いに端子の位置が一致する。これにより、ウェハW1及びW2の間の接続を整合させることができる。

[0321] なお、第5実施形態では、第4実施形態と同様、同一の半導体基板SSO上に設けられたサブチップSC0A及びSC0Bは、異なるレイアウトパターンにより論理回路が設けられる。このため、例えば、信号経路SL7において、半導体基板から素子層に向けた入出力方向を有する論理素子層に対して、素子層から半導体基板に向けた入出力方向を有する論理素子層を対応させることができる。したがって、サブチップSC0A内の論理素子層と、サブチップSC1B内の論理素子層とは、入出力関係が整合する。また、サブチップSC0B内の論理素子層と、サブチップSC1A内の論理素子層とは、入出力関係が整合する。

[0322] また、第4実施形態と同様、2つの半導体基板上に設けられた2つのサブチップSCが積層されて1つのコアチップが形成される。このため、コアチップCC内の通信に要する配線の長さを短縮することができる。

[0323] 5. 4 第5実施形態の第1変形例

なお、第5実施形態に係る半導体記憶装置は、上述の例に限らず、種々の変形例が適用可能である。

[0324] 第5実施形態では、第4実施形態と類似した場合として、同一の半導体基板SS上に設けられた2つのサブチップSC内のバンプが左右対称に設けられる場合について説明したが、これに限られない。例えば、第4実施形態の第1変形例と類似した場合として、同一の半導体基板SS上に設けられた2つのサブチップSC内のバンプが左右非対称に設けられてもよい。

[0325] 図56は、第5実施形態の第1変形例に係る半導体記憶装置のコアチップ群の構成を説明するための断面図である。図56に示すように、第5実施形態の第1変形例では、サブチップSC0A、SC0B、SC1A、及びSC1Bを含むチップセットCSaと、サブチップSC2A、SC2B、SC3A、及びSC3Bを含むチップセットCSbとは、互いに異なる。

[0326] 具体的には、サブチップSC2A及びSC2Bのレイアウトパターンは、レイアウトパターンP13と鏡像対称の関係を有する。このため、サブチップSC2A及びSC2Bのバンプは、サブチップSC1A及びSC1Bと、サブチップSC2A及びSC2Bとが貼り合わされた面に対して、サブチップSC1A及びSC1Bのバンプと対称な位置に設けられる。これにより、サブチップSC1A及びSC1Bと、サブチップSC2A及びSC2Bとは、互いのバンプの位置が整合する。

[0327] また、サブチップSC3A及びSC3Bのレイアウトパターンは、レイアウトパターンP13と鏡像対称の関係を有する。このため、サブチップSC3A及びSC3Bのバンプは、サブチップSC1A及びSC1Bと、サブチップSC2A及びSC2Bとが貼り合わされた面に対して、サブチップSC0A及びSC0Bのバンプと対称な位置に設けられる。これにより、サブチップSC3A及びSC3Bと、サブチップSC0A及びSC0Bとは、互いのバンプの位置が整合する。したがって、サブチップSC3A及びSC3B上に、サブチップSC0A及びSC0Bを更に積層することができる。

[0328] なお、上述の通り、チップセットCSa及びCSbは、互いに鏡像対称の

関係を有するため、チップセットCS a及びCS bを貼り合わせると、論理回路の入出力端の向きが互いに逆向きになる。第5実施形態では、レイアウトパターンP 4及びP 6は、互いに異なる配線パターンが適用される。具体的には、一方のチップセットCS内のサブチップSCの配線パターンにおいて、論理回路の入力端及び出力端がそれぞれパッド及びバンプに接続される場合、他方のチップセットCS内のサブチップSCの配線パターンでは、論理回路の入力端及び出力端がそれぞれバンプ及びパッドに接続される。このため、サブチップSC 1 A及びSC 2 Aを貼り合わせた際に、サブチップSC 1 A内に設けられた論理回路と、サブチップSC 2 A内に設けられた論理回路との間の入出力関係を整合させることができる。同様に、サブチップSC 1 B及びSC 2 Bを貼り合わせた際に、サブチップSC 1 B内に設けられた論理回路と、サブチップSC 2 B内に設けられた論理回路との間の入出力関係を整合させることができる。また、サブチップSC 3 A及びSC 0 Aを貼り合わせた際に、サブチップSC 3 A内に設けられた論理回路と、サブチップSC 0 A内に設けられた論理回路との間の入出力関係を整合させることができる。同様に、サブチップSC 3 B及びSC 0 Bを貼り合わせた際に、サブチップSC 3 B内に設けられた論理回路と、サブチップSC 0 B内に設けられた論理回路との間の入出力関係を整合させることができる。

[0329] 5. 5 第5実施形態の第2変形例

上述の第5実施形態に係る半導体記憶装置は、1つのコアチップCCに2つのサブチップSCが含まれる例について説明したが、これに限られない。例えば、コアチップCCは、2個に限らず、偶数（4、6、…）個のサブチップSCが積層されて構成されてもよい。

[0330] 図5 7は、第5実施形態の第2変形例のコアチップ群の積層構造を説明するための断面図である。図5 7に示すように、コアチップCC 0 A及びCC 0 Bはそれぞれ、4つのサブチップSC 0 A～SC 3 A、及びSC 0 B～SC 3 Bを含んでもよい。

[0331] 以上のように構成することにより、1つのコアチップCCを2つのサブチ

ップSCで構成する場合よりも、更に面積効率を向上させることができる。
また、コアチップCC内で通信が必要な信号の配線長を更に短くすることができる。

[0332] 5. 6 第5実施形態の第3変形例

上述の第5実施形態に係る半導体記憶装置は、同一の半導体基板SS上に異なるコアチップCCに含まれる2つのサブチップSCが互いに独立して設けられる例について説明したが、これに限られない。例えば、同一半導体基板SS上に設けられた2つのサブチップSCは、隣り合う領域において設けられた共有回路の機能を共有してもよい。

[0333] 図58は、第5実施形態の第3変形例に係る半導体記憶装置のサブチップのレイアウトパターンを説明するための上面図である。図58に示すように、例えば、サブチップSCOA及びSCOBは、互いのサブチップSCに設けられた共有回路を共有する。共有回路は、サブチップSCOA及びSCOBのいずれの回路としても動作可能である。

[0334] 以上のように構成することにより、異なるコアチップCC間で共有できる機能については、1つの共有回路で処理することが可能となる。これにより、より回路面積を小さくすることができる。

[0335] 6. その他

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

請求の範囲

- [請求項1] 第1基板と、
前記第1基板の上面上に設けられた第1素子層と、
第2基板と、
前記第2基板の上面上に設けられた第2素子層と、
を備え、
前記第1基板は、第1ビアを含み、
前記第1素子層は、前記第1ビアと電氣的に接続され、前記第1素子層の上面上に設けられた第1パッドを含み、
前記第2基板は、第2ビアを含み、
前記第2素子層は、前記第2ビアと電氣的に接続され、前記第2素子層の上面上に設けられた第2パッドを含み、
前記第2素子層の上面は、前記第1素子層の上面上に対向して設けられ、
前記第1パッド及び前記第2パッドは、前記第1素子層及び前記第2素子層の対向する面に対して対称に設けられ、互いに電氣的に接続された、
半導体記憶装置。
- [請求項2] 前記第1素子層は、前記第1ビアに電氣的に接続された入力端と、前記第1パッドに電氣的に接続された出力端と、を含む第1論理回路を更に含み、
前記第2素子層は、前記第2パッドに電氣的に接続された入力端と、前記第2ビアに電氣的に接続された出力端と、を含む第2論理回路を更に含む、
請求項1記載の半導体記憶装置。
- [請求項3] 前記第1素子層は、前記第1パッドに電氣的に接続された入力端と、前記第1ビアに電氣的に接続された出力端と、を含む第1論理回路を更に含み、

前記第2素子層は、前記第2ビアに電氣的に接続された入力端と、前記第2パッドに電氣的に接続された出力端と、を含む第2論理回路を更に含む、

請求項1記載の半導体記憶装置。

[請求項4] 前記第1論理回路及び前記第2論理回路は、前記第1素子層及び前記第2素子層の対向する面に対して対称に設けられた、請求項2又は請求項3記載の半導体記憶装置。

[請求項5] 前記第1論理回路及び前記第2論理回路は、前記第1素子層及び前記第2素子層の対向する面に対して非対称に設けられた、請求項2又は請求項3記載の半導体記憶装置。

[請求項6] 前記第1素子層及び前記第2素子層は、同一のレイアウトパターンにより設けられた、請求項5記載の半導体記憶装置。

[請求項7] 前記第1素子層及び前記第2素子層は、異なるレイアウトパターンにより設けられた、請求項5記載の半導体記憶装置。

[請求項8] 前記第1素子層及び前記第2素子層の各々は、互いに異なるコアチップに含まれる、請求項1記載の半導体記憶装置。

[請求項9] 前記第1素子層及び前記第2素子層は、同一のコアチップに含まれる、請求項1記載の半導体記憶装置。

[請求項10] 第3基板と、前記第3基板の上面上に設けられた第3素子層と、を更に備え、

前記第3基板は、第3ビアを含み、

前記第3素子層は、前記第3ビアと電氣的に接続され、前記第3素子層の上面上に設けられた第3パッドを含み、

前記第3基板の下面は、前記第2基板の下面上に対向して設けられ、

前記第2ビア及び前記第3ビアは、前記第2基板及び前記第3基板の対向する面に対して対称に設けられ、互いに電氣的に接続された、請求項1記載の半導体記憶装置。

- [請求項11] 前記第2パッド及び前記第3パッドは、前記第2基板及び前記第3基板の対向する面に対して対称に設けられた、請求項10記載の半導体記憶装置。
- [請求項12] 第4基板と、前記第4基板の上面上に設けられた第4素子層と、を更に備え、
前記第4基板は、第4ビアを含み、
前記第4素子層は、上面上に設けられ、前記第4ビアと電氣的に接続された第4パッドを含み、
前記第4素子層は、前記第3素子層の上面上に対向して設けられ、
前記第3ビア及び前記第4ビアは、前記第3素子層及び前記第4素子層の対向する面に対して対称に設けられ、互いに電氣的に接続された、
請求項11記載の半導体記憶装置。
- [請求項13] 前記第1パッド及び前記第4パッドは、前記第2基板及び前記第3基板の対向する面に対して対称に設けられた、請求項12記載の半導体記憶装置。
- [請求項14] 前記第1ビア及び前記第2ビアは、前記第1素子層及び前記第2素子層の対向する面に対して対称に設けられた、請求項13記載の半導体記憶装置。
- [請求項15] 前記第1ビア及び前記第2ビアは、前記第1素子層及び前記第2素子層の対向する面に対して非対称に設けられた、請求項14記載の半導体記憶装置。
- [請求項16] 前記第1素子層、前記第2素子層、及び前記第3素子層は、同一のコアチップに含まれる、請求項10記載の半導体記憶装置。
- [請求項17] 前記第1素子層及び前記第3素子層は、同一のレイアウトパターンにより設けられた、請求項10記載の半導体記憶装置。
- [請求項18] 前記第1素子層及び前記第3素子層は、異なるレイアウトパターンにより設けられた、請求項10記載の半導体記憶装置。

- [請求項19] 前記第1基板は、第3ビアを更に含み、
前記第1素子層は、前記第3ビアと電氣的に接続され、前記第1素子層の上面上のうち前記第1素子層の中心に関して対称な位置に設けられた第3パッドを更に含み、
前記第2基板は、第4ビアを更に含み、
前記第2素子層は、前記第4ビアと電氣的に接続され、前記第2素子層の上面上のうち前記第2素子層の中心に関して対称な位置に設けられた第4パッドを更に含み、
前記第3パッド及び前記第4パッドは、前記第1素子層及び前記第2素子層の対向する面に対して対称に設けられ、互いに電氣的に接続された、
請求項1記載の半導体記憶装置。
- [請求項20] 前記第1ビア、前記第1パッド、前記第2ビア、及び前記第2パッドは、第1コアチップに含まれ、
前記第3ビア、前記第3パッド、前記第4ビア、及び前記第4パッドは、第2コアチップに含まれた、
請求項19記載の半導体記憶装置。
- [請求項21] 前記第1素子層は、前記第1ビア及び前記第1パッドを電氣的に接続する配線に電氣的に接続された第1周辺回路を更に含み、
前記第2素子層は、前記第1周辺回路と対応付けられ、前記第2ビア及び前記第2パッドを電氣的に接続する配線と電氣的に切断された第2周辺回路を更に含む、
請求項6又は請求項7記載の半導体記憶装置。
- [請求項22] 前記第1素子層は、前記第1ビア及び前記第1パッドを電氣的に接続する配線に電氣的に接続された周辺回路の第1部分を更に含み、
前記第2素子層は、前記第2ビア及び前記第2パッドを電氣的に接続する配線に電氣的に接続された前記周辺回路の第2部分を更に含み、
、

前記周辺回路の第1部分と、前記周辺回路の第2部分とは、積層方向に重なる領域を含む、

請求項9記載の半導体記憶装置。

[請求項23]

前記第1素子層は、共有回路を更に含み、

前記共有回路は、前記第1素子層の第1部分及び前記第1素子層の第2部分に共有される、

請求項19記載の半導体記憶装置。

[請求項24]

第1ウェハの上面上に第1素子層を設けることと、

第2ウェハの上面上に第2素子層を設けることと、

前記第1素子層の上面と前記第2素子層の上面とを対向させて、前記第1ウェハ及び前記第2ウェハを貼り合わせることと、

前記貼り合わされた前記第1ウェハの下面及び前記第2ウェハの下面に対してプロービングすることと、

前記プロービングされた前記第1ウェハ及び前記第2ウェハを同時にダイシングし、2以上のチップセットを生成することと、

を備えた、半導体記憶装置の製造方法。

[請求項25]

前記第1素子層及び前記第2素子層は、同一のマスクセットにより設けられた、請求項24記載の半導体記憶装置の製造方法。

[請求項26]

前記2以上のチップセットのうちの1つにおいて、前記第1素子層及び前記第2素子層は、異なるレイアウトパターンにより設けられた、請求項25記載の半導体記憶装置の製造方法。

[請求項27]

前記2以上のチップセットのうちの1つにおいて、前記第1素子層及び前記第2素子層は、前記第1素子層及び前記第2素子層の対向する面に関して対称に設けられた、請求項26記載の半導体記憶装置の製造方法。

[請求項28]

前記2以上のチップセットのうちの1つにおいて、前記第1素子層及び前記第2素子層は、異なる配線パターンにより設けられた、請求項27記載の半導体記憶装置の製造方法。

- [請求項29] 前記2以上のチップセットのうちの1つにおいて、前記第1素子層及び前記第2素子層は、同一のレイアウトパターンにより設けられた、請求項25記載の半導体記憶装置の製造方法。
- [請求項30] 前記2以上のチップセットのうちの1つにおいて、前記第1ウェハの下面に対するプロービングに用いられる端子の配置パターンと、前記第2ウェハの下面に対するプロービングに用いられる端子の配置パターンとは、互いに異なる、請求項24記載の半導体記憶装置の製造方法。
- [請求項31] 前記2以上のチップセットのうちの1つにおいて、前記第1ウェハの下面に対するプロービングに用いられる端子の配置パターンと、前記第2ウェハの下面に対するプロービングに用いられる端子の配置パターンとは、同一である、請求項24記載の半導体記憶装置の製造方法。
- [請求項32] 前記2以上のチップセットのうちの1つにおいて、前記第1素子層及び前記第2素子層は、互いに異なるコアチップに含まれる、請求項24記載の半導体記憶装置の製造方法。
- [請求項33] 前記2以上のチップセットのうちの1つにおいて、前記第1素子層及び前記第2素子層は、同一のコアチップに含まれる、請求項24記載の半導体記憶装置の製造方法。
- [請求項34] 前記2以上のチップセットのうちの1つにおいて、
前記第1素子層は、第1コアチップの第1部分、及び第2コアチップの第1部分を含み、
前記第2素子層は、第1コアチップの第2部分、及び第2コアチップの第2部分を含む、
請求項24記載の半導体記憶装置の製造方法。