

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年9月20日(20.09.2018)



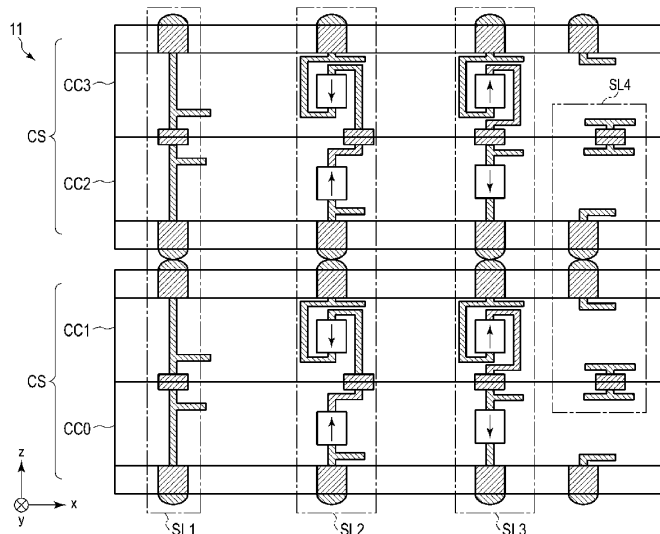
(10) 国際公開番号

WO 2018/168198 A1

- (51) 国際特許分類:
H01L 27/10 (2006.01) H01L 23/522 (2006.01)
G11C 5/04 (2006.01) H01L 25/065 (2006.01)
H01L 21/3205 (2006.01) H01L 25/07 (2006.01)
H01L 21/768 (2006.01) H01L 25/18 (2006.01)
- (21) 国際出願番号: PCT/JP2018/001639
- (22) 国際出願日: 2018年1月19日(19.01.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-049967 2017年3月15日(15.03.2017) JP
- (71) 出願人: 東芝メモリ株式会社(TOSHIBA MEMORY CORPORATION) [JP/JP]; 〒1050023 東京都港区芝浦一丁目1番1号 Tokyo (JP).
- (72) 発明者: 小柳 勝 (KOYANAGI, Masaru); 〒1050023 東京都港区芝浦一丁目1番1号 東芝メモリ株式会社 知的財産部内 Tokyo (JP).
- (74) 代理人: 蔵田 昌俊, 外 (KURATA, Masatoshi et al.); 〒1050014 東京都港区芝三丁目2番1号 セレスティン芝三井ビルディング 11階 鈴榮特許総合事務所内 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: SEMICONDUCTOR STORAGE DEVICE

(54) 発明の名称: 半導体記憶装置



(57) Abstract: Provided is a semiconductor storage device which is able to be produced with less cost. A semiconductor storage device according to one embodiment of the present invention is provided with a first substrate, a first element layer that is provided on the upper surface of the first substrate, a second substrate, and a second element layer that is provided on the upper surface of the second substrate. The first substrate comprises a first via. The first element layer comprises a first pad which is electrically connected to the first via, while being provided on the upper surface of the first

[続葉有]



WO 2018/168198 A1

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))
- 補正された請求の範囲 (条約第19条(1))

element layer; and the second substrate comprises a second via. The second element layer comprises a second pad which is electrically connected to the second via, while being provided on the upper surface of the second element layer. The upper surface of the second element layer is arranged so as to face the upper surface of the first element layer. The first pad and the second pad are arranged symmetrically with respect to the facing surfaces of the first element layer and the second element layers, while being electrically connected to each other.

(57) 要約: 製造コストを低減し得る半導体記憶装置を提供する。一実施形態の半導体記憶装置は、第1基板と、上記第1基板の上面上に設けられた第1素子層と、第2基板と、上記第2基板の上面上に設けられた第2素子層と、を備える。上記第1基板は、第1ビアを含む。上記第1素子層は、上記第1ビアと電氣的に接続され、上記第1素子層の上面上に設けられた第1パッドを含み、上記第2基板は、第2ビアを含む。上記第2素子層は、上記第2ビアと電氣的に接続され、上記第2素子層の上面上に設けられた第2パッドを含む。上記第2素子層の上面は、上位第1素子層の上面上に対向して設けられる。上記第1パッド及び上記第2パッドは、上記第1素子層及び上記第2素子層の対向する面に対して対称に設けられ、互いに電氣的に接続される。