

一种半导体结构及其制备方法

相关申请的交叉引用

- 本公开基于申请号为 202210933308.6、申请日为 2022 年 08 月 04 日、发明名称为“一种半导体结构及其制备方法”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及半导体制造领域，尤其涉及一种半导体结构及其制备方法。

背景技术

- 随着技术的发展和进步，半导体器件的尺寸变得越来越小，半导体器件不断朝着小型化、高集成度的方向发展。动态随机存取存储器(dynamic random access memory, 简称 DRAM)作为一种高速地、随机地写入和读取数据的半导体器件，常被广泛地应用到数据存储设备或装置中。然而，动态随机存取存储器的结构还存在很多问题亟待改善。

发明内容

- 本公开实施例提供了一种半导体结构，包括：
- 衬底；
- 位于所述衬底上的半导体柱和位于所述半导体柱上方的栅极柱，所述半导体柱与所述栅极柱均沿垂直于衬底平面的方向延伸；
- 沿第一方向延伸的第一字线，所述第一字线围绕所述半导体柱，所述第一方向平行于衬底平面；
- 位于所述半导体柱上方的半导体层，所述半导体层至少围绕所述栅极柱的侧壁。
- 在一些实施例中，所述栅极柱和所述半导体柱一一对应。
- 在一些实施例中，所述半导体柱的顶部与所述栅极柱的底部电连接。
- 在一些实施例中，所述半导体柱与所述栅极柱在所述衬底平面上的正投影至少部分重叠，且所述栅极柱和所述半导体柱的材料相同。
- 在一些实施例中，所述半导体柱包括自下而上分布的第一极、第一沟道区和第二极，且所述第一极、所述沟道区和所述第二极的导电类型相同。
- 在一些实施例中，所述半导体层包括相连的第一子部、第二子部和第三子部，所述第一子部覆盖所述栅极柱的顶表面，所述第二子部覆盖所述栅极柱的侧壁，所述第三子部部分覆盖相邻所述栅极柱之间的所述衬底的上表面。
- 在一些实施例中，所述半导体结构还包括：
- 沿所述第一方向延伸的第二字线，所述第二字线环绕所述第二子部邻近所述半导体柱的一端，且覆盖所述第三子部的上表面；
- 沿第二方向延伸的第一位线和第二位线，所述第二方向平行于所述衬底平面且与所述第一方向垂直，所述第一位线位于所述半导体柱的下方，且与所述半导体柱的下部电连接，所述第二位线位于所述半导体层的上方，且与所述第一子部电连接。
- 在一些实施例中，所述半导体结构还包括：
- 第一栅介质层，所述第一栅介质层位于所述第一字线和所述半导体柱之间，且所述第一栅介质层环绕所述第一沟道区和所述第二极；
- 第二栅介质层，所述第二栅介质层包括相连的第一子层和第二子层，所述第一子层位于所述栅极柱和所述半导体层之间，覆盖所述栅极柱的侧壁和顶部，所述第二子层覆盖相邻的所述栅极柱之间的所述衬底的上表面。
- 在一些实施例中，所述半导体结构还包括：
- 第一栅介质层，所述第一栅介质层位于所述第一字线和所述半导体柱之间，且所述第一栅介质层环绕所述第一沟道区和所述第二极；
- 第二栅介质层，所述第二栅介质层覆盖所述栅极柱的侧壁和顶部；
- 第四介质层，所述第四介质层覆盖相邻的所述栅极柱之间的所述衬底的上表面。
- 在一些实施例中，所述半导体柱和所述半导体层包括氧化铟、氧化锡、In-Zn 类氧化物、Sn-Zn 类氧化物、Al-Zn 类氧化物、In-Ga 类氧化物、In-Ga-Zn 类氧化物、In-Al-Zn 类氧化物、In-Sn-Zn 类氧化物、Sn-Ga-Zn 类氧化物、Al-Ga-Zn 类氧化物、Sn-Al-Zn 类氧化物中的至少一种或其组合。
- 在一些实施例中，所述半导体结构还包括沿第一方向延伸的字线隔离结构，所述字线隔离结构位于任意相邻的两条所述第一字线之间以将相邻的所述第一字线隔离。
- 在一些实施例中，所述半导体结构还包括：位于所述衬底上方的第一介质层和位于所述第一介质层上方的第二介质层，所述半导体柱和所述第一字线位于所述第一介质层中，所述栅极柱、所述半导体层以及第二字线位于所述第二介质层中。
- 本公开实施例还提供了一种半导体结构的制备方法，包括：
- 提供衬底；

- 在所述衬底上形成立柱，所述立柱包括半导体柱，所述立柱沿垂直于衬底平面的方向延伸；
形成沿第一方向延伸的第一字线，所述第一字线围绕部分所述立柱，所述第一方向平行于衬底平面。
在一些实施例中，在形成所述第一字线之后，所述方法还包括：
在所述半导体柱的正上方形成栅极柱，所述栅极柱沿垂直于衬底平面的方向延伸；
5 形成半导体层，所述半导体层至少围绕所述栅极柱的侧壁。
在一些实施例中，在所述衬底上形成立柱之前，所述方法还包括：
在所述衬底上形成绝缘层；
对所述绝缘层执行刻蚀工艺，以在所述绝缘层上形成多个沿第二方向延伸的第一沟槽，所述第二方向
10 向平行于所述衬底平面且与所述第一方向垂直；
在多个所述第一沟槽内填充导电材料，以形成多条沿第二方向延伸的第一位线。
在一些实施例中，在多个所述第一沟槽内填充导电材料，以形成多条沿第二方向延伸的第一位线之
后，所述方法还包括：
形成第一介质层；
15 刻蚀所述第一介质层，以在所述第一介质层内形成多个沿第一方向延伸的第二沟槽；
在多个所述第二沟槽内填充绝缘材料，以形成多条沿第一方向延伸的字线隔离结构。
在一些实施例中，在所述衬底上形成立柱，包括：
刻蚀所述第一介质层，以形成多个第一沟道孔，所述第一沟道孔暴露出所述第一位线；
在所述第一沟道孔内填充半导体材料，以形成所述立柱，所述立柱包括半导体柱；
20 形成沿第一方向延伸的第一字线，所述第一字线围绕所述半导体柱，所述第一方向平行于衬底平面，
包括：
形成多个沿第一方向延伸且位于相邻的两条字线隔离结构之间的第三沟槽；
在所述第三沟槽内形成第一栅介质层，所述第一栅介质层环绕部分所述半导体柱；
在所述第三沟槽内形成第一字线，所述第一字线环绕部分所述第一栅介质层。
在一些实施例中，在所述半导体柱的正上方形成栅极柱，包括：
25 形成第二介质层，刻蚀所述第二介质层，以在所述第二介质层内形成多个暴露出所述半导体柱顶部
的第二沟道孔；
在所述第二沟道孔内形成所述栅极柱；
在形成所述栅极柱之后，所述方法还包括：
暴露出所述栅极柱的顶表面与侧壁；
30 沉积第二栅介质层，所述第二栅介质层包括围绕所述栅极柱的侧壁和顶部的部分，及覆盖第一介质
层上表面的部分；
在所述第二栅介质层上依次形成半导体材料层和字线材料层，所述半导体材料层与所述第二栅介质
层共形，所述字线材料层填充相邻所述半导体材料层之间的空隙；
刻蚀所述半导体材料层和所述字线材料层，以分别形成半导体层及多条沿第一方向延伸的第二字线。
35 在一些实施例中，在形成所述半导体层之后，所述方法还包括：
形成第三介质层；
刻蚀所述第三介质层，形成沿第二方向延伸第四沟槽，所述半导体层的上表面暴露于所述第四沟槽；
于所述第四沟槽内形成第二位线。
在一些实施例中，在所述衬底上形成立柱，包括：
40 在所述衬底上形成立柱，所述立柱高于衬底表面，且沿垂直于衬底平面的方向延伸；所述立柱包括
半导体柱以及栅极柱，所述栅极柱位于所述半导体柱的正上方；
在形成所述第一字线之后，所述方法还包括：形成半导体层，所述半导体层至少围绕所述栅极柱的
侧壁。
在一些实施例中，在所述衬底上形成立柱之前，所述方法还包括：
45 所述衬底上形成多条沿第二方向延伸的第一位线；
形成第一介质层；
在所述第一介质层内形成多条沿第一方向延伸的字线隔离结构。
在一些实施例中，在所述衬底上形成立柱，包括：
刻蚀所述第一介质层，以形成多个第一沟道孔，所述第一沟道孔暴露出所述第一位线；
50 形成半导体材料层，所述半导体材料层覆盖所述第一介质层的上表面并填充所述第一沟道孔；
刻蚀所述半导体材料层以形成所述立柱，所述立柱位于所述第一沟道孔内的部分定义为半导体柱，
所述立柱位于第一沟道孔正上方的部分定义为栅极柱。
在一些实施例中，形成沿第一方向延伸的第一字线，包括：
形成多个沿第一方向延伸且位于相邻的两条字线隔离结构之间的第三沟槽；
55 形成栅介质层，所述栅介质层包括围绕部分所述半导体柱的第一栅介质层，以及围绕所述栅极柱侧
壁和顶部的第二栅介质层；
在所述第三沟槽内形成第一字线，所述第一字线环绕部分所述第一栅介质层。
在一些实施例中，形成第一字线之后，所述方法还包括：
在所述第二栅介质层上依次形成半导体材料层和字线材料层，所述半导体材料层至少覆盖所述第二
60 栅介质层，所述字线材料层填充相邻所述半导体材料层之间的空隙；

刻蚀所述半导体材料层和所述字线材料层，去除位于所述字线隔离结构上方的部分所述半导体材料层和所述字线材料层，以分别形成半导体层及多条沿第一方向延伸的第二字线。

本公开实施例所提供的半导体结构及其制备方法，其中，所述结构包括：衬底；位于所述衬底上的半导体柱和位于所述半导体柱上方的栅极柱，所述半导体柱与所述栅极柱均沿垂直于衬底平面的方向延伸；沿第一方向延伸的第一字线，所述第一字线围绕所述半导体柱，所述第一方向平行于衬底平面；位于所述半导体柱上方的半导体层，所述半导体层至少围绕所述栅极柱的侧壁。如此，位于底部的半导体柱和位于其上方的半导体层呈纵向分布的方式，当后续在半导体柱和半导体层的基础上形成晶体管结构时，可显著减少两个晶体管的投影在衬底上占用的面积，与两个晶体管平铺设置在衬底上的方式相比，本公开实施例可有效的提高半导体结构的集成度。

本公开的一个或多个实施例的细节将在下面的附图和描述中提出。本公开的其它特征和优点将从说明书、附图以及权利要求书变得明显。

附图说明

为了更清楚地说明本公开实施例的技术方案，下面将对实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为本公开实施例提供的半导体结构的一种结构的结构示意图；

图 2 为本公开实施例提供的半导体结构的另一种结构的结构示意图；

图 3 为本公开实施例提供的半导体结构的又一种结构的结构示意图；

图 4 为本公开实施例提供的半导体结构的制备方法的流程框图；

图 5 至图 22 为本公开一个实施例提供的半导体结构的制备方法的工艺流程图；

图 23 为本公开实施例提供的半导体结构的另一种结构的结构示意图；

图 24 至图 29 为本公开另一实施例提供的半导体结构的制备方法的工艺流程图。

具体实施方式

下面将参照附图更详细地描述本公开公开的示例性实施方式。虽然附图中显示了本公开的示例性实施方式，然而应当理解，可以以各种形式实现本公开，而不应被这里阐述的具体实施方式所限制。相反，提供这些实施方式是为了能够更透彻地理解本公开，并且能够将本公开公开的范围完整的传达给本领域的技术人员。

在下文的描述中，给出了大量具体的细节以便提供对本公开更为彻底的理解。然而，对于本领域技术人员而言显而易见的是，本公开可以无需一个或多个这些细节而得以实施。在其他的例子中，为了避免与本公开发生混淆，对于本领域公知的一些技术特征未进行描述；即，这里不描述实际实施例的全部特征，不详细描述公知的功能和结构。

在附图中，为了清楚，层、区、元件的尺寸以及其相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

应当明白，当元件或层被称为“在……上”、“与……相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在……上”、“与……直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分，这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此，在不脱离本公开教导之下，下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。而当讨论第二元件、部件、区、层或部分时，并不表明本公开必然存在第一元件、部件、区、层或部分。

空间关系术语例如“在……下”、“在……下面”、“下面的”、“在……之下”、“在……之上”、“上面的”等，在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语意图还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，然后，描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在……下面”和“在……下”可包括上和下两个取向。器件可以另外地取向（旋转 90 度或其它取向）并且在此使用的空间描述语相应地被解释。

在此使用的术语的目的仅在于描述具体实施例并且不作为本公开的限制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”，当在该说明书中使用，确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

目前常见的动态随机存储器，通常由一个晶体管和一个电容（1T1C）构成一个存储单元，电容用于存储数据。然而，1T1C 动态随机存储器对电容能够存储的电荷量的要求较高，且对电容的读取是破坏性的，在读取操作之后还需要进行重写，增加功耗。同时，由于电容的制造工艺复杂、占用体积较高，尺寸微缩成为问题。

因此，技术人员开发了双晶体管无电容（2T0C）动态随机存储器，其通常由一个读取晶体管和一个写入晶体管构成一个存储结构。然而，双晶体管无电容（2T0C）动态随机存储器的结构也存在很多问题

亟待解决。

基于此，提出了本公开实施例的以下技术方案：

本公开实施例提供了一种半导体结构，半导体结构包括：

衬底；

- 5 位于衬底上的半导体柱和位于半导体柱上方的栅极柱，半导体柱与栅极柱均沿垂直于衬底平面的方向延伸；

沿第一方向延伸的第一字线，第一字线围绕半导体柱，第一方向平行于衬底平面；

位于半导体柱上方的半导体层，半导体层至少围绕栅极柱的侧壁。

- 10 在本公开实施例中，位于底部的半导体柱和位于其上方的半导体层呈纵向分布的方式，当后续在半导体柱和半导体层的基础上形成晶体管结构时，可显著减少两个晶体管的投影在衬底上占用的面积，与两个晶体管平铺设置在衬底上的方式相比，本公开实施例可有效的提高半导体结构的集成度。

为使本公开的上述目的、特征和优点能够更加明显易懂，下面结合附图对本公开的具体实施方式做详细的说明。在详述本公开实施例时，为便于说明，示意图会不依一般比例作局部放大，而且示意图只是示例，其在此不应限制本公开的保护范围。

- 15 图 1 为本公开实施例提供的半导体结构的一种结构的结构示意图；图 2 为本公开实施例提供的半导体结构的另一种结构的结构示意图；图 3 为本公开实施例提供的半导体结构的又一种结构的结构示意图。下面结合附图对本公开实施例提供的半导体结构再作进一步详细的说明。

如图 1、图 2 和图 3 所示，半导体结构包括：

衬底 10；

- 20 位于衬底 10 上的半导体柱 13 和位于半导体柱 13 上方的栅极柱 18，半导体柱 13 与栅极柱 18 均沿垂直于衬底 10 平面的方向延伸；

沿第一方向延伸的第一字线 WL1，第一字线 WL1 围绕半导体柱 13，第一方向平行于衬底 10 平面；

位于半导体柱 13 上方的半导体层 16，半导体层 16 至少围绕栅极柱 18 的侧壁。

在一些实施例中，栅极柱 18 和半导体柱 13 一一对应。

- 25 这里，衬底可以为半导体衬底；具体包括至少一个单质半导体材料（例如为硅（Si）衬底、锗（Ge）衬底等）、至少一个 III-V 化合物半导体材料（例如为氮化镓（GaN）衬底、砷化镓（GaAs）衬底、磷化铟（InP）衬底等）、至少一个 II-VI 化合物半导体材料、至少一个有机半导体材料或者在本领域已知的其他半导体材料。在一具体实施例中，衬底为硅衬底。

- 30 在一些实施例中，半导体柱 13 和半导体层 16 包括氧化铟、氧化锡、In-Zn 类氧化物、Sn-Zn 类氧化物、Al-Zn 类氧化物、In-Ga 类氧化物、In-Ga-Zn 类氧化物、In-Al-Zn 类氧化物、In-Sn-Zn 类氧化物、Sn-Ga-Zn 类氧化物、Al-Ga-Zn 类氧化物、Sn-Al-Zn 类氧化物中的至少一种或其组合。

- 35 但不限于此，半导体柱和半导体层的材料还可以包括 In-Hf-Zn 类氧化物、In-La-Zn 类氧化物、In-Ce-Zn 类氧化物、In-Pr-Zn 类氧化物、In-Nd-Zn 类氧化物、In-Sm-Zn 类氧化物、In-Eu-Zn 类氧化物、In-Gd-Zn 类氧化物、In-Tb-Zn 类氧化物、In-Dy-Zn 类氧化物、In-Ho-Zn 类氧化物、In-Er-Zn 类氧化物、In-Tm-Zn 类氧化物、In-Yb-Zn 类氧化物、In-Lu-Zn 类氧化物；以及四元金属氧化物如 In-Sn-Ga-Zn 类氧化物、In-Hf-Ga-Zn 类氧化物、In-Al-Ga-Zn 类氧化物、In-Sn-Al-Zn 类氧化物、In-Sn-Hf-Zn 类氧化物、In-Hf-Al-Zn 类氧化物等。

在一些实施例中，作为半导体柱和半导体层的材料，可选择至少包含铟（In）或锌（Zn）的材料。尤其是优选包含铟（In）及锌（Zn）的材料。除了上述元素以外，可选择还包含稳定剂镓（Ga）元素的材料，稳定剂可以降低最终形成的晶体管的电特性偏差。

- 40 可选的，半导体柱和半导体层的材料包括但不限于铟镓锌氧化物（IGZO），比如化学式为 InGaZnO_4 的材料。

在一具体的实施例中，半导体柱和半导体层的材料包括 $\text{In}_x\text{Ga}_y\text{Zn}_{1-x-y}\text{O}$ ，其中，x 大于等于 0 或小于等于 1，y 大于等于 0 或小于等于 1。

- 45 可以理解的，在实际操作中，可以将半导体柱的一部分作为沟道区，以及将半导体层作为沟道区，并在此基础上分别形成用于写入操作的晶体管结构及用于读取操作的晶体管结构。

在一些实施例中，当采用氧化物半导体材料作为半导体柱和半导体层的材料时，即采用氧化物半导体材料作为写入用途的晶体管结构的沟道区及读取用途的晶体管结构的沟道区时，由于氧化物半导体材料具有更高的载流子迁移率和更低的漏电流，可有效降低两种晶体管结构的漏电流，提高两种晶体管结构的通断电流比和电流可驱动性，提升半导体结构的存取速度，并降低功耗。

- 50 可以理解的，在双晶体管无电容（2T0C）动态随机存储器结构中，以半导体柱为基础形成的晶体管结构可以作为半导体结构的写入晶体管使用，而以半导体层为基础形成的晶体管结构可以作为半导体结构的读取晶体管使用，一个写入晶体管和一个读取晶体管组成一个存储单元，配置为实现信息的读取操作。

- 55 与设置有电容结构的半导体结构相比，本公开实施例提供的结构不需要额外制造电容，工艺简单，且在读取后不需要进行重写操作，降低功耗。

在一些实施例中，半导体柱 13 包括自下而上分布的第一极 131、第一沟道区 132 和第二极 133，且第一极 131、第一沟道区 132 和第二极 133 的导电类型相同。

当半导体柱的材料为铟镓锌氧化物（IGZO）时，不仅可以有效降低写入晶体管结构的漏电流，且由于第一极、第一沟道区和第二极的导电类型相同，还可有效防止写入晶体管结构中浮体效应的发生。

- 60 这里，第一极 131、第一沟道区 132 和第二极 133 可分别作为写入晶体管的第一源/漏区、沟道区和

第二源/漏区使用。

在一些实施例中，半导体层 16 包括相连的第一子部 161、第二子部 162 和第三子部 163，第一子部 161 覆盖栅极柱 18 的顶表面，第二子部 162 覆盖栅极柱 18 的侧壁，第三子部 163 部分覆盖相邻栅极柱 18 之间的衬底 10 的上表面。

- 5 这里，半导体层可作为读取晶体管的沟道区使用，且因半导体层的第二子部覆盖（环绕）栅极柱的侧壁，使得读取晶体管的沟道区具有较大的沟道尺寸，与沟道区仅设置在栅极一个侧边的结构相比，本公开实施例提供的结构可有效防止短沟道效应的发生。

继续参考图 1 和图 2，可以看出，在一些实施例中，半导体结构还包括：

- 10 第一栅介质层 14，第一栅介质层 14 位于第一字线 WL1 和半导体柱 13 之间，且第一栅介质层 14 环绕第一沟道区 132 和第二极 133；

第二栅介质层 15，第二栅介质层 15 包括相连的第一子层 151 和第二子层 152，第一子层 151 位于栅极柱 18 和半导体层 16 之间，覆盖栅极柱 18 的侧壁和顶部，第二子层 152 覆盖相邻的栅极柱 18 之间的衬底 10 的上表面。

继续参考图 3，可以看出，在另一些实施例中，半导体结构还包括：

- 15 第一栅介质层 14，第一栅介质层 14 位于第一字线 WL1 和半导体柱 13 之间，且第一栅介质层 14 环绕第一沟道区 132 和第二极 133；

第二栅介质层 15，第二栅介质层 15 覆盖栅极柱 18 的侧壁和顶部；

第四介质层 L4，第四介质层 L4 覆盖相邻的栅极柱 18 之间的衬底 10 的上表面。

- 20 在实际操作中，第一栅极介质层和第二栅极介质层的材料包括但不限于氧化物、氮化物、氮氧化物、其他绝缘材料等，在一些具体的实施例中，第一栅极介质层和第二栅极介质层的材料可以为氧化铝、氧化硅、氮化硅等中的一种或其组合。

第一栅极介质层和第二栅极介质层的形成工艺包括但不限于原子层沉积工艺等。

- 25 由于第二栅介质层包括覆盖相邻的栅极柱之间的衬底的上表面的部分，使得位于下部且位于半导体柱周围的结构与位于上部且位于栅极柱周围的结构之间可以形成电隔离的效果，防止上述结构之间的相互干扰。

在一些实施例中，半导体结构还包括：

沿第一方向延伸的第二字线 WL2，第二字线 WL2 环绕第二子部 162 邻近半导体柱 13 的一端，且覆盖第三子部 163 的上表面；

- 30 沿第二方向延伸的第一位线 BL1 和第二位线 BL2，第二方向平行于衬底 10 平面且与第一方向垂直，第一位线 BL1 位于半导体柱 13 的下方，且与半导体柱 13 的下部电连接，第二位线 BL2 位于半导体层 16 的上方，且与第一子部 161 电连接。

这里，第二字线可以作为读取晶体管的源区或者漏区使用，第二位线可以作为读取晶体管的漏区或者源区使用。在一些实施例中，第二字线作为读取晶体管的源区使用，第二位线作为读取晶体管的漏区使用。但不限于此，在一些其他的实施例中，第二字线可以作为读取晶体管的漏区使用，而第二位线作为读取晶体管的源区使用，在此不做具体限制。

- 35 在该实施例中，由于第二字线环绕作为沟道区的半导体层的第二子部，从而增加了第二字线和沟道区之间的接触面积，有利于降低第二字线和沟道区之间的接触电阻，从而降低读取晶体管的功耗。

在实际操作中，第一位线可以与半导体柱的第一极电连接。当向第一字线施加合适的电压时，写入晶体管导通，此时，通过向第一位线施加合适的电压，可使得电荷通过半导体柱注入到读取晶体管的栅极（即栅极柱），而栅极（即栅极柱）所包含的电荷量的变化，可以影响读取晶体管的阻态，从而在实际操作中，实现“0”和“1”的区分。

- 40 这里，将读取晶体管的栅极用作信息存储的节点，从而无需单独形成电容结构的工艺。

由于在该过程中，写入晶体管中的电荷需要通过半导体柱注入到读取晶体管的栅极柱中，因此，半导体柱和栅极柱之间的相对位置、连接关系、所包含的材料特性等因素会影响到电荷的传输速度、效率等情况。

- 45 在本公开的一个实施例中，如图 1 所示，半导体柱 13 的顶部与栅极柱 18 的底部电连接。

这里，半导体柱的材料可以为氧化物半导体材料，栅极柱的材料可以包括但不限于钨（W）、铜（Cu）、钛（Ti）、钽（Ta）、氮化钛（TiN）、氮化钽（Ta₂N₃）、金属硅化物、金属合金中的一种或多种。

- 50 在该实施例中，半导体柱的第二极的顶部与栅极柱的底部直接进行电连接，即写入晶体管的一个源/漏区与读取晶体管的栅极在不借助其他导电线线的情况下直接进行电连接。与常规结构中，写入晶体管的一个源/漏区的和读取晶体管的栅极之间通过互连线实现电连接的方式相比，本公开实施例可有效缩短写入晶体管向读取晶体管的栅极注入电荷时的电荷流路径，从而可有效提高半导体结构的信息传输速度和传输效率。

- 55 在本公开的另一个实施例中，如图 2 所示，半导体柱与栅极柱在衬底平面上的正投影至少部分重叠，且栅极柱和半导体柱的材料相同。

在该实施例中，半导体柱与栅极柱在衬底平面上的正投影至少部分重叠，即写入晶体管和读取晶体管在衬底平面上的正投影至少部分重叠，从而使得一个写入晶体管和一个读取晶体管组成的存储单元结构占据了更少的衬底表面面积，意味着，在同样平面尺寸的衬底上，本公开实施例提供的半导体结构可以形成更多数量的存储单元，也即，本公开实施例的半导体结构可以具有更高的集成度。

- 60 可以理解的，当半导体柱与栅极柱在衬底平面上的正投影达到全部重叠时，即写入晶体管和读取晶

晶体管在衬底平面上的正投影全部重叠,此时,本公开实施例提供的半导体结构可以形成较佳数量的存储单元,也即,本公开实施例的半导体结构可以具有较佳的集成度。

另外,与常规结构中,写入晶体管的一个源/漏区使用半导体材料,读取晶体管的栅极使用金属材料相比,在本公开实施例中,栅极柱和半导体柱的材料相同,即写入晶体管的一个源/漏区与读取晶体管的栅极具有相同的材料,使得写入晶体管的一个源/漏区与读取晶体管的栅极电连接时,无需担心金属材料

5 和半导体材料之间存在的金属诱导间隙态效应导致的接触电阻变大的情况,从而可有效降低半导体结构整体的功耗。

可以理解的,半导体柱和栅极柱的材料可以包括氧化铟、氧化锡、In-Zn 类氧化物、Sn-Zn 类氧化物、Al-Zn 类氧化物、In-Ga 类氧化物、In-Ga-Zn 类氧化物、In-Al-Zn 类氧化物、In-Sn-Zn 类氧化物、Sn-Ga-Zn 类氧化物、Al-Ga-Zn 类氧化物、Sn-Al-Zn 类氧化物中的至少一种或其组合。

10

在一些实施例中,半导体柱和栅极柱的材料可以均为氧化物半导体材料,比如 InGaZnO₄ 的材料。

在一具体的实施例中,半导体柱和栅极柱的材料包括 In_xGa_yZn_{1-x-y}O,其中,x 大于等于 0 或小于等于 1,y 大于等于 0 或小于等于 1。

在本公开的又一实施例中,如图 3 所示,栅极柱 18 和半导体柱 13 直接电连接。

在该实施例中,栅极柱和半导体柱为直接进行电连接的一体结构,即写入晶体管的沟道区、源/漏区与读取晶体管的栅极为一体结构,即写入晶体管的一个源/漏区与读取晶体管的栅极可以在不借助其他导电线

15 的情况下直接进行电连接。与常规结构中两者通过互连线实现电连接的方式相比,本公开实施例可有效缩短写入晶体管向读取晶体管的栅极注入电荷时的电荷流通过路径,从而可有效提高半导体结构的信息传输速度和传输效率。且当写入晶体管需要通过源/漏区向读取晶体管的栅极注入电荷时,由于两者之间为一体结构不存在接触电阻,可有效避免半导体结构在使用过程中产生较多的热量,从而可有效提高

20 半导体结构的性能。

另外,在实际工艺中,栅极柱和半导体柱组成的结构可以在同一工艺步骤中形成,显著降低了工艺过程的复杂程度,有利于生产效率的提高。

在一些实施例中,如图 1 和图 2 所示,可以看出,半导体结构还包括:位于衬底 10 上方的第一介质层 L1 和位于第一介质层 L1 上方的第二介质层 L2,半导体柱 13 和第一字线 WL1 位于第一介质层 L1 中,栅极柱 18、半导体层 16 以及第二字线 WL2 位于第二介质层 L2 中。

25

可选的,半导体结构还包括沿第一方向延伸的字线隔离结构 12,字线隔离结构 12 位于任意相邻的两条第一字线 WL1 之间以将相邻的第一字线 WL1 隔离。

在该实施例中,字线隔离结构位于第一介质层内。字线隔离结构的材料可以包括但不限于氧化物、氮化物、氮氧化物等,具体的,比如,氧化硅、氮化硅、氮氧化硅等中的至少一种或其组合。

30

本公开实施例还提供了一种半导体结构的制备方法,如图 4 所示,方法包括了如下步骤:

步骤 S101:提供衬底;

步骤 S102:在衬底上形成立柱,立柱包括半导体柱,立柱沿垂直于衬底平面的方向延伸;

步骤 S103:形成沿第一方向延伸的第一字线,第一字线围绕部分立柱,第一方向平行于衬底平面。

35

下面,结合附图对本公开实施例提供的半导体结构的制备方法再做进一步的说明。

图 5 至图 22 为本公开一个实施例提供的半导体结构的制备方法的工艺流程图;图 23 为本公开实施例提供的半导体结构的另一种结构的结构示意图。

首先,执行步骤 S101,如图 5 所示,提供衬底。

这里,衬底可以为半导体衬底;具体包括至少一个单质半导体材料(例如为硅(Si)衬底、锗(Ge)衬底等)、至少一个 III-V 化合物半导体材料(例如为氮化镓(GaN)衬底、砷化镓(GaAs)衬底、磷化铟(InP)衬底等)、至少一个 II-VI 化合物半导体材料、至少一个有机半导体材料或者在本领域已知的其他半导体材料。在一具体实施例中,衬底为硅衬底。

40

接着,执行步骤 S102,如图 10 所示,在衬底上形成立柱,立柱包括半导体柱,立柱沿垂直于衬底平面的方向延伸。

在一些实施例中,如图 6 所示,在衬底 10 上形成半导体柱 13 之前,方法还包括:

45

在衬底 10 上形成绝缘层 11;

对绝缘层 11 执行刻蚀工艺,以在绝缘层 11 上形成多个沿第二方向延伸的第一沟槽 T1,第二方向平行于衬底 10 平面且与第一方向垂直;

在多个第一沟槽 T1 内填充导电材料,以形成多条沿第二方向延伸的第一位线 BL1。

这里,绝缘层的材料包括但不限于氧化物、氮化物、氮氧化物等,在一些具体的实施例中,绝缘层的材料可以包括但不限于氧化硅等。

50

在实际操作中,绝缘层和导电材料的形成可以使用一种或多种薄膜沉积工艺形成;具体地,薄膜沉积工艺包括但不限于化学气相沉积(CVD)工艺、等离子体增强化学气相沉积(PECVD)工艺、原子层沉积(ALD)工艺或其组合。

在一些实施例中,如图 7 和图 8 所示,在多个第一沟槽 T1 内填充导电材料,以形成多条沿第二方向延伸的第一位线 BL1 之后,方法还包括:

55

形成第一介质层 L1;

刻蚀第一介质层 L1,以在第一介质层 L1 内形成多个沿第一方向延伸的第二沟槽 T2;

在多个第二沟槽 T2 内填充绝缘材料,以形成多条沿第一方向延伸的字线隔离结构 12。

这里,第一介质层的材料包括但不限于氧化物、氮化物、氮氧化物、其他绝缘材料等中的一种或其

60

组合。具体的，第一介质层的材料可以包括但不限于氧化硅、氮化硅等。

此外，第一介质层的形成工艺可以与绝缘层的形成工艺相同，也可以不同，在此不做具体限定。

在一些实施例中，如图 9 至图 10 所示，在衬底上形成立柱 P，包括：

刻蚀第一介质层 L1，以形成多个第一沟道孔 H1，第一沟道孔 H1 暴露出第一位线 BL1；

5 在第一沟道孔 H1 内填充半导体材料，以形成立柱 P，立柱包括半导体柱 13。

在实际工艺中，可以采用自上而下刻蚀第一介质层 L1 的方式来形成多个第一沟道孔 H1，多个第一沟道孔 H1 位于相邻的两条字线隔离结构 12 之间的第一介质层内 L1。

在一些实施例中，半导体柱 13 可以包括自下而上分布的第一极 131、第一沟道区 132 和第二极 133，且第一极 131、第一沟道区 132 和第二极 133 的导电类型相同。可以理解的，第一极 131、第一沟道区 132 10 和第二极 133 可分别作为晶体管的第一源/漏区、沟道区和第二源/漏区使用。

在该实施例中，半导体柱的材料包括氧化铟、氧化锡、In-Zn 类氧化物、Sn-Zn 类氧化物、Al-Zn 类氧化物、In-Ga 类氧化物、In-Ga-Zn 类氧化物、In-Al-Zn 类氧化物、In-Sn-Zn 类氧化物、Sn-Ga-Zn 类氧化物、Al-Ga-Zn 类氧化物、Sn-Al-Zn 类氧化物中的至少一种或其组合。

可选的，半导体柱的材料包括但不限于铟镓锌氧化物 (IGZO)，比如化学式为 InGaZnO_4 的材料。

15 在一具体的实施例中，半导体柱的材料包括 $\text{In}_x\text{Ga}_y\text{Zn}_{1-x-y}\text{O}$ ，其中，x 大于等于 0 或小于等于 1，y 大于等于 0 或小于等于 1。

可以理解的，在实际操作中，后续可通过在半导体柱的部分侧壁上形成控制沟道区导通或者关闭的控制栅线，比如字线结构，来形成以半导体柱为基础的晶体管结构。当半导体柱的材料为铟镓锌氧化物 (IGZO) 时，即晶体管结构的沟道区的材料为铟镓锌氧化物 (IGZO) 时，不仅可以有效降低晶体管结构的漏电流，且由于第一极、第一沟道区和第二极的导电类型相同，还可有效防止晶体管结构中浮体效应的发生。

可以理解的，该实施例中，以半导体柱为基础形成的晶体管结构可以作为存储器的写入晶体管使用。

最后，执行步骤 S103，如图 11 和图 12 所示，形成沿第一方向延伸的第一字线 WL1，第一字线 WL1 围绕部分立柱 P，第一方向平行于衬底平面。

25 在一些实施例中，形成沿第一方向延伸的第一字线 WL1，第一字线 WL1 围绕半导体柱 13，第一方向平行于衬底 10 平面，包括：

形成多个沿第一方向延伸且位于相邻的两条字线隔离结构 12 之间的第三沟槽 T3；

在第三沟槽 T3 内形成第一栅介质层 14，第一栅介质层 14 环绕部分半导体柱 13；

在第三沟槽 T3 内形成第一字线 WL1，第一字线 WL1 环绕部分第一栅介质层 14。

30 在一些具体的实施例中，形成第三沟槽 T3，包括：

去除部分第一介质层 L1，以形成多个沿第一方向延伸且位于相邻的两条字线隔离结构 12 之间的第三沟槽 T3，第三沟槽 T3 的底部与第一极 131 的上表面齐平。

可以理解的，在实际操作中，第一栅介质层 14 环绕半导体柱 13 中的第一沟道区 132 和第二极 133 的侧壁，第一字线 WL1 的上表面与第一沟道区 132 的上表面齐平。

35 在一些实施例中，如图 13 所示，在形成第一字线 WL1 之后，方法还包括：

在第一字线 WL1 上方及半导体柱 13 之间的空隙处继续填充第一介质层 L1，以使第一介质层 L1 的顶表面与半导体柱的第二极 133 的上表面齐平。

至此，在第一介质层内形成了多个晶体管结构。可以理解的，该多个晶体管结构可以作为存储器的写入晶体管使用。

40 在一些实施例中，如图 16 至图 20 所示，在形成所述第一字线 WL1 之后，所述方法还包括：在所述半导体柱 13 的正上方形成栅极柱 18，所述栅极柱 18 沿垂直于衬底 10 平面的方向延伸；

形成半导体层 16，所述半导体层 16 至少围绕所述栅极柱 18 的侧壁。

在一些实施例中，如图 14 至图 20 所示，在半导体柱 13 的正上方形成栅极柱 18，包括：

45 形成第二介质层 L2，刻蚀第二介质层 L2，以在第二介质层 L2 内形成多个暴露出半导体柱 13 顶部的第二沟道孔 H2；

在第二沟道孔 H2 内形成栅极柱 18；

在形成栅极柱 18 之后，方法还包括：

暴露出栅极柱 18 的顶表面与侧壁；

50 沉积第二栅介质层 15，第二栅介质层 15 包括围绕栅极柱 18 的侧壁和顶部的部分，及覆盖第一介质层 L1 上表面的部分；

在第二栅介质层 15 上依次形成半导体材料层 16a 和字线材料层 WL2a，半导体材料层 16a 与第二栅介质层 15 共形，字线材料层 WL2a 填充相邻半导体材料层 16a 之间的空隙；

刻蚀半导体材料层 16a 和字线材料层 WL2a，以分别形成半导体层 16 及多条沿第一方向延伸的第二字线 WL2。

55 在实际操作中，在第二沟道孔 H2 内形成栅极柱 18 之后，可通过去除第二介质层 L2 的方式来将栅极柱 18 的顶表面与侧壁暴露出来。而在后续的工艺中，在第二栅介质层 15 上依次形成半导体材料层 16a 和字线材料层 WL2a 之后，可通过去除位于字线隔离结构 12 上方的部分半导体材料层 16a 和字线材料层 WL2a 的方式，来分别形成半导体层 16 及多条沿第一方向延伸的第二字线 WL2。

60 这里，栅极柱的材料可以包括但不限于钨 (W)、铜 (Cu)、钛 (Ti)、钽 (Ta)、氮化钛 (TiN)、氮化钽 (TaN)、金属硅化物、金属合金等中的一种或多种。

在实际操作中，第一栅介质层和第二栅介质层的材料可以相同，也可以不同。可选的，第一栅极介质层和第二栅极介质层的材料包括但不限于氧化物、氮化物、氮氧化物、其他绝缘材料等，在一些具体的实施例中，第一栅极介质层和第二栅极介质层的材料可以为氧化铝、氧化硅、氮化硅等中的一种或其组合。

5 第一栅极介质层和第二栅极介质层的形成工艺包括但不限于原子层沉积工艺等。

在该实施例中，由于第二栅介质层包括覆盖相邻的栅极柱之间的第一介质层和字线隔离结构的上表面的部分，使得位于下部且位于半导体柱周围的结构与位于上部且位于栅极柱周围的结构之间可以形成电隔离的效果，防止上述结构之间的相互干扰。

10 可选的，在一些实施例中，如图 19 所示，在沉积半导体材料层 16a 之后，在形成字线材料层 WL2a 之前，方法还可以包括：

沿第二方向刻蚀半导体材料层 16a，将位于栅极柱 18 之间的部分半导体材料层 16a 去除，以在栅极柱 18 之间形成多条沿第二方向延伸的空隙；

在空隙中填充第五介质层 L5。

15 如此，通过对半导体材料层执行两次刻蚀工艺，可以使位于每个栅极柱周围的半导体层之间相互独立，即使后续需要在半导体层的基础上形成其他用来组成晶体管结构的材料层时，最终形成的晶体管结构之间也可以保持自己的独立性。

在一些实施例中，如图 20 和图 21 所示，在形成半导体层 16 之后，方法还包括：

形成第三介质层 L3；

20 刻蚀第三介质层 L3，形成沿第二方向延伸第四沟槽 T4，半导体层 16 的上表面暴露于第四沟槽 T4；于第四沟槽 T4 内形成第二位线 BL2。

至此，在第二介质层内形成了多个晶体管结构。其中，栅极柱可以作为晶体管结构的栅极使用，半导体层可以作为晶体管结构的沟道区使用，而第二字线可以作为读取晶体管的源区或者漏区使用，第二位线可以作为晶体管结构的漏区或者源区使用。

25 需要说明的是，当第二字线作为晶体管结构的源区使用时，第二位线作为晶体管结构的漏区使用。但不限于此，在一些其他的实施例中，第二字线还可以作为读取晶体管的漏区使用，而第二位线作为读取晶体管的源区使用，实际操作中，可灵活调整，在此不做具体限制。

在该实施例中，由于第二字线环绕作为沟道区的部分半导体层，从而增加了第二字线和沟道区之间的接触面积，有利于降低第二字线和沟道区之间的接触电阻，从而降低晶体管结构的功耗。

可以理解的，该多个晶体管结构可以作为存储器的读取晶体管使用。

30 可以理解的，在该实施例中，半导体柱的第二极的顶部与栅极柱的底部直接进行电连接，即写入晶体管的一个源/漏区与读取晶体管的栅极在不借助其他导电线线的情况下直接进行电连接。与常规结构中，写入晶体管的一个源/漏区的和读取晶体管的栅极之间通过互连线实现电连接的方式相比，本公开实施例可有效缩短写入晶体管向读取晶体管的栅极注入电荷时的电荷流通过路径，从而可有效提高半导体结构的信息传输速度和传输效率。

35 可选的，如图 22 所示，在形成第二位线 BL2 之后，方法还包括：在第二位线 BL2 上形成绝缘层 17，绝缘层 17 可用于保护第二位线 BL2。

如图 23 所示，本公开还提供了另一种半导体结构，该半导体结构的制备流程与图 5 至图 22 中提供的半导体结构的制备流程基本相同。区别在于，栅极柱的与半导体柱的之间的材料设置与上一实施例不同。

40 在该实施例中，半导体柱和栅极柱的材料包括氧化铟、氧化锡、In-Zn 类氧化物、Sn-Zn 类氧化物、Al-Zn 类氧化物、In-Ga 类氧化物、In-Ga-Zn 类氧化物、In-Al-Zn 类氧化物、In-Sn-Zn 类氧化物、Sn-Ga-Zn 类氧化物、Al-Ga-Zn 类氧化物、Sn-Al-Zn 类氧化物中的至少一种或其组合。

可选的，栅极柱与半导体柱的材料可以相同。在一些实施例中，半导体柱和栅极柱的材料可以均为氧化物半导体材料，比如 InGaZnO₄ 的材料。

45 可以理解的，在该实施例中，以半导体柱为基础形成的晶体管结构可以作为半导体结构的写入晶体管使用，而以半导体层为基础形成的晶体管结构可以作为半导体结构的读取晶体管使用，一个写入晶体管和一個读取晶体管组成一个存储单元，配置为实现信息的读取操作。

与设置有电容结构的半导体结构相比，本公开实施例提供的结构不需要额外制造电容，工艺简单，且在读取后不需要进行重写操作，降低功耗。

50 另外，在该实施例中，半导体柱与栅极柱在衬底平面上的正投影至少部分重叠，即写入晶体管和读取晶体管在衬底平面上的正投影至少部分重叠，从而使得一个写入晶体管和一個读取晶体管组成的存储单元结构占据了更少的衬底表面面积，意味着，在同样平面尺寸的衬底上，本公开实施例提供的半导体结构可以形成更多数量的存储单元，也即，本公开实施例的半导体结构可以具有更高的集成度。

55 可以理解的，当半导体柱与栅极柱在衬底平面上的正投影达到全部重叠时，即写入晶体管和读取晶体管在衬底平面上的正投影全部重叠，此时，本公开实施例提供的半导体结构可以形成更佳数量的存储单元，也即，本公开实施例的半导体结构可以具有较佳的集成度。

60 另外，与常规结构中，写入晶体管的一个源/漏区使用半导体材料，读取晶体管的栅极使用金属材料相比，在本公开实施例中，栅极柱和半导体柱的材料相同，即写入晶体管的一个源/漏区与读取晶体管的栅极具有相同的材料，使得写入晶体管的一个源/漏区与读取晶体管的栅极电连接时，无需担心金属材料与半导体材料之间存在的栅极诱导间隙态效应导致的接触电阻变大的情况，从而可有效降低半导体结构

整体的功耗。

除了上述实施例的方法外，在本公开另一实施例中，还可以采用其他方式来获得用作信息处理用途的半导体结构。与上一实施例不相同的是，在该实施例中，立柱包括半导体柱和栅极柱两个部分，且两个部分在同一工艺步骤中形成。

5 图 24 至图 29 为本公开另一实施例提供的半导体结构的制备方法的工艺流程图。

下面将参考附图来对本公开另一实施例提供的半导体结构的制备方法做详细的说明。

在该实施例中，衬底的材料可以跟上一实施例相同，也可以不同，具体不做具体限制。

首先，如图 24 至图 25 所示，在衬底 10 上形成立柱 P，包括：

10 在衬底 10 上形成立柱 P，立柱 P 高于衬底 10 表面，且沿垂直于衬底 10 平面的方向延伸；立柱 P 包括半导体柱 13 以及栅极柱 18，栅极柱 18 位于半导体柱 13 的正上方。

在实际工艺中，如图 6 至图 8 所示，在衬底 10 上形成立柱 P 之前，方法还包括：

衬底 10 上形成多条沿第二方向延伸的第一位线 BL1；

形成第一介质层 L1；

在第一介质层 L1 内形成多条沿第一方向延伸的字线隔离结构 12。

15 在一些实施例中，如图 9、图 24 至图 25 所示，在衬底 10 上形成立柱 P，包括：

刻蚀第一介质层 L1，以形成多个第一沟道孔 H1，第一沟道孔 H1 暴露出第一位线 BL1；

形成半导体材料层 16a，半导体材料层 16a 覆盖第一介质层 L1 的上表面并填充第一沟道孔 H1；

刻蚀半导体材料层 16a 以形成立柱 P，立柱 P 位于第一沟道孔 H1 内的部分定义为半导体柱 13，立柱 P 位于第一沟道孔 H1 正上方的部分定义为栅极柱 18。

20 在实际工艺中，可以采用自上而下刻蚀第一介质层 L1 的方式来形成多个第一沟道孔 H1，多个第一沟道孔 H1 位于相邻的两条字线隔离结构 12 之间的第一介质层内 L1。

可选的，在一些实施例中，刻蚀半导体材料层 16a，以形成立柱 P，包括：

刻蚀半导体材料层 16a，将第一沟道孔 H1 在衬底 10 上的正投影限定的区域外的半导体材料层 16a 去除，保留在第一沟道孔 H1 中的半导体材料层 16a 及位于第一沟道孔 H1 正上方的半导体材料层 16a 构成立柱 P。

25 在该实施例中，半导体材料层的材料包括氧化铟、氧化锡、In-Zn 类氧化物、Sn-Zn 类氧化物、Al-Zn 类氧化物、In-Ga 类氧化物、In-Ga-Zn 类氧化物、In-Al-Zn 类氧化物、In-Sn-Zn 类氧化物、Sn-Ga-Zn 类氧化物、Al-Ga-Zn 类氧化物、Sn-Al-Zn 类氧化物中的至少一种或其组合。

可选的，半导体材料层的材料包括但不限于铟镓锌氧化物 (IGZO)，比如化学式为 InGaZnO_4 的材料。

30 在一具体的实施例中，半导体材料层的材料包括 $\text{In}_x\text{Ga}_y\text{Zn}_{1-x-y}\text{O}$ ，其中，x 大于等于 0 或小于等于 1，y 大于等于 0 或小于等于 1。

在该实施例中，位于第一沟道孔 H1 中的半导体柱 13 可以包括自下而上分布的第一极 131、第一沟道区 132 和第二极 133，且第一极 131、第一沟道区 132 和第二极 133 的导电类型相同。

35 可以理解的，在实际操作中，半导体柱 13 中的第一极 131、第一沟道区 132 和第二极 133 可分别作为晶体管的第一源/漏区、沟道区和第二源/漏区使用。

在实际操作中，后续可通过在半导体柱的部分侧壁上形成控制沟道区导通或者关闭的控制栅线，比如字线结构，来形成以半导体柱为基础的晶体管结构。当半导体柱的材料为铟镓锌氧化物 (IGZO) 时，即晶体管结构的沟道区的材料为铟镓锌氧化物 (IGZO) 时，不仅可以有效降低晶体管结构的漏电流，且由于第一极、第一沟道区和第二极的导电类型相同，还可有效防止晶体管结构中浮体效应的发生。

40 可选的，该实施例中，以半导体柱为基础形成的晶体管结构可以作为存储器的写入晶体管使用。

接着，如图 26 所示，形成沿第一方向延伸的第一字线 WL1，包括：

形成多个沿第一方向延伸且位于相邻的两条字线隔离结构 12 之间的第三沟槽 T3；

形成栅介质层，栅介质层包括围绕部分半导体柱 13 的第一栅介质层 14，以及围绕栅极柱 18 侧壁和顶部的第二栅介质层 15；

45 在第三沟槽 T3 内形成第一字线 WL1，第一字线 WL1 环绕部分第一栅介质层 14。

在一些具体的实施例中，形成第三沟槽 T3，包括：

去除部分第一介质层 L1，以形成多个沿第一方向延伸且位于相邻的两条字线隔离结构 12 之间的第三沟槽 T3，第三沟槽 T3 的底部与第一极 131 的上表面齐平。

50 可以理解的，在实际操作中，第一栅介质层 14 环绕半导体柱 13 中的第一沟道区 132 和第二极 133 的侧壁，第一字线 WL1 的上表面与第一沟道区 132 的上表面齐平。

至此，在第一介质层内形成了多个晶体管结构。可以理解的，该多个晶体管结构可以作为存储器的写入晶体管使用。

可选的，在一些实施例中，如图 27 所示，在形成第一字线 WL1 之后，方法还包括：

55 在第一字线 WL1 上方及半导体柱 13 之间的空隙处继续填充第一介质层 L1，以使第一介质层 L1 的顶表面与半导体柱的第二极 133 的上表面齐平；以及，

形成第四介质层 L4，第四介质层 L4 覆盖相邻的栅极柱 18 之间的衬底 10 的上表面。

可以理解的，由于第四介质层覆盖相邻的栅极柱之间的衬底的上表面，使得位于下部且位于半导体柱周围的结构与位于上部且位于栅极柱周围的结构之间可以形成电隔离的效果，防止上述结构之间的相互干扰。

60 然后，如图 29 所示，形成半导体层 16，半导体层 16 至少围绕栅极柱 18 的侧壁。

在一些实施例中，如图 27 和图 29 所示，形成第一字线之后，方法还包括：

在第二栅介质层 15 上依次形成半导体材料层 16a 和字线材料层 WL2a，半导体材料层 16a 至少覆盖第二栅介质层 15，字线材料层 WL2a 填充相邻半导体材料层 16a 之间的空隙；

5 刻蚀半导体材料层 16a 和字线材料层 WL2a，去除位于字线隔离结构 12 上方的部分半导体材料层 16a 和字线材料层 WL2a，以分别形成半导体层 16 及多条沿第一方向延伸的第二字线 WL2。

这里，半导体层 16 包括相连的第一子部 161、第二子部 162 和第三子部 163，第一子部 161 覆盖栅极柱 18 的顶表面，第二子部 162 覆盖栅极柱 18 的侧壁，第三子部 163 部分覆盖相邻栅极柱 18 之间的衬底 10 的上表面。

10 可以理解的，半导体层可作为晶体管的沟道区使用，且因半导体层的第二子部覆盖（环绕）栅极柱的侧壁，使得晶体管的沟道区具有较大的沟道尺寸，与沟道区仅设置在栅极一个侧边的结构相比，本公开实施例提供的结构可有效防止短沟道效应的发生。

可选的，在一些实施例中，在形成半导体层 16 之后，方法还包括：

形成第三介质层 L3；

15 刻蚀第三介质层 L3，形成沿第二方向延伸第四沟槽 T4，半导体层 16 的上表面暴露于第四沟槽 T4；于第四沟槽 T4 内形成第二位线 BL2。

至此，在第二介质层内形成了多个晶体管结构。其中，栅极柱可作为晶体管结构的栅极使用，半导体层可作为晶体管结构的沟道区使用，而第二字线可作为读取晶体管的源区或者漏区使用，第二位线可作为晶体管结构的漏区或者源区使用。

20 需要说明的是，当第二字线作为晶体管结构的源区使用时，第二位线作为晶体管结构的漏区使用。但不限于此，在一些其他的实施例中，第二字线还可以作为读取晶体管的漏区使用，而第二位线作为读取晶体管的源区使用，实际操作中，可灵活调整，在此不做具体限制。

在该实施例中，由于第二字线环绕作为沟道区的半导体层的第二子部，从而增加了第二字线和沟道区之间的接触面积，有利于降低第二字线和沟道区之间的接触电阻，从而降低晶体管结构的功耗。

可以理解的，该多个晶体管结构可作为存储器的读取晶体管使用。

25 在该实施例中，栅极柱和半导体柱为直接进行电连接的一体结构，即写入晶体管的沟道区、源/漏区与读取晶体管的栅极为一体结构，即写入晶体管的一个源/漏区与读取晶体管的栅极可以在不借助其他导电线体的情况下直接进行电连接。与常规结构中两者通过互连线实现电连接的方式相比，本公开实施例可有效缩短写入晶体管向读取晶体管的栅极注入电荷时的电荷流通过路径，从而可有效提高半导体结构的信息传输速度和传输效率。且当写入晶体管需要通过源/漏区向读取晶体管的栅极注入电荷时，由于两者之间为一体结构不存在接触电阻，可有效避免半导体结构在使用过程中产生较多的热量，从而可有效提高半导体结构的性能。

另外，在实际工艺中，栅极柱和半导体柱组成的结构可以在同一工艺步骤中形成，显著降低了工艺过程的复杂程度，有利于生产效率的提高。

35 此外，与设置有电容结构的半导体结构相比，本公开实施例提供的结构不需要额外制造电容，工艺简单，且在读取后不需要进行重写操作，降低功耗。

本公开实施例提供的半导体结构可适用于，存储器结构，包括但不限于三维动态随机存取存储器(3D Dynamic Random Access Memory，简称 3D DRAM)等。

40 需要说明的是，本公开实施例提供的半导体器件的制备方法可应用于 DRAM 结构或其他半导体器件中，在此不做过多限定。本公开提供的半导体器件制备方法的实施例与半导体器件的实施例属于同一构思；各实施例所记载的技术方案中各技术特征之间，在不冲突的情况下，可以任意组合。

以上，仅为本公开的较佳实施例而已，并非用于限定本公开的保护范围，凡在本公开的精神和原则之内所作的任何修改、等同替换和改进等，均应包含在本公开的保护范围之内。

工业实用性

45 本公开实施例所提供的半导体结构及其制备方法，其中，所述结构包括：衬底；位于所述衬底上的半导体柱和位于所述半导体柱上方的栅极柱，所述半导体柱与所述栅极柱均沿垂直于衬底平面的方向延伸；沿第一方向延伸的第一字线，所述第一字线围绕所述半导体柱，所述第一方向平行于衬底平面；位于所述半导体柱上方的半导体层，所述半导体层至少围绕所述栅极柱的侧壁。如此，位于底部的半导体柱和位于其上方的半导体层呈纵向分布的方式，当后续在半导体柱和半导体层的基础上形成晶体管结构时，可显著减少两个晶体管的投影在衬底上占用的面积，与两个晶体管平铺设置在衬底上的方式相比，50 本公开实施例可有效的提高半导体结构的集成度。

权利要求书

- 1、一种半导体结构，包括：
衬底；
位于所述衬底上的半导体柱和位于所述半导体柱上方的栅极柱，所述半导体柱与所述栅极柱均沿垂
5 直于衬底平面的方向延伸；
沿第一方向延伸的第一字线，所述第一字线围绕所述半导体柱，所述第一方向平行于衬底平面；
位于所述半导体柱上方的半导体层，所述半导体层至少围绕所述栅极柱的侧壁。
- 2、根据权利要求1所述的结构，其中，所述栅极柱和所述半导体柱一一对应。
- 3、根据权利要求1所述的结构，其中，所述半导体柱的顶部与所述栅极柱的底部电连接。
- 10 4、根据权利要求1所述的结构，其中，所述半导体柱与所述栅极柱在所述衬底平面上的正投影至少部分重叠，且所述栅极柱和所述半导体柱的材料相同。
- 5、根据权利要求1所述的结构，其中，所述半导体柱包括自下而上分布的第一极、第一沟道区和第二极，且所述第一极、所述第一沟道区和所述第二极的导电类型相同。
- 6、根据权利要求1所述的结构，其中，所述半导体层包括相连的第一子部、第二子部和第三子部，
15 所述第一子部覆盖所述栅极柱的顶表面，所述第二子部覆盖所述栅极柱的侧壁，所述第三子部部分覆盖相邻所述栅极柱之间的所述衬底的上表面。
- 7、根据权利要求6所述的结构，其中，所述半导体结构还包括：
沿所述第一方向延伸的第二字线，所述第二字线环绕所述第二子部邻近所述半导体柱的一端，且覆
盖所述第三子部的上表面；
- 20 沿第二方向延伸的第一位线和第二位线，所述第二方向平行于所述衬底平面且与所述第一方向垂直，
所述第一位线位于所述半导体柱的下方，且与所述半导体柱的下部电连接，所述第二位线位于所述半
导体层的上方，且与所述第一子部电连接。
- 8、根据权利要求5所述的结构，其中，所述半导体结构还包括：
第一栅介质层，所述第一栅介质层位于所述第一字线和所述半导体柱之间，且所述第一栅介质层环
25 绕所述第一沟道区和所述第二极；
第二栅介质层，所述第二栅介质层包括相连的第一子层和第二子层，所述第一子层位于所述栅极柱
和所述半导体层之间，覆盖所述栅极柱的侧壁和顶部，所述第二子层覆盖相邻的所述栅极柱之间的所述
衬底的上表面。
- 9、根据权利要求5所述的结构，其中，所述半导体结构还包括：
30 第一栅介质层，所述第一栅介质层位于所述第一字线和所述半导体柱之间，且所述第一栅介质层环
绕所述第一沟道区和所述第二极；
第二栅介质层，所述第二栅介质层覆盖所述栅极柱的侧壁和顶部；
第四介质层，所述第四介质层覆盖相邻的所述栅极柱之间的所述衬底的上表面。
- 10、根据权利要求1所述的结构，其中，所述半导体柱和所述半导体层包括氧化铟、氧化锡、In-Zn
35 类氧化物、Sn-Zn类氧化物、Al-Zn类氧化物、In-Ga类氧化物、In-Ga-Zn类氧化物、In-Al-Zn类氧化物、
In-Sn-Zn类氧化物、Sn-Ga-Zn类氧化物、Al-Ga-Zn类氧化物、Sn-Al-Zn类氧化物中的至少一种或其组合。
- 11、根据权利要求1所述的结构，其中，所述半导体结构还包括沿第一方向延伸的字线隔离结构，
所述字线隔离结构位于任意相邻的两条所述第一字线之间以将相邻的所述第一字线隔离。
- 12、根据权利要求1所述的结构，其中，所述半导体结构还包括：位于所述衬底上方的第一介质层
40 和位于所述第一介质层上方的第二介质层，所述半导体柱和所述第一字线位于所述第一介质层中，所述
栅极柱、所述半导体层以及第二字线位于所述第二介质层中。
- 13、一种半导体结构的制备方法，包括：
提供衬底；
在所述衬底上形成立柱，所述立柱包括半导体柱，所述立柱沿垂直于衬底平面的方向延伸；
45 形成沿第一方向延伸的第一字线，所述第一字线围绕部分所述立柱，所述第一方向平行于衬底平面。
- 14、根据权利要求13所述的方法，其中，在形成所述第一字线之后，所述方法还包括：
在所述半导体柱的正上方形成栅极柱，所述栅极柱沿垂直于衬底平面的方向延伸；
形成半导体层，所述半导体层至少围绕所述栅极柱的侧壁。
- 15、根据权利要求13所述的方法，其中，在所述衬底上形成立柱之前，所述方法还包括：
50 在所述衬底上形成绝缘层；
对所述绝缘层执行刻蚀工艺，以在所述绝缘层上形成多个沿第二方向延伸的第一沟槽，所述第二方
向平行于所述衬底平面且与所述第一方向垂直；
在多个所述第一沟槽内填充导电材料，以形成多条沿第二方向延伸的第一位线。
- 16、根据权利要求15所述的方法，其中，在多个所述第一沟槽内填充导电材料，以形成多条沿第二
55 方向延伸的第一位线之后，所述方法还包括：
形成第一介质层；
刻蚀所述第一介质层，以在所述第一介质层内形成多个沿第一方向延伸的第二沟槽；
在多个所述第二沟槽内填充绝缘材料，以形成多条沿第一方向延伸的字线隔离结构。

- 17、根据权利要求 16 所述的方法，其中，在所述衬底上形成立柱，包括：
刻蚀所述第一介质层，以形成多个第一沟道孔，所述第一沟道孔暴露出所述第一位线；
在所述第一沟道孔内填充半导体材料，以形成所述立柱，所述立柱包括半导体柱；
形成沿第一方向延伸的第一字线，所述第一字线围绕所述半导体柱，所述第一方向平行于衬底平面，
5 包括：
形成多个沿第一方向延伸且位于相邻的两条字线隔离结构之间的第三沟槽；
在所述第三沟槽内形成第一栅介质层，所述第一栅介质层环绕部分所述半导体柱；
在所述第三沟槽内形成第一字线，所述第一字线环绕部分所述第一栅介质层。
- 18、根据权利要求 14 所述的方法，其中，在所述半导体柱的正上方形成栅极柱，包括：
10 形成第二介质层，刻蚀所述第二介质层，以在所述第二介质层内形成多个暴露出所述半导体柱顶部的第二沟道孔；
在所述第二沟道孔内形成所述栅极柱；
在形成所述栅极柱之后，所述方法还包括：
暴露出所述栅极柱的顶表面与侧壁；
15 沉积第二栅介质层，所述第二栅介质层包括围绕所述栅极柱的侧壁和顶部的部分，及覆盖第一介质层上表面的部分；
在所述第二栅介质层上依次形成半导体材料层和字线材料层，所述半导体材料层与所述第二栅介质层共形，所述字线材料层填充相邻所述半导体材料层之间的空隙；
刻蚀所述半导体材料层和所述字线材料层，以分别形成半导体层及多条沿第一方向延伸的第二字线。
- 19、根据权利要求 14 所述的方法，其中，在形成所述半导体层之后，所述方法还包括：
20 形成第三介质层；
刻蚀所述第三介质层，形成沿第二方向延伸第四沟槽，所述半导体层的上表面暴露于所述第四沟槽；
于所述第四沟槽内形成第二位线。
- 20、根据权利要求 13 所述的方法，其中，在所述衬底上形成立柱，包括：
25 在所述衬底上形成立柱，所述立柱高于衬底表面，且沿垂直于衬底平面的方向延伸；所述立柱包括半导体柱以及栅极柱，所述栅极柱位于所述半导体柱的正上方；
在形成所述第一字线之后，所述方法还包括：形成半导体层，所述半导体层至少围绕所述栅极柱的侧壁。
- 21、根据权利要求 20 所述的方法，其中，在所述衬底上形成立柱之前，所述方法还包括：
30 所述衬底上形成多条沿第二方向延伸的第一位线；
形成第一介质层；
在所述第一介质层内形成多条沿第一方向延伸的字线隔离结构。
- 22、根据权利要求 21 所述的方法，其中，在所述衬底上形成立柱，包括：
刻蚀所述第一介质层，以形成多个第一沟道孔，所述第一沟道孔暴露出所述第一位线；
35 形成半导体材料层，所述半导体材料层覆盖所述第一介质层的上表面并填充所述第一沟道孔；
刻蚀所述半导体材料层以形成所述立柱，所述立柱位于所述第一沟道孔内的部分定义为半导体柱，所述立柱位于第一沟道孔正上方的部分定义为栅极柱。
- 23、根据权利要求 22 所述的方法，其中，形成沿第一方向延伸的第一字线，包括：
形成多个沿第一方向延伸且位于相邻的两条字线隔离结构之间的第三沟槽；
40 形成栅介质层，所述栅介质层包括围绕部分所述半导体柱的第一栅介质层，以及围绕所述栅极柱侧壁和顶部的第二栅介质层；
在所述第三沟槽内形成第一字线，所述第一字线环绕部分所述第一栅介质层。
- 24、根据权利要求 23 所述的方法，其中，形成第一字线之后，所述方法还包括：
在所述第二栅介质层上依次形成半导体材料层和字线材料层，所述半导体材料层至少覆盖所述第二
45 栅介质层，所述字线材料层填充相邻所述半导体材料层之间的空隙；
刻蚀所述半导体材料层和所述字线材料层，去除位于所述字线隔离结构上方的部分所述半导体材料层和所述字线材料层，以分别形成半导体层及多条沿第一方向延伸的第二字线。