

权利要求书

- 1、一种时钟产生电路，其特征在于，包括：
一输入端，用于输入一脉冲信号；
5 一第一输出端，用于输出一第一时钟信号；
一第二输出端，用于输出一第二时钟信号；
一输入驱动电路、一锁存电路、一边沿整形电路、一反馈延迟单元以及一
输出驱动电路；
所述输入驱动电路、所述锁存电路、所述边沿整形电路、所述反馈延迟单
10 元以及所述输出驱动电路依次串接在所述输入端与所述第一输出端以及所述
第二输出端之间。
- 2、如权利要求 1 所述的时钟产生电路，其特征在于：所述输入驱动电路
包括依次串联连接的一第一反向器以及一第二反向器，所述第一反向器、所述
15 第二反向器具有一第一端以及一第二端，所述第一反向器的所述第一端电性连
接至所述输入端，所述第二反向器的所述第二端电性连接至所述锁存电路，所
述第一反向器的所述第二端电性连接至所述第二反向器的所述第一端以及所
述边沿整形电路。
- 3、如权利要求 2 所述的时钟产生电路，其特征在于：所述锁存电路包括
相互交叉连接的一第一与非门以及一第二与非门，所述第一与非门、所述第二
20 与非门具有一第一端、一第二端以及一第三端，所述第一与非门的所述第一端
电性连接至所述第二与非门的所述第三端，所述第一与非门的所述第二端电
性连接至所述反馈延迟单元，所述第一与非门的所述第三端电性连接至所述第
二与非门的所述第二端以及所述边沿整形电路，所述第二与非门的所述第一端
电性连接至所述第二反向器的所述第二端，所述第二与非门的所述第一端电
25 性连接至所述第二反向器的所述第二端。
- 4、如权利要求 3 所述的时钟产生电路，其特征在于：所述边沿整形电路
包括一第一 PMOS 晶体管、一第二 PMOS 晶体管、一第三 PMOS 晶体管、一第一
NMOS 晶体管、一第二 NMOS 晶体管以及一第三 NMOS 晶体管，所述第一 PMOS 晶
30 体管、所述第二 PMOS 晶体管、所述第三 PMOS 晶体管、所述第一 NMOS 晶体管、
所述第二 NMOS 晶体管以及所述第三 NMOS 晶体管具有一第一端、一第二端以及

一控制端,所述第一 PMOS 晶体管以及所述第二 PMOS 晶体管的所述第一端电性连接至一电源,所述第一 PMOS 晶体管以及所述第二 PMOS 晶体管的所述第二端电性连接至所述第三 PMOS 晶体管的所述第一端,所述第三 PMOS 晶体管的所述第二端分别电性连接至所述第一 NMOS 晶体管以及所述第二 NMOS 晶体管的所述
5 第一端,所述第二 NMOS 晶体管的所述第二端电性连接至所述第三 NMOS 晶体管的所述第一端,所述第一 NMOS 晶体管以及所述第三 NMOS 晶体管的所述第二端电性连接至一地,所述第一 PMOS 晶体管以及所述第二 NMOS 晶体管的所述控制端电性连接至所述第一反向器的所述第二端,所述第三 PMOS 晶体管以及所述
10 第一 NMOS 晶体管的所述控制端电性连接至所述第一与非门的所述第三端,所述
第二 PMOS 晶体管与所述第三 NMOS 晶体管的所述控制端电性连接至所述第三 PMOS 晶体管的所述第二端、所述反馈延迟单元以及所述输出驱动电路。

5、如权利要求 4 所述的时钟产生电路,其特征在于:所述反馈延迟电路包括一第一端、一第二端,以及多个串联连接在所述反馈延迟电路的所述第一端与
15 所述反馈延迟电路的所述第二端之间的反向器,所述反馈延迟电路的所述
第一端电性连接至所述第三 PMOS 晶体管的所述第二端,所述反馈延迟电路的
所述第二端电性连接至所述第一与非门的所述第二端。

6、如权利要求 5 所述的时钟产生电路,其特征在于:所述输出驱动电路包括一第三反向器、一第四反向器以及一第五反向器,所述第三反向器、所述
20 第四反向器以及所述第五反向器具有一第一端以及一第二端,所述第三反向器
的所述第一端电性连接至所述第三 PMOS 晶体管的所述第二端,所述第三反向器
的所述第二端电性连接至所述第一输出端,所述第四反向器的所述第一端电
性连接至所述第三 PMOS 晶体管的所述第二端,所述第四反向器的所述第二端
电性连接至所述第五反向器的所述第一端,所述第五反向器的所述第二端电
性连接至所述第二输出端。

25 7、一种锁存器,其特征在于,包括:

一数据输入端,用于输入一数据信号;

一数据输出端,用于输出所述数据信号;

一时钟信号输入端,用于输入一第一时钟信号;

多级锁存电路,按照一第一顺序依次串联连接在所述数据输入端与所述数
30 据输出端之间;

多级时钟产生电路，按照一第二顺序依次串联连接，并电性连接至所述多级锁存电路；

其中，所述第一顺序与所述第二顺序的方向相反，且所述时钟产生电路为如权利要求 1 所述的时钟产生电路。

5 8、如权利要求 7 所述的锁存器，其特征在于：一级所述锁存电路与一级所述时钟产生电路相对应。

9、如权利要求 8 所述的锁存器，其特征在于：每一级所述锁存电路进一步包括多个锁存单元。

10 10、如权利要求 9 所述的锁存器，其特征在于：每一级所述时钟产生电路进一步包括多个所述时钟产生电路。

11、如权利要求 9 所述的锁存器，其特征在于：所述多个锁存单元的连接方式为串联连接。

12、如权利要求 9 所述的锁存器，其特征在于：所述多个锁存单元的连接方式为并联连接。

15 13、如权利要求 9 所述的锁存器，其特征在于：所述多个锁存单元的连接方式为串并结合。

14、如权利要求 10 所述的锁存器，其特征在于：每一所述锁存单元与每一所述时钟产生电路相对应。

20 15、一种计算设备，其特征在于，包括一个或多个如权利要求 7-14 中所述的任意一种锁存器。