

权 利 要 求

1、一种电压调节电路，其特征在于，包括：振荡器和调控电路；

所述振荡器，用于连接电源电路，根据所述电源电路的输出电压生成第一时钟信号，所述电源电路的输出电压用于为逻辑电路供电，所述振荡器的工艺角类型与所述逻辑电路的工艺角类型相同；

所述调控电路，用于根据所述第一时钟信号，控制所述电源电路调节所述输出电压。

2、根据权利要求1所述的电压调节电路，其特征在于，所述振荡器包括第一路径，所述第一路径的时延与所述逻辑电路的第二路径的时延正相关；

所述振荡器具体用于：

根据所述电源电路的输出电压，通过所述第一路径生成所述第一时钟信号。

3、根据权利要求2所述的电压调节电路，其特征在于，所述第一路径的时延与所述第二路径的时延线性正相关，所述第二路径为所述逻辑电路中时序裕度最小的逻辑路径。

4、根据权利要求2或3所述的电压调节电路，其特征在于，所述第一路径包括串联的多个第一门电路，所述多个串联的第一门电路用于使所述第一路径的时延与所述第二路径的时延线性正相关。

5、根据权利要求4所述的电压调节电路，其特征在于，所述第一路径中的每一个第一门电路都对应所述第二路径中的至少一个第二门电路，对应的第一门电路和至少一个第二门电路之间的功能类型相同，且阈值电压类型相同。

6、根据权利要求5所述的电压调节电路，其特征在于，所述第一门电路的阈值电压类型为以下任一种阈值电压类型：

超高阈值电压 $uhvt$ 、高阈值电压 hvt 、标准阈值电压 svt 、低阈值电压 lvt 或超低阈值电压 $ulvt$ 。

7、根据权利要求4至6中任一项所述的电压调节电路，其特征在于，所述振荡器还用于：根据接收到的配置信息，将所述振荡器中的多个门电路中的部分或全部配置为所述第一路径中的所述多个第一门电路。

8、根据权利要求7所述的电压调节电路，其特征在于，所述多个门电路构成第一串联结构，所述振荡器还包括第一选择器和补充反相器；

其中，所述第一串联结构包括多个时延电路，每个时延电路包括一个或多个门电路，每个时延电路的输入信号和输出信号相位相同，且每个时延电路的输出端皆与所述第一选择器的数据输入端连接，所述第一串联结构的输入端与所述补充反相器的输出端连接，所述第一选择器的输出端与所述补充反相器的输入端连接；

所述第一选择器，用于根据接收到的第一配置信息输出第一中间信号，所述第一配置信息用于指示所述多个时延电路中的目标时延电路，所述第一中间信号为所述目标时延电路的输出信号，其中，从所述第一串联结构的输入端至所述目标时延电路的输出端之间的门电路为所述多个第一门电路；

所述补充反相器，用于接收所述第一中间信号，根据所述第一中间信号输出所述第一时钟信号。

9、根据权利要求7所述的电压调节电路，其特征在于，所述多个门电路中的一部分门电路构成第二串联结构，所述多个门电路中的另一部分门电路构成第三串联结构，所述

振荡器还包括第二选择器、第三选择器和补充反相器；

其中，所述第二串联结构包括多个低负载时延电路，每个低负载时延电路包括一个或多个门电路，每个低负载时延电路的输入信号和输出信号相位相同，且每个低负载时延电路的输出端皆与所述第二选择器的数据输入端连接，所述第二串联结构的输入端与所述补充反相器的输出端连接；

所述第三串联结构包括多个高负载时延电路，每个高负载时延电路包括一个或多个门电路，每个高负载时延电路的输入信号和输出信号相位相同，且每个高负载时延电路的输出端皆与所述第三选择器的数据输入端连接，所述第三串联结构的输入端与所述第二选择器连接；

所述第二选择器，用于根据接收到的第二配置信息输出第二中间信号，所述第二配置信息用于指示所述多个低负载时延电路中的目标低负载时延电路，所述第二中间信号为所述目标低负载时延电路的输出信号，其中，从所述第二串联结构的输入端至所述目标低负载时延电路的输出端之间的门电路为所述多个第一时延电路中的一部分第一时延电路；

所述第三选择器，用于根据接收到的第三配置信息输出第三中间信号，所述第三配置信息用于指示所述多个高负载时延电路中的目标高负载时延电路，所述第三中间信号为所述目标高负载时延电路的输出信号，其中，从所述第三串联结构的输入端至所述目标高负载时延电路的输出端之间的门电路为所述多个第一时延电路中的另一部分第一时延电路；

所述补充反相器，用于接收所述第三中间信号，根据所述第三中间信号输出所述第一时钟信号。

10、根据权利要求9所述的电压调节电路，其特征在于，所述高负载时延电路还包括至少一个负载走线。

11、根据权利要求1至10中任一项所述的电压调节电路，其特征在于，所述调控电路包括分频器、频率比较器和控制器，所述分频器分别与所述振荡器和所述频率比较器连接，所述频率比较器与所述控制器连接，所述控制器用于与所述电源电路连接；

所述分频器，用于按照分频倍数对所述第一时钟信号进行分频，得到第二时钟信号；

所述频率比较器，用于接收参考时钟信号，根据所述第二时钟信号和所述参考时钟信号输出频率差异信号，所述频率差异信号用于指示所述第二时钟信号与所述参考时钟信号之间的相对频率大小关系；

所述控制器，用于根据所述频率差异信号，控制所述电源电路调节所述输出电压。

12、根据权利要求11所述的电压调节电路，其特征在于，标准标准工艺角 TT corner 类型的振荡器输出的第一时钟信号的频率，除以所述参考时钟信号的频率后的商值，为所述分频倍数。

13、根据权利要求11或12所述的电压调节电路，其特征在于，所述控制器，具体用于：

在所述频率差异信号指示所述第二时钟信号的频率大于所述参考时钟信号的频率时，控制所述电源电路降低所述输出电压；和/或，

在所述频率差异信号指示所述第二时钟信号的频率小于所述参考时钟信号的频率时，控制所述电源电路增大所述输出电压。

14、根据权利要求11至13中任一项所述的电压调节电路，其特征在于，所述调控电路还包括低通滤波器，所述低通滤波器的输入端与所述频率比较器连接，所述低通滤波器

的输出端与所述控制器连接;

所述低通滤波器,用于对所述频率差异信号进行滤波,并将滤波后的频率差异信号输出给所述控制器。

15、一种运算系统,其特征在于,包括电源电路、逻辑电路和如权利要求1至14中任一项所述的电压调节电路。

16、根据权利要求15所述的运算系统,其特征在于,所述运算系统还包括锁相环PLL,所述PLL与所述逻辑电路连接;

所述PLL,用于接收参考时钟信号,并根据所述参考时钟信号向所述逻辑电路提供第三时钟信号。

17、根据权利要求15或16所述的运算系统,其特征在于,所述电源电路包括第一电源和第二电源;

所述第一电源,用于向所述电压调节电路提供第一输出电压;

所述第二电源,用于向所述逻辑电路提供第二输出电压;

所述调控电路分别与所述第一电源和第二电源连接,所述调控电路具体用于:

根据所述第一时钟信号,分别控制所述第一电源调节所述第一输出电压,控制所述第二电源调节所述第二输出电压,所述第一输出电压和所述第二输出电压保持一致。

18、一种集成模块,其特征在于,包括逻辑电路和如权利要求1至14中任一项所述的电压调节电路。

19、一种集成电路,其特征在于,包括至少一个如权利要求15至17中任一项所述的运算系统,和系统总线,所述系统总线分别与所述至少一个运算系统连接;

所述系统总线,用于分别向所述至少一个运算系统提供对应的至少一个参考时钟信号。

20、一种电压调节方法,其特征在于,包括:

根据电源电路的输出电压,通过振荡器生成第一时钟信号,所述振荡器的工艺角类型与所述逻辑电路的工艺角类型相同,所述电源电路的输出电压用于为所述逻辑电路供电;

根据所述第一时钟信号,控制所述电源电路调节所述输出电压。

21、根据权利要求20所述的方法,其特征在于,根据所述第一时钟信号,控制所述电源电路调节所述输出电压,包括:

按照分频倍数对所述第一时钟信号进行分频,得到第二时钟信号;

根据所述第二时钟信号与参考时钟信号之间的相对频率大小关系,控制所述电源电路调节所述输出电压。

22、根据权利要求21所述的方法,其特征在于,标准标准工艺角TT corner类型的振荡器输出的第一时钟信号的频率,除以所述参考时钟信号的频率后的商值,为所述分频倍数。

23、根据权利要求21或22所述的方法,其特征在于,根据所述第二时钟信号与所述参考时钟信号之间的相对频率大小,控制所述电源电路调节所述输出电压,包括:

在所述第二时钟信号的频率大于所述参考时钟信号的频率时,控制所述电源电路降低所述输出电压;和/或,

在所述第二时钟信号的频率小于所述参考时钟信号的频率时,控制所述电源电路增大所述输出电压。