

請求の範囲

- [請求項1] 第1ビット線と、
キャパシタと、
前記第1ビット線と前記キャパシタの間に直列接続された第1メモリセルトランジスタ及び第2メモリセルトランジスタと、
を備えた、
半導体記憶装置。
- [請求項2] 前記第1ビット線に電氣的に接続された選択トランジスタを更に備え、
前記第1メモリセルトランジスタ及び前記第2メモリセルトランジスタは、前記選択トランジスタと前記キャパシタとの間に直列接続される、
請求項1記載の半導体記憶装置。
- [請求項3] 前記キャパシタは、前記第1ビット線に電氣的に接続されるように構成された第1端と、フローティング状態の第2端と、を含む、
請求項1記載の半導体記憶装置。
- [請求項4] 前記キャパシタは、前記第1ビット線に電氣的に接続されるように構成された第1端と、接地された第2端と、を含む、
請求項1記載の半導体記憶装置。
- [請求項5] 前記半導体記憶装置は、各々が前記キャパシタ、前記第1メモリセルトランジスタ、及び前記第2メモリセルトランジスタを含む第1メモリストリング及び第2メモリストリングを備え、
前記第1メモリストリング及び前記第2メモリストリングは、前記第1ビット線に電氣的に共通接続される、
請求項1記載の半導体記憶装置。
- [請求項6] 前記半導体記憶装置は、各々が前記キャパシタ、前記第1メモリセルトランジスタ、及び前記第2メモリセルトランジスタを含む第1メモリストリング及び第2メモリストリングを備え、

前記第 1 メモリストリングは、前記第 1 ビット線に電氣的に接続され、

前記第 2 メモリストリングは、前記第 1 ビット線と異なる第 2 ビット線に電氣的に接続される、

請求項 1 記載の半導体記憶装置。

[請求項 7]

半導体層の上方に第 1 方向に沿って積層された複数の第 1 導電体層と、

前記半導体層内、及び前記複数の第 1 導電体層内を前記第 1 方向に沿って延びる半導体膜と、

前記半導体層と前記半導体膜との間、及び前記複数の第 1 導電体層と前記半導体膜との間に配置される電荷蓄積膜と、

を備えた、

半導体記憶装置。

[請求項 8]

前記半導体層は、

前記電荷蓄積膜の下端より下方に位置する第 1 部分と、

各々が前記電荷蓄積膜の下端より上方において前記第 1 部分と接触し、かつ互いに離れている第 2 部分及び第 3 部分と、

を含む、

請求項 7 記載の半導体記憶装置。

[請求項 9]

前記電荷蓄積膜は、

前記半導体層の前記第 1 部分と前記半導体膜との間に位置する第 1 部分と、

前記半導体層の前記第 2 部分と前記半導体膜との間に位置する第 2 部分と、

前記半導体層の前記第 3 部分と前記半導体膜との間に位置する第 3 部分と、

を含む、

請求項 8 記載の半導体記憶装置。

- [請求項10] 前記半導体層は、基板である、
請求項7記載の半導体記憶装置。
- [請求項11] 前記電荷蓄積膜は、前記半導体層と前記半導体膜との間、及び前記複数の第1導電体層と前記半導体膜との間にわたって、連続膜である、
請求項7記載の半導体記憶装置。
- [請求項12] 前記半導体膜は、前記半導体層内、及び前記複数の第1導電体層内にわたって、連続膜である、
請求項7記載の半導体記憶装置。
- [請求項13] 前記半導体記憶装置は、前記半導体層と前記電荷蓄積膜との間に配置された酸化膜を含む、
請求項7記載の半導体記憶装置。
- [請求項14] 前記半導体層のうち前記電荷蓄積膜と接触する部分は、n型不純物を含む、
請求項7記載の半導体記憶装置。
- [請求項15] 前記半導体記憶装置は、
各々が前記半導体膜及び前記電荷蓄積膜を含む第1構造体及び第2構造体と、
前記第1構造体の上面上に設けられて前記第1方向に沿って延びる第1コンタクトと、
前記第1コンタクトの上面上に設けられて第2方向に沿って延びる第2導電体層と、
前記第2構造体の上面上に設けられて前記第1方向に沿って延びる第2コンタクトと、
前記第2コンタクトの上面上に設けられて前記第2方向に沿って延びる第3導電体層と、
を備え、
前記第2導電体層及び前記第3導電体層は、前記第1方向に沿って

互いに異なる位置に配置される、

請求項 7 記載の半導体記憶装置。

- [請求項16] 半導体基板に第 1 ホールを形成し、前記第 1 ホール内のうちの前記第 1 ホールの側面から離れた位置に第 1 半導体膜を形成することと、
前記第 1 半導体膜が形成された前記第 1 ホール内に絶縁膜及び第 1 犠牲材を順に形成することと、
前記半導体基板及び前記第 1 犠牲材の上方に、第 1 方向に沿って積層された複数の第 2 犠牲材を形成することと、
前記複数の第 2 犠牲材を貫通して前記第 1 犠牲材に達する第 2 ホールを形成し、前記第 1 犠牲材を除去することと、
前記第 1 犠牲材が除去された前記第 2 ホール内に、電荷蓄積膜及び第 2 半導体膜を順に形成することと、
前記複数の第 2 犠牲材の各々を、導電体層に置換することと、
を備えた、半導体記憶装置の製造方法。
- [請求項17] 前記絶縁膜を形成することは、前記半導体基板を酸化することを含む、
請求項 16 記載の製造方法。
- [請求項18] 前記第 1 半導体膜を形成した後、前記絶縁膜を形成する前に、前記第 1 ホール内に拡散領域を形成することを更に備えた、
請求項 16 記載の製造方法。