

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 7 月 21 日(21.07.2011)

PCT

(10) 国際公開番号
WO 2011/086972 A1

(51) 国際特許分類:

H05K 1/09 (2006.01) C25D 5/10 (2006.01)
B32B 15/08 (2006.01) C25D 7/00 (2006.01)
C23C 18/52 (2006.01) H05K 3/06 (2006.01)
C23C 28/02 (2006.01)

白銀町 3 丁目 3 番 1 号 J X 日鉱日石金属株式会社 白銀工場内 Ibaraki (JP). 神永 賢吾 (KAMINAGA Kengo) [JP/JP]; 〒3170056 茨城県日立市白銀町 3 丁目 3 番 1 号 J X 日鉱日石金属株式会社 白銀工場内 Ibaraki (JP).

(21) 国際出願番号: PCT/JP2011/050143

(22) 国際出願日: 2011 年 1 月 7 日(07.01.2011)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2010-006496 2010 年 1 月 15 日(15.01.2010) JP

(71) 出願人 (米国を除く全ての指定国について): J X 日鉱日石金属株式会社 (JX Nippon Mining & Metals Corporation) [JP/JP]; 〒1008164 東京都千代田区大手町二丁目 6 番 3 号 Tokyo (JP).

(72) 発明者: および

(75) 発明者/出願人 (米国についてのみ): 山西 敬亮 (YAMANISHI Keisuke) [JP/JP]; 〒3170056 茨城県日立市白銀町 3 丁目 3 番 1 号 J X 日鉱日石金属株式会社 白銀工場内 Ibaraki (JP). 福地 亮 (FUKUCHI Ryo) [JP/JP]; 〒3170056 茨城県日立市

(74) 代理人: 小越 勇 (OGOSHI Isamu); 〒1050001 東京都港区虎ノ門 3 丁目 1 番 10 号 第 2 虎ノ門電気ビル 5 階 小越国際特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

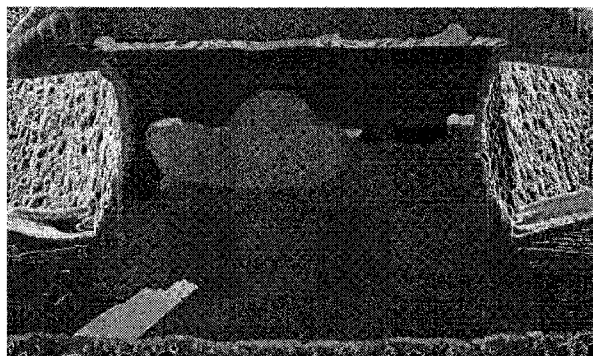
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア

[続葉有]

(54) Title: ELECTRONIC CIRCUIT, METHOD FOR FORMING SAME, AND COPPER CLAD LAMINATE FOR ELECTRONIC CIRCUIT FORMATION

(54) 発明の名称: 電子回路及びその形成方法並びに電子回路形成用銅張積層板

[図1]



(57) Abstract: Disclosed is an electronic circuit which is characterized by comprising a copper circuit that is formed by etching and removing a part of a laminate, which is composed of a layer (A) that is composed of a copper or copper alloy foil formed on one surface or both surfaces of a resin substrate, a copper or copper alloy plating layer (B) that is formed on a part of or the entirety of the surface of the layer (A), a plating layer (C) that is formed on a part of or the entirety of the surface of the layer (B) and has an etching rate lower than that of copper with respect to a copper etching liquid, and a copper or copper alloy plating layer (D) that is formed on the layer (C) and has a thickness of 0.05 μm or more but less than 1 μm , to the surface of the resin substrate. Consequently, a circuit having a uniform circuit width can be formed, while improving the etching properties in pattern etching and preventing occurrence of short-circuits or defects in the circuit width.

(57) 要約:

[続葉有]

WO 2011/086972 A1