

## 片内无源电源补偿电路及应用其的运算单元、芯片、算力板和计算设备

### 技术领域

5 本发明涉及一种多电压域供电电路，特别涉及一种基于衬底基准对电源电压进行补偿的电路及应用其的运算单元、芯片、算力板和计算设备。

### 背景技术

虚拟货币（如比特币、以太坊）是一种 P2P 形式的数字货币，自 2009 年比特币系统推出以来就受到了广泛关注。该系统是基于区块链构建分布式共享总账，从而保证系统运行的安全、可靠以及去中心化。

在哈希运算和工作量证明上，比特币是基于计算得到的唯一正确的哈希值，来证明工作量从而获得记账打包区块权，因此获得奖励，这就是工作量证明（Pow）。目前除了暴力计算外，还没有有效的算法进行哈希运算。对于新一代用于挖掘虚拟数字货币的计算设备而言，挖矿过程就是进行大量重复性的逻辑计算流水线。

此种计算设备设计的核心在于性能功耗比，更高的性能以及更低的功耗表示挖矿的效率更高，同时意味着在相同的电力消耗下能够实现更多的算力。

另外，大量重复性的逻辑计算需要向计算设备提供较大的电流，这将导致除逻辑计算所需的功耗之外，计算设备的额外功耗也较大。因此，需要降低计算设备的工作电流，从而降低其额外功耗。

CN206039425U 公开了一种串联供电电路，如图 1 所示，在供电端 VCC 与地之间串行连接多个封装单元，每个封装单元中分别包括一组或多组元件，每组元件包括一个相连接的待供电芯片和辅助电源单元，两组相邻元件中的待供电芯片之间分别串行连接一个信号电平转换单元。虽然该串联供电电路可以实现向每一待供电芯片提供低的电源电压，但其针对的是向印刷电路板上不同的封装单元提供串联供电，无法实现向芯片内部不同电压域之间的串联供电。

多电压域(Multi-supply voltage domain)供电技术越来越广泛的应用于片上芯片系统(System-on-chip, SoC)及多处理器计算结构中。在应用了多电压域技术的芯片中，该芯片通常含有多个独立的电压域或电压岛，并且每个电压域下的模块根据其时序的要求工作在恰当的电源电压下。一般来说，对于时

序比较关键的模块，它通常工作在高的电源电压下(VDDH)下，以满足芯片对速度性能的要求；而对于非关键的电路模块，它则工作在低的电源电压(VDDL)甚至亚阈值电源电压下，以降低芯片的功耗消耗和能量消耗。

CN206523836U 公开了一种芯片内部串联供电系统，如图 2 所示，串联供电芯片中，每个待供电单元中可以分别包括一个芯片内核(core)，或者，每个待供电单元中可以分别包括多个并行连接的芯片内核。每级电压域的芯片内核，其电路中分别包括 P 沟道金属氧化物半导体(P-channel Metal Oxide Semiconductor, PMOS)管和 N 沟道金属氧化物半导体(N-channel metal oxide semiconductor, NMOS)管。每级电压域的芯片内核，其 PMOS 管的衬底都是和本级电压域的电源电压或工作电压(VDD)相连，而本级电压域的 VDD 又和上一级电压域的地(VSS)相连，串联供电芯片中，还包括 n 个用于实现不同电压域之间隔离的深阱，这 n 个深阱相互独立设置，互不相连，n 个待供电单元中的每个待供电单元分别位于一个深阱中，从而实现在同一芯片上不同电压域之间的隔离，有效避免了不同电压域之间形成短路。该芯片内部串联供电系统虽然实现了芯片内部不同电压域之间的串联供电，但是，每一电压域除了电源 VDD 进行供电之外，还需要额外提供辅助电压源 VDD\_1、VDD\_2 等，不仅辅助电压源设计困难，而且也会占用大量的芯片面积，产生较大功耗。

## 发明公开

为了解决上述问题，本发明提供一种基于衬底基准的片内无源电源补偿电路，上述电路不仅减小了功耗，还降低了设计难度，节约芯片面积，降低生产成本。

为了实现上述目的，本发明提供了一种片内无源电源补偿电路，包括：

两个或两个以上待供电电压域，所述待供电电压域串联连接在电源和地之间；

两个或两个以上的隔离区域，所述待供电电压域形成在所述隔离区域内，所述隔离区域用于隔离所述待供电电压域；

所述隔离区域串联连接在所述电源和所述地之间；

其中，还包括电源补偿单元，连接在所述待供电电压域和所述隔离区域之间，用于向所述待供电电压域提供电源补偿。

上述的片内无源电源补偿电路，其中，所述电源补偿单元通过工作在饱和状态向所述待供电电压域提供电源补偿。

上述的片内无源电源补偿电路，其中，在每一所述隔离区域两端形成第一电源端和第一地端，所述第一电源端和/或所述第一地端用于向所述电源补偿单元提供参考电压。

上述的片内无源电源补偿电路，其中，在每一所述待供电电压域两端形成第二电源端和第二地端，所述电源补偿单元向所述第二电源端和/或所述第二地端提供电源补偿。

上述的片内无源电源补偿电路，其中，以所述参考电压为基准，当所述第二电源端和/或所述第二地端的电压变化范围超过所述电源补偿单元的阈值时，所述电源补偿单元工作在所述饱和状态。

上述的片内无源电源补偿电路，其中，所述电源补偿单元为开关晶体管。

上述的片内无源电源补偿电路，其中，所述开关晶体管为 PMOS 开关晶体管和/或 NMOS 开关晶体管。

上述的片内无源电源补偿电路，其中，所述 PMOS 开关晶体管和/或所述 NMOS 开关晶体管为一个或多个。

上述的片内无源电源补偿电路，其中，所述待供电电压域中形成有一个或多个半导体器件，所述第二电源端和/或所述第二地端向所述半导体器件提供衬底偏压。

上述的片内无源电源补偿电路，其中，所述半导体器件包括 PMOS 晶体管和/或 NMOS 晶体管，所述第二电源端向所述 PMOS 晶体管提供衬底偏压，所述第二地端向所述 NMOS 晶体管提供衬底偏压。

上述的片内无源电源补偿电路，其中，还包括稳压单元，所述稳压单元并联连接在每一所述隔离区域两端。

上述的片内无源电源补偿电路，其中，在每一所述隔离区域两端形成第一电源端和第一地端，所述第一电源端和/或所述第一地端用于向所述电源补偿单元提供参考电压。

上述的片内无源电源补偿电路，其中，在每一所述待供电电压域两端形成第二电源端和第二地端，所述电源补偿单元向所述第二电源端和/或所述第二地端提供电源补偿。

上述的片内无源电源补偿电路，其中，所述稳压单元用于稳压所述第一电源端和/或所述第一地端的电压。

上述的片内无源电源补偿电路，其中，所述稳压单元包括电阻、电容或二极管中的一种或多种。

- 5       上述的片内无源电源补偿电路，其中，所述稳压单元直接连接在所述第一电源端以及所述第一地端之间，或通过模拟开关分别连接在所述第一电源端以及所述第一地端之间。

上述的片内无源电源补偿电路，其中，在所述第一地端以及所述第二地端之间设置一模拟开关。

- 10       为了实现上述目的，本发明还提供一种数据运算单元，其中，所述数据运算单元包括互联连接的控制电路、运算电路、存储电路，以及一个或多个片内无源电源补偿电路，其中，所述片内无源电源补偿电路为上述的任意一种片内无源电源补偿电路。

- 15       为了实现上述目的，本发明还提供一种芯片，其中，所述芯片包括上述的任意一种数据运算单元。

为了实现上述目的，本发明还提供一种用于计算设备中的算力板，其中，所述算力板包括上述的任意一种芯片。

- 20       为了实现上述目的，本发明还提供一种计算设备，包括电源板、控制板、连接板、散热器以及多个算力板，所述控制板通过所述连接板与所述算力板连接，所述散热器设置在所述算力板的周围，所述电源板用于向所述连接板、所述控制板、所述散热器以及所述算力板提供电源，其中，所述算力板为上述的任意一种所述算力板。

- 25       采用本发明的片内无源电源补偿电路，可以实现在不需要辅助电源的前提下，也可以向待供电电压域提供较为稳定的工作电压。不仅减小了功耗，还降低了设计难度，节约芯片面积，降低生产成本。

以下结合附图和具体实施例对本发明进行详细描述，但不作为对本发明的限定。

### **附图简要说明**

- 30       图1为现有串联供电电路示意图；

图 2 为现有芯片内部串联供电系统示意图；

图 3 为本发明不含片内无源电源补偿电路的串联供电电路结构示意图；

图 4 为本发明一实施例的片内无源电源补偿电路示意图；

图 5 为本发明另一实施例的片内无源电源补偿电路示意图；

5 图 6 为本发明又一实施例的片内无源电源补偿电路示意图；

图 7 为本发明再一实施例的片内无源电源补偿电路示意图；

图 8 为本发明一实施例的含稳压单元的片内无源电源补偿电路示意图；

图 9 为本发明另一实施例的含稳压单元的片内无源电源补偿电路示意图；

图 10 为本发明数据运算单元示意图；

10 图 11 为本发明芯片示意图；

图 12 为本发明算力板示意图；

图 13 为本发明计算设备示意图。

其中，附图标记：

10：串联供电电路

15 100：片内无源电源补偿电路

101-1、101-2、.....101-n：电压域

102-1、102-2、.....102-n：深 N 阱

103-1、103-2、.....103-n：P 阱

104-1、104-2、.....104-n：N 阱

20 105、105'：开关晶体管

106：体电阻

107：稳压单元

108：模拟开关

VDD1、VDD2、.....VDDn：电压域电源端

VSS1、VSS2、.....VSSn：电压域的地端

25 VPP1、VPP2、.....VPPn：深 N 阱电源端

VBB1、VBB2、.....VBBn：深 N 阱的地端

VDD：系统电源

GND：系统地

S：源极端

D：漏极端

G：栅极端

B：衬底端

30 700-数据运算单元

701-控制电路

|   |           |            |
|---|-----------|------------|
|   | 702-运算电路  | 703-存储电路   |
|   | 800: 芯片   | 801: 控制单元  |
|   | 900: 算力板  | 1000: 计算设备 |
|   | 1001: 连接板 | 1002: 控制板  |
| 5 | 1003: 散热器 | 1004: 电源板  |

**实现本发明的最佳方式**

下面结合附图对本发明的结构原理和工作原理作具体的描述：

在说明书及后续的权利要求当中使用了某些词汇来指称特定组件。所属领域10 中具有通常知识者应可理解，制造商可能会用不同的名词来称呼同一个组件。本说明书及后续的权利要求并不以名称的差异来作为区分组件的方式，而是以组件在功能上的差异来作为区分的准则。在整个说明书中，相同的附图标记表示相同的元件。

在通篇说明书及后续的权利要求当中所提及的“包括”和“包含”为一开15 放式的用语，故应解释成“包含但不限于”。以外，“连接”一词在此为包含任何直接及间接的电性连接手段。间接的电性连接手段包括通过其它装置进行连接。

图 3 是本发明不含片内无源电源补偿电路的串联供电电路结构示意图。如图 3 所示，以芯片衬底为 P 型衬底为例，串联供电电路 10 内形成有 n 个待供20 电的电压域 101-1、101-2.....101-n，其中 n 为大于 1 的正整数。每一电压域 101-1、101-2.....101-n 分别通过一个对应的深 N 阱 102-1、102-2.....102-n 实现不同电压域之间的隔离，以避免不同电压域之间的短路。深 N 阱 102-1、102-2.....102-n 内分别形成有一定数量的 P 阱 103-1、103-2.....103-n 以及 N 阱 104-1、104-2.....104-n。

25 每一电压域 101-1、101-2.....101-n 中都形成有 PMOS 晶体管和/或 NMOS 晶体管，如有必要，还可以形成电阻、电容等其他类型的器件。其中，PMOS 晶体管在 N 阱 104-1、104-2.....104-n 内形成，NMOS 晶体管在 P 阱 103-1、103-2.....103-n 内形成。PMOS 晶体管及 NMOS 晶体管用于实现芯片的各种功能。

各待供电的电压域 101-1、101-2.....101-n 依次串联连接在系统电源 VDD30 以及系统地 GND 之间。电压域 101-1 的电源端 VDD1 连接系统电源 VDD，电压

域 101-1 的地端 VSS1 连接至下一级电压域 101-2 的电源端 VDD2, 电压域 101-2 的地端 VSS2 连接至下一级电压域 101-3 的电源端 VDD3, 依次向下一级串联, 电压域 101-n 的地端 VSSn 连接至系统地 GND。由此形成了串联供电的 n 个电压域。

5 PMOS 晶体管或 NMOS 晶体管具有 S/D/G/B 四个端口, 分别称为源极端、漏极端、栅极端以及衬底端。通常情况下, 各电压域 101-1、101-2.....101-n 内的 PMOS 晶体管的衬底端与源极端一起连接至该电压域的电源端 VDD1、VDD2.....VDDn, NMOS 晶体管的衬底端与源极端一起连接至该电压域的地端 VSS1、VSS2.....VSSn。当栅极端与衬底端之间的电压超过阈值电压时, 会在衬底内形成源极端到漏极端的导电通道, 使得载流子可以在源极端和漏极端之间的衬底内流动, 形成电流。

当串联供电的 n 个电压域正常工作时, 每一电压域的电源端 VDD1、VDD2.....VDDn 以及地端 VSS1、VSS2.....VSSn 的电位基本上保持稳定状态。当串联供电的 n 个电压域中的其中一个电压域 101-m ( $1 \leq m \leq n$ ) 发生大电流的情况下, 由于电压域 101-m 自身电阻的原因, 电压域 101-m 的两端形成较大的电压差, 会导致其他未产生大电流的电压域两端的电压受到影响从而产生电源电压的漂移, 随着电流的变化不断产生漂移, 漂移与电流大小成正相关关系, 从而可能造成芯片的功能失效。

为了避免上述情况的发生, 一般都会采用增加辅助电源的方式进行改进, 即在每一电压域上增加一个辅助电源向该电压域进行供电。本发明提供一种基于衬底基准的片内无源电源补偿电路, 可以在不增加辅助电源的情况下减小电压域两端的电压漂移。

### 实施例一

图 4 为本发明一实施例的片内无源电源补偿电路示意图。如图 4 所示, 以芯片衬底为 P 型衬底为例, 本发明片内无源电源补偿电路 100 内形成有 n 个待供电的电压域 101-1、101-2.....101-n, 其中 n 为大于 1 的正整数。每一电压域 101-1、101-2.....101-n 分别通过一个对应的深 N 阱 102-1、102-2.....102-n 实现不同电压域之间的隔离, 以避免不同电压域之间的短路。深 N 阱 102-1、102-2.....102-n 内分别形成有一定数量的 P 阱 103-1、103-2.....103-n 以及 N 阱 104-1、104-2.....104-n。

每一电压域 101-1、101-2.....101-n 中都形成有 PMOS 晶体管和/或 NMOS 晶体管，如有必要，还可以形成电阻、电容等其他类型的器件。其中，PMOS 晶体管形成在 N 阱 104-1、104-2.....104-n 内，NMOS 晶体管形成在 P 阱 103-1、103-2.....103-n 内。PMOS 晶体管及 NMOS 晶体管用于实现芯片的各种功能。

5 各待供电的电压域 101-1、101-2.....101-n 依次串联连接在系统电源 VDD 以及系统地 GND 之间。电压域 101-1 的电源端 VDD1 连接系统电源 VDD，电压域 101-1 的地端 VSS1 连接至下一级电压域 101-2 的电源端 VDD2，电压域 101-2 的地端 VSS2 连接至下一级电压域 101-3 的电源端 VDD3，依次向下一级串联，电压域 101-n 的地端 VSSn 连接至系统地 GND。由此形成了串联供电的 n 个电  
10 压域，每个电压域 101-1、101-2.....101-n 的电源端分别为 VDD1、VDD2.....VDDn，地端分别为 VSS1、VSS2.....VSSn。

深 N 阱 102-1、102-2.....102-n 用于实现不同电压域之间的隔离。除了形成上述的串联供电通路之外，本发明还利用 P 阱和/或 N 阱的体电阻 106 对系统电源 VDD 进行分压，在深 N 阱 102-1、102-2.....102-n 的两端产生分压。其中，深 N 阱 102-1 的电源端 VPP1 连接至系统电源 VDD，深 N 阱 102-1 的地端  
15 VBB1 连接至下一级深 N 阱 102-2 的电源端 VPP2，深 N 阱 102-2 的地端 VBB2 连接至下一级深 N 阱 102-3 的电源端 VPP3，依次向下一级串联；深 N 阱 102-n 的地端 VBBn 连接至系统地 GND。在系统电源 VDD 和地 GND 之间形成依次串联连接且两端电位相对稳定的深 N 阱，深 N 阱 102-1、102-2.....102-n 的电源端  
20 分别为 VPP1、VPP2.....VPPn，地端分别为 VBB1、VBB2.....VBBn。

理想情况下，电压域 101-1、101-2.....101-n 的电源端 VDD1、VDD2.....VDDn 的电压分别与深 N 阱 102-1、102-2.....102-n 的电源端 VPP1、VPP2.....VPPn 的电压相同，电压域 101-1、101-2.....101-n 的地端 VSS1、VSS2.....VSSn 的电压分别与深 N 阱 102-1、102-2.....102-n 的地端 VBB1、VBB2.....VBBn 的电  
25 压相同。

在本实施例中，各电压域 101-1、101-2.....101-n 内的 PMOS 晶体管的源极端连接至该电压域的电源端 VDD1、VDD2.....VDDn，PMOS 晶体管的衬底端连接至深 N 阱 102-1、102-2.....102-n 的电源端 VPP1、VPP2.....VPPn；各电压域 101-1、101-2.....101-n 内的 NMOS 晶体管的源极端连接至该电压域的地端  
30 VSS1、VSS2.....VSSn，NMOS 晶体管的衬底端连接至深 N 阱 102-1、

102-2.....102-n 的地端 VBB1、VBB2.....VBBn。

另外，本发明的片内无源电源补偿电路还包括开关晶体管 105，开关晶体管 105 为 NMOS 晶体管，形成在电压域 101-2、101-3.....101-(n-1) 中。以电压域 101-2 为例，电压域 101-2 中的开关晶体管 105 的漏极端 D 连接至上一级电压域 101-1 的电源端 VDD1，开关晶体管 105 的源极端 S 连接至本级电压域 101-2 的电源端 VDD2，开关晶体管 105 的栅极端 G 连接至本级深 N 阱 102-2 的电源端 VPP2，开关晶体管 105 的衬底端 B 连接至本级深 N 阱 102-2 的地端 VBB2。

开关晶体管 105 的栅极端 G 以及衬底端 B 分别连接至 VPP2、VBB2，由于栅电容以及衬底体电容的影响，在栅和衬底之间不会流过电流，从而 VPP2 的电位保持稳定。在理想情况下，开关晶体管 105 栅极端 G 的电压 VPP2 大于衬底端 B 的电压 VBB2，进而在衬底中形成了导电沟道。但是，由于开关晶体管漏极端 D 的电压 VDD1 大于栅极端 G 的电压 VPP2，栅极端 G 的电压 VPP2 与源极端 S 的电压 VDD2 相同，即  $V_d > V_g = V_s$ ，也就是  $V_{gs} = 0$ ，形成在衬底中的导电沟道夹断，在源极端 S 和漏极端 D 之间没有电流流过。

当本级电压域的电源 VDD2 供电不足时，VDD2 的电压下降，即开关晶体管 105 源极端 S 的电压下降，由于栅极端 G 的电压 VPP2 保持不变，则会形成  $V_{gs} > 0$  的状态。由于  $V_{ds} > V_{gs}$ ，当  $V_{gs} = V_{th}$  时，开关晶体管 105 开启并工作在饱和区，此时，开关晶体管 105 源极端 S 和漏极端 D 之间的电流为： $I_{DS} = [K * (W/L) * (V_{gs} - V_{th})^2] / 2$ 。此时，漏极端 D 的 VDD1 给予源极端 S 的 VDD2 以充分的电荷补充，VDD2 的电位将被箝位在  $(VPP2 - V_{th})$ ，并不会进一步降低。

基于同样的道理，当开关晶体管 105 的漏极端 D 接上一级电压域的地端 VSS1，源极端 S 接本级电压域的地端 VSS2 时，就可以将本级电压域 VSS2 的电位箝位在  $(VSS2 - V_{th})$  范围内。

## 25 实施例二

图 5 为本发明另一实施例的片内无源电源补偿电路示意图。如图 5 所示，本实施例与实施例一的区别在于开关晶体管 105' 的类型及连接方式不同。

在本实施例中，片内无源电源补偿电路 100 同样包括开关晶体管 105'，开关晶体管 105' 为 PMOS 晶体管，形成在电压域 101-2、101-3.....101-(n-1) 中。以电压域 101-2 为例，电压域 101-2 中的开关晶体管 105' 的漏极端 D 连

接至下一级电压域 101-3 的地端 VSS3, 开关晶体管 105' 的源极端 S 连接至本级电压域 101-2 的地端 VSS2, 开关晶体管 105' 的栅极端 G 连接至本级深 N 阱 102-2 的地端 VBB2, 开关晶体管 105' 的衬底端 B 连接至本级深 N 阱 102-2 的电源端 VPP2。

- 5 开关晶体管 105' 的栅极端 G 以及衬底端 B 分别连接至 VBB2、VPP2, 由于栅电容以及衬底体电容的影响, 在栅和衬底之间不会流过电流, 从而 VBB2、VPP2 的电位保持稳定。在理想情况下, 开关晶体管 105' 栅极端 G 的电压 VBB2 小于衬底端 B 的电压 VPP2, 进而在衬底中形成了导电沟道。但是, 由于开关晶体管 105' 漏极端 D 的电压 VSS3 低于栅极端 G 的电压 VBB2, 栅极端 G 的电压 VBB2 与源极端 S 的电压 VSS2 相同, 即  $V_d > V_g = V_s$ , 也就是  $V_{gs} = 0$ , 形成在衬底中的导电沟道夹断, 在源极端 S 和漏极端 D 之间没有电流流过。

- 当本级电压域的 VSS2 形成过电流时, VSS2 的电位上升, 即开关晶体管 105' 源极端 S 的电压升高, 由于栅极端 G 的电压 VBB2 保持不变, 则会形成  $V_{gs} < 0$  的状态。开关晶体管 105' 的阈值电压为  $V_{th}$ , 由于  $V_{ds} > V_{gs}$ , 当  $V_{gs} = V_{th}$  时, 15 开关晶体管 105' 开启并工作在饱和区, 此时, 开关晶体管 105' 源极端 S 和漏极端 D 之间的电流为:  $I_{DS} = [K * (W/L) * (V_{gs} - V_{th})^2] / 2$ 。此时, 漏极端 D 的 VSS3 给予源极端 S 的 VSS2 以充分的电荷泄放, VSS2 的电位将被箝位在  $(VSS2 + V_{th})$  范围内, 并不会进一步升高。

- 基于同样的道理, 当开关晶体管 105' 的漏极端 D 接下一级电压域的电源端 VDD3, 源极端 S 接本级电压域的电源端 VDD2 时, 就可以将本级电压域电源端 VDD2 的电位箝位在  $(VDD2 + V_{th})$  范围内。

### 实施例三

- 实施例一以及实施例二仅仅示出了同一电压域中形成的开关晶体管为一种类型, 或者为 PMOS 晶体管, 或者为 NMOS 晶体管的情形, 在不同的情况下, 25 每一电压域中还可以同时形成 PMOS 晶体管以及 NMOS 晶体管作为开关晶体管。

- 图 6 为本发明又一实施例的片内无源电源补偿电路示意图。如图 6 所示, 以片内无源电源补偿电路 100 的第 m 级电压域 101-m 为例, 在电压域 101-m 中形成了开关晶体管 105 以及开关晶体管 105'。其中, 开关晶体管 105 为 NMOS 晶体管, 其连接方式与实施例一中开关晶体管 105 的连接方式相同; 开关晶体管 105' 为 PMOS 晶体管, 其连接方式与实施例二中开关晶体管 105' 的连接方式 30

相同。

#### 实施例四

实施例三示出了在同一电压域中同时形成一个 PMOS 晶体管以及一个 NMOS 晶体管作为开关晶体管的情形。如果仅设置一组开关晶体管 105、105' 时，当其临近的电路发生较大的电流变化时，其可以迅速进行补偿。但距离较远位置处的电路发生大电流变化时，其不能及时进行补偿，有可能发生整个电压域

5 电源电压随着工作电流产生变化，进而导致整个电压域的电路不能正常工作。在实际设计以及生产中，可以将开关晶体管的数量设置为多个。

图 7 为本发明再一实施例的片内无源电源补偿电路示意图。如图 7 所示，片内无源电源补偿电路 100 的每一级电压域 101 中均形成了多个开关晶体管 105、105'。

10

每一级电压域 101 中除了形成必要器件的区域外，还具有一定的空余区域。为了快速对临近电路提供电源补偿并提高电源补偿能力，可以在电压域 101 中的空余区域尽可能多的形成开关晶体管 105、105'，具体数量可以根据电压域 101 中空余区域的大小决定。其中，形成的多个开关晶体管 105、105' 既可以均匀排布，也可以非均匀排布。

15

#### 实施例五

在电路实际工作中，由于晶体管的导通和/或关闭，会导致 P 阱和/或 N 阱的体电阻发生变化，进而深 N 阱 102-1、102-2.....102-n 的电源端 VPP1、VPP2.....VPPn 的电压以及深 N 阱 102-1、102-2.....102-n 的地端 VBB1、VBB2.....VBBn 的电压也会随之发生变化。为了保证 VPP1、VPP2.....VPPn 的电压以及 VBB1、VBB2.....VBBn 电压的稳定，需要保证 P 阱和/或 N 阱的体电阻保持相对恒定的状态，可以在 P 阱和/或 N 阱体电阻 106 的两端并联一稳压单元。

20

图 8 为本发明一实施例的含稳压单元的片内无源电源补偿电路示意图。如图 8 所示，以片内无源电源补偿电路 100 的第 m 级电压域 101-m 为例，在深 N 阱 102-m 的电源端 VPPm 以及地端 VBBm 两端并联一稳压单元 107，即相当于在 P 阱体电阻两端并联一稳压单元 107，稳压单元 107 可以是电阻、电容以及二极管中的一种或多种。稳压单元 107 并非必须的，可以在两端通过模拟开关 108 进行选择是否连接。

25

#### 实施例六

30

在电路实际工作过程中，各电压域的电端 VDD1、VDD2.....VDDn 以及地端 VSS1、VSS2.....VSSn 的电压会发生变化，而深 N 阱的电端 VPP1、VPP2.....VPPn 以及地端 VBB1、VBB2.....VBBn 的电压保持相对稳定。理想状态下 VDD1、VDD2.....VDDn 端的电压与 VPP1、VPP2.....VPPn 相同，VSS1、  
5 VSS2.....VSSn 端的电压与 VBB1、VBB2.....VBBn 的电压相同。

图 9 为本发明再一实施例的含稳压单元的片内无源电源补偿电路示意图。如图 9 所示，同样以片内无源电源补偿电路 100 的第 m 级电压域 101-m 为例，图 9 所示的实施例与图 8 所示实施例的区别在于，电压域 101-m 的地端 VSSm 与深 N 阱的地端 VBBm 之间连接有一模拟开关 108，可以通过模拟开关 108 的  
10 开通或关闭决定 VSSm 与 VBBm 之间是否连通。

本发明还提供一种数据运算单元，图 10 为本发明数据运算单元示意图。如图 10 所示，数据运算单元 700 包括互联连接的控制电路 701、运算电路 702、存储电路 703，以及一个或多个片内无源电源补偿电路 100。

本发明还提供一种芯片，图 11 为本发明芯片示意图。如图 11 所示，芯片  
15 800 包括控制单元 801，以及一个或多个数据运算单元 700。控制单元 801 向数据运算单元 700 输入数据并将数据运算单元 700 输出的数据进行处理。

本发明还提供一种算力板，图 12 为本发明算力板示意图。如图 12 所示，每一个算力板 900 上包括一个或多个芯片 800，对矿池下发的工作数据进行哈希运算。

20 本发明还提供一种计算设备，所述计算设备优选用于挖掘虚拟数字货币的运算，当然所述计算设备也可以用于其他任何海量运算。图 13 为本发明计算设备示意图。如图 13 所示，每一个计算设备 1000 包括连接板 1001、控制板 1002、散热器 1003、电源板 1004，以及一个或多个算力板 900。控制板 1002 通过连接板 1001 与算力板 900 连接，散热器 1003 设置在算力板 900 的周围。  
25 电源板 1004 用于向所述连接板 1001、控制板 1002、散热器 1003 以及算力板 900 提供电源。

需要说明的是，在本发明的描述中，术语“横向”、“纵向”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”、“顶”、“底”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本发明和简化描述，并不是指示或暗示所指的装置  
30

或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本发明的限制。

5 尽管本发明的实施方案已公开如上，但其并不仅仅限于说明书和实施方式中所列运用，它完全可以被适用于各种适合本发明的领域，对于熟悉本领域的人员而言，可容易地实现另外的修改，因此在不背离权利要求及等同范围所限定的一般概念下，本发明并不限于特定的细节和这里示出与描述的图例。

换言之，本发明还可有其它多种实施例，在不背离本发明精神及其实质的情况下，熟悉本领域的技术人员当可根据本发明作出各种相应的改变和变形，但这些相应的改变和变形都应属于本发明所附的权利要求的保护范围。

10

### 工业应用性

采用本发明的片内无源电源补偿电路及应用其的运算单元、芯片、算力板和计算设备，具有以下有益效果：

15 可以实现在不需要辅助电源的前提下，也可以向待供电电压域提供较为稳定的工作电压。这不仅减小了功耗，还降低了设计难度，节约芯片面积，减少生产成本。