

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2021 年 11 月 4 日 (04.11.2021)



(10) 国际公布号
WO 2021/218623 A1

(51) 国际专利分类号:
G06F 9/38 (2006.01)

(21) 国际申请号: PCT/CN2021/086850

(22) 国际申请日: 2021 年 4 月 13 日 (13.04.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202010355914.5 2020 年 4 月 29 日 (29.04.2020) CN

(71) 申请人: 北京希姆计算科技有限公司
(**STREAM COMPUTING INC.**) [CN/CN]; 中国北京市
北京市海淀区高里掌路 1 号院 6 号楼 202-24,
Beijing 100000 (CN)。

(72) 发明人: 罗飞(**LUO, Fei**); 中国北京市海淀区高里掌路 1 号院 6 号楼 202-24, Beijing 100000 (CN)。
王维伟(**WANG, Weiwei**); 中国北京市海淀区高里掌路 1 号院 6 号楼 202-24, Beijing 100000 (CN)。

(74) 代理人: 北京中政联科专利代理事务所(普通合伙)(**BEIJING LINKAW PATENT ATTORNEY LAW FIRM**); 中国北京市昌平区北清路 TBD 云集中心 1 号楼 6 层, Beijing 102209 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,

(54) **Title:** DATA PROCESSING DEVICE, CHIP, AND DATA PROCESSING METHOD

(54) 发明名称: 一种数据处理装置、芯片和数据处理方法

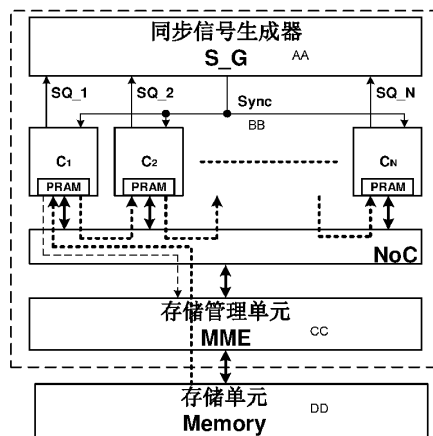


图 3

AA Synchronization signal generator S_G
BB Sync
CC Memory management unit MME
DD Memory

(57) **Abstract:** A data processing device, a chip, and a data processing method. The data processing device comprises: multiple processing cores having a preset execution order and comprising a first processing core and at least one other processing core. The first processing core is used for sending an instruction, and receiving and executing a program obtained according to the instruction (S101); each of other processing cores is used for receiving and executing a program sent by the previous processing core in the preset execution order (S102). According to the data processing device, there is no need to read data by each processing core from a memory, thereby

[见续页]

WO 2021/218623 A1

MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

reducing the power consumption. In addition, the processing cores execute the same complete program, which avoids data exchange among the cores, reduces the delay and the power consumption caused by exchanging data, and improves the data processing efficiency.

(57) 摘要: 一种数据处理装置、芯片和数据处理方法, 该数据处理装置包括: 具有预设执行顺序的多个处理核, 所述多个处理核包括首处理核和至少一个其他处理核; 所述首处理核, 用于发送指令, 接收并执行根据所述指令获取的程序 (S101); 每个所述其他处理核, 用于接收并执行所述预设执行顺序中前一个处理核发送的程序 (S102)。该数据处理装置, 无需由每个处理核分别从 Memory 中读取数据, 从而降低了功耗, 另外, 各个处理核执行同一个完整的程序, 避免了核之间的数据交换, 降低了交换数据所带来的延时和功耗, 提高了数据处理的效率。