

数据接收电路、数据接收系统以及存储装置

交叉引用

- 5 [0001] 本申请要求于 2022 年 07 月 04 日递交的名称为“数据接收电路、数据接收系统以及存储装置”、申请号为 202210787529.7 的中国专利申请的优先权，其通过引用被全部并入本申请。

技术领域

[0002] 本公开实施例涉及半导体技术领域，特别涉及一种数据接收电路、数据接收系统以及存储装置。

背景技术

- 10 [0003] 在存储器应用中，随着信号传输速率越来越快，信道损耗对信号质量的影响越来越大，容易导致码间干扰，此外，存储器中的数据接收电路接收的数据信号与参考信号之间电平值的差异会影响数据接收电路对数据信号的判断，从而影响数据接收电路输出的信号的准确性。
- 15 [0004] 目前通常利用均衡电路对信道进行补偿，均衡电路可以选择 CTLE(Continuous Time Linear Equalizer, 连续线性均衡电路)或 DFE(Decision Feedback Equalizer, 判决反馈均衡电路)。然而，目前采用的均衡电路输出的信号的准确性有待提高，均衡电路的接收性能有待提高，且均衡电路的对数据信号的处理速度有待提高。

发明内容

- [0005] 本公开实施例提供一种数据接收电路、数据接收系统以及存储装置，至少有利于在提高数据接收电路的接收性能的同时提高其对数据信号的处理速度。
- 20 [0006] 根据本公开一些实施例，本公开实施例一方面提供一种数据接收电路，包括：第一放大模块，被配置为，接收使能信号、第一反馈信号、第二反馈信号、数据信号、第一参考信号和第二参考信号，在所述使能信号具有第一电平值期间，响应于采样时钟信号并基于所述第一反馈信号，选择所述数据信号与所述第一参考信号进行第一比较并输出第一信号对作为所述第一比较的结果，或者，响应于所述采样时钟信号并基于所述第二反馈信号，选择所述数据信号与所述第二参考信号进行第二比较并输出第二信号对作为所述第二比较的结果；在所述使能信号具有第二电平值期间，响应于所述采样时钟信号进行所述第一比较并输出所述第一信号对；所述第一反馈信号与所述第二反馈信号的电平相反，所述第一信号对包括第一信号以及第二信号，所述第二信号对包括第三信号以及第四信号；其中，所述第一放大模块包括：放大单元，具有第一节点、第二节点、第三节点以及第四节点，所述第一节点输出所述第一信号，所述第二节点输出所述第二信号，所述第三节点输出所述第三信号，所述第四节点输出所述第四信号，被配置为，接收所述数据信号、所述第一参考信号以及所述第二参考信号；第一 NMOS 管以及第二 NMOS 管，所述第一 NMOS 管的一端连接所述第一节点，所述第一 NMOS 管的另一端连接所述第二 NMOS 管的一端，所述第二 NMOS 管的另一端连接所述第二节点，所述第一 NMOS 管与所述第二 NMOS 管中一者的栅极接收第一互补反馈信号，另一者的栅极接收所述使能信号，所述第一互补反馈信号与所述第一反馈信号的电平相反；第三 NMOS 管以及第四 NMOS 管，所述第三 NMOS 管的一端连接所述第三节点，所述第三 NMOS 管的另一端与所述第四 NMOS 管的一端连接，所述第四 NMOS 管的另一端连接所述第四节点，所述第三 NMOS 管与
- 25 所述第四 NMOS 管中一者的栅极接收第二互补反馈信号，另一者的栅极接收所述使能信号，所述第二互补反馈信号与所述第二反馈信号的电平相反；第二放大模块，被配置为，接收所述第一放大模块的输出信号作为输入信号对，对所述输入信号对的电压差进行放大处理，并输出第一输出信号和第二输出信号作为所述放大处理的结果。
- 30 [0007] 在一些实施例中，所述第一放大模块还包括：第五 NMOS 管以及第六 NMOS 管，所述第五 NMOS 管的一端连接所述第一节点，所述第五 NMOS 管的另一端连接所述第六 NMOS 管的一端，所述第六 NMOS 管的另一端连接所述第二节点，所述第五 NMOS 管与所述第六 NMOS 管中一者的栅极接收所述第一互补反馈信号，另一者的栅极接收所述使能信号。
- 35 [0008] 在一些实施例中，所述第一 NMOS 管的栅极接收所述使能信号，所述第二 NMOS 管的栅极接收所述第一互补反馈信号，其中，所述第一 NMOS 管的沟道宽度大于所述第二 NMOS 管的沟道宽度；所述第五 NMOS 管的栅极接收所述第一互补反馈信号，所述第六 NMOS 管的栅极接收所述使能信号，其中，所述第五 NMOS 管的沟道宽度小于所述第六 NMOS 管的沟道宽度。
- 40 [0009] 在一些实施例中，所述第五 NMOS 管的沟道宽度等于所述第二 NMOS 管的沟道宽度；所述第六 NMOS 管的沟道宽度等于所述第一 NMOS 管的沟道宽度；所述第一 NMOS 管的沟道长度、所述第二 NMOS 管的沟道长度、所述第五 NMOS 管的沟道长度和所述第六 NMOS 管的沟道长度均相等。
- 45 [0010] 在一些实施例中，所述第一放大模块还包括：第七 NMOS 管以及第八 NMOS 管，所述第七 NMOS 管的一端连接所述第三节点，所述第七 NMOS 管的另一端连接所述第八 NMOS 管的一端，所述第八 NMOS 管的另一端连接所述第四节点，所述第七 NMOS 管与所述第八 NMOS 管中一者的栅极接收所述第二互补

反馈信号，另一者的栅极接收所述使能信号。

5 [0011] 在一些实施例中，所述第三 NMOS 管的栅极接收所述使能信号，所述第四 NMOS 管的栅极接收所述第二互补反馈信号，其中，所述第三 NMOS 管的沟道宽度大于所述第四 NMOS 管的沟道宽度；所述第七 NMOS 管的栅极接收所述第二互补反馈信号，所述第八 NMOS 管的栅极接收所述使能信号，其中，所述第七 NMOS 管的沟道宽度小于所述第八 NMOS 管的沟道宽度。

[0012] 在一些实施例中，所述第七 NMOS 管的沟道宽度等于所述第四 NMOS 管的沟道宽度；所述第八 NMOS 管的沟道宽度等于所述第三 NMOS 管的沟道宽度；所述第三 NMOS 管的沟道长度、所述第四 NMOS 管的沟道长度、所述第七 NMOS 管的沟道长度和所述第八 NMOS 管的沟道长度均相等。

10 [0013] 在一些实施例中，所述采样时钟信号包括第一采样时钟信号和第二采样时钟信号；所述放大单元包括：第一比较电路，具有所述第一节点和所述第二节点，被配置为，接收所述数据信号以及所述第一参考信号并响应于所述第一采样时钟信号进行所述第一比较；时钟产生电路，被配置为，接收所述使能信号以及原始采样时钟信号，并输出所述第二采样时钟信号，其中，在所述使能信号具有所述第一电平值期间，所述第二采样时钟信号的相位与所述原始采样时钟信号的相位相反，在所述使能信号具有所述第二电平值期间，所述第二采样时钟信号为逻辑高电平信号；第二比较电路，具有所述第三节点和所述第四节点，被配置为，接收所述数据信号以及所述第二参考信号，并在所述使能信号具有所述第一电平值期间，响应于所述第二采样时钟信号进行所述第二比较；在所述使能信号具有所述第二电平值期间导通所述第三节点与地端之间的连接路径，并导通所述第四节点与地端之间的连接路径。

20 [0014] 在一些实施例中，所述第一比较电路包括：第一电流源，被配置为，连接在电源节点与第五节点之间，响应于所述第一采样时钟信号向所述第五节点提供电流；第一比较单元，连接所述第一节点、所述第二节点以及所述第五节点，被配置为，接收所述数据信号以及所述第一参考信号，当所述第一电流源向所述第五节点提供电流时进行所述第一比较，并输出所述第一信号和所述第二信号；第一复位单元，连接所述第一节点以及所述第二节点，被配置为，响应于所述第一采样时钟信号对所述第一节点和所述第二节点进行复位；所述第二比较电路包括：第二电流源，被配置为，连接在电源节点与第六节点之间，响应于所述第二采样时钟信号向所述第六节点提供电流；第二比较单元，连接所述第三节点、所述第四节点以及所述第六节点，被配置为，接收所述数据信号以及所述第二参考信号，当所述第二电流源向所述第六节点提供电流时进行所述第二比较，并输出所述第三信号和所述第四信号；第二复位单元，连接在所述第三节点与所述第四节点之间，被配置为，响应于所述第二采样时钟信号对所述第三节点和所述第四节点进行复位。

30 [0015] 在一些实施例中，所述第一电流源包括：第一 PMOS 管，连接在所述电源节点与所述第五节点之间，所述第一 PMOS 管的栅极接收所述第一采样时钟信号；所述第二电流源包括：第二 PMOS 管，连接在所述电源节点与所述第六节点之间，所述第二 PMOS 管的栅极接收所述第二采样时钟信号。

35 [0016] 在一些实施例中，所述第一比较单元包括：第三 PMOS 管，连接在所述第一节点与所述第五节点之间，所述第三 PMOS 管的栅极接收所述数据信号；第四 PMOS 管，连接在所述第二节点与所述第五节点之间，所述第四 PMOS 管的栅极接收所述第一参考信号；所述第二比较单元包括：第五 PMOS 管，连接在所述第三节点与所述第六节点之间，所述第五 PMOS 管的栅极接收所述数据信号；第六 PMOS 管，连接在所述第四节点与所述第六节点之间，所述第六 PMOS 管的栅极接收所述第二参考信号。

40 [0017] 在一些实施例中，所述第一复位单元包括：第九 NMOS 管，连接在所述第一节点与地端之间，栅极接收所述第一采样时钟信号；第十 NMOS 管，连接在所述第二节点与地端之间，栅极接收所述第一采样时钟信号；所述第二复位单元包括：第十一 NMOS 管，连接在所述第三节点与地端之间，栅极接收所述第二采样时钟信号；第十二 NMOS 管，连接在所述第四节点与地端之间，栅极接收所述第二采样时钟信号。

[0018] 在一些实施例中，所述时钟产生电路包括：第一与非门电路，所述第一与非门电路的一输入端接收所述原始采样时钟信号，另一输入端连接电源节点，输出端输出所述第一采样时钟信号。

45 [0019] 在一些实施例中，所述时钟产生电路包括：第二与非门电路，所述第二与非门电路的一输入端接收所述原始采样时钟信号，另一输入端接收所述使能信号，输出端输出所述第二采样时钟信号。

50 [0020] 在一些实施例中，所述第二放大模块包括：第一输入单元，连接第七节点和第八节点，被配置为，接收所述第一信号对并进行第三比较，并分别向所述第七节点和所述第八节点提供信号作为所述第三比较的结果；第二输入单元，连接所述第七节点和所述第八节点，被配置为，接收所述第二信号对并进行第四比较，并分别向所述第七节点和所述第八节点提供信号作为所述第四比较的结果；锁存单元，连接所述第七节点和所述第八节点，被配置为，对所述第七节点的信号以及所述第八节点的信号进行放大并锁存，并分别通过第一输出节点和第二输出节点输出所述第一输出信号和所述第二输出信号。

[0021] 在一些实施例中，所述第一输入单元包括：第十三 NMOS 管，所述第十三 NMOS 管的漏极连接所述第七节点，源极连接地端，栅极接收所述第一信号；第十四 NMOS 管，所述第十四 NMOS 管的漏极连接所述第八节点，源极连接地端，栅极接收所述第二信号；所述第二输入单元包括：第十五 NMOS 管，

所述第十五 NMOS 管的漏极连接所述第七节点, 源极连接地端, 栅极接收所述第三信号; 第十六 NMOS 管, 所述第十六 NMOS 管的漏极连接所述第八节点, 源极连接地端, 栅极接收所述第四信号。

5 [0022] 在一些实施例中, 所述锁存单元包括: 第十七 NMOS 管以及第七 PMOS 管, 所述第十七 NMOS 管的栅极以及所述第七 PMOS 管的栅极均连接所述第二输出节点, 所述第十七 NMOS 管的源极连接所述第七节点, 所述第十七 NMOS 管的漏极以及所述第七 PMOS 管的漏极均连接所述第一输出节点, 所述第七 PMOS 管的源极连接电源节点; 第十八 NMOS 管以及第八 PMOS 管, 所述第十八 NMOS 管的栅极以及所述第八 PMOS 管的栅极均连接所述第一输出节点, 所述第十八 NMOS 管的源极连接所述第八节点, 所述第十八 NMOS 管的漏极以及所述第八 PMOS 管的漏极均连接所述第二输出节点, 所述第八 PMOS 管的源极连接所述电源节点。

10 [0023] 在一些实施例中, 所述第二放大模块还包括: 第三复位单元, 连接在电源节点与所述锁存单元的输出端之间, 被配置为, 对所述锁存单元的输出端进行复位。

[0024] 在一些实施例中, 所述第三复位单元包括: 第十三 PMOS 管, 连接在所述第一输出节点与电源节点之间, 所述第十三 PMOS 管的栅极接收原始采样时钟信号; 第十四 PMOS 管, 连接在所述第二输出节点与所述电源节点之间, 所述第十四 PMOS 管的栅极接收所述原始采样时钟信号。

15 [0025] 在一些实施例中, 所述数据接收电路还包括: 第一反相电路, 被配置为, 接收所述第一反馈信号, 并输出所述第一互补反馈信号; 第二反相电路, 被配置为, 接收所述第二反馈信号, 并输出所述第二互补反馈信号。

[0026] 在一些实施例中, 所述第一反相电路包括第一反相器; 所述第二反相电路包括第二反相器。

20 [0027] 在一些实施例中, 所述第一反相电路包括第三与非门, 所述第三与非门的两个输入端分别接收所述第一反馈信号以及所述使能信号, 输出端输出所述第一互补反馈信号; 所述第二反相电路包括第四与非门, 所述第四与非门的两个输入端分别接收所述第二反馈信号以及所述使能信号, 输出端输出所述第二互补反馈信号。

25 [0028] 根据本公开一些实施例, 本公开实施例另一方面还提供一种数据接收系统, 包括: 多个级联的数据传输电路, 每一所述数据传输电路包括如前述任一项所述的数据接收电路以及与所述数据接收电路连接的锁存电路; 上一级所述数据传输电路的输出信号作为下一级所述数据传输电路的所述反馈信号; 最后一级所述数据传输电路的输出信号作为第一级所述数据传输电路的所述反馈信号。

[0029] 在一些实施例中, 所述数据接收电路响应于采样时钟信号接收数据; 且所述数据接收系统包括 4 个级联的所述数据传输电路, 相邻级的所述数据接收电路的所述采样时钟信号的相位差为 90° 。

30 [0030] 在一些实施例中, 前一级的所述数据接收电路的所述第二放大模块输出的所述第一输出信号和所述第二输出信号作为后一级所述数据接收电路的所述反馈信号; 或者, 前一级的所述锁存电路输出的信号作为后一级所述数据接收电路的所述反馈信号。

[0031] 根据本公开一些实施例, 本公开实施例又一方面还提供一种存储装置, 包括: 多个数据端口; 多个如前述任一项所述的数据接收系统, 每一所述数据接收系统与一所述数据端口相对应。

[0032] 本公开实施例提供的技术方案至少具有以下优点:

35 [0033] 第一放大模块在接收数据信号、第一参考信号和第二参考信号的同时, 还可以利用第一 NMOS 管和第二 NMOS 管接收使能信号和第一互补反馈信号以控制第一节点和第二节点的电位, 以及利用第三 NMOS 管和第四 NMOS 管接收使能信号和第二互补反馈信号以控制第三节点和第四节点的电位。具体的, 在使能信号处于第一电平值期间时, 第一 NMOS 管和第二 NMOS 管中的一者以及第三 NMOS 管和第四 NMOS 管中的一者基于使能信号导通, 第一 NMOS 管和第二 NMOS 管中的另一者响应于第一互补反馈信号导通或关断, 第三 NMOS 管和第四 NMOS 管中的另一者响应于第二互补反馈信号导通或关断。由于第一反馈信号与第二反馈信号的电平相反, 第一互补反馈信号与第二互补反馈信号的电平相反, 第二互补反馈信号与第二反馈信号的电平相反, 则第一互补反馈信号与第二互补反馈信号的电平相反, 则在使能信号处于第一电平值期间时, 上述第一 NMOS 管和第二 NMOS 管中的另一者以及第三 NMOS 管和第四 NMOS 管中的另一者择一导通, 另一者关断, 使得第一放大模块响应于采样时钟信号可以选择性进行第一比较还是第二比较, 以使输出的第一信号对和第二信号对中的一者有效, 另一者无效, 以降低接收的数据信号的码间干扰对数据接收电路的影响, 而且第一放大模块中只是进行第一比较的电路和进行第二比较的电路中的一者处于工作状态, 另一者可以处于非工作状态, 有利于降低数据接收电路的功耗。而且, 由于 NMOS 管的导通电阻远小于相同条件下的 PMOS 管的导通电阻, 则相较于 PMOS 管, 第一放大模块中的第一 NMOS 管、第二 NMOS 管、第三 NMOS 管和第四 NMOS 管响应于各自栅极接收的信号导通或关断的速度更快, 更容易使得第一放大模块在同一时刻只进行第一比较和第二比较中的一者, 以提高第一放大模块对数据信号的处理效果和处理速度。如此, 有利于在提高数据接收电路的接收性能的同时提高其对数据信号的处理速度。

[0034] 此外, 在使能信号处于第二电平值期间时, 第一放大模块响应于采样时钟信号仅进行第一比较,

固定输出有效的第一信号对，此时第一放大模块中用于输出第二信号对的电路可以处于非工作状态，有利于进一步降低数据接收电路的功耗。

附图说明

- [0035] 一个或多个实施例通过与之对应的附图中的图片进行示例性说明，这些示例性说明并不构成对实施例的限定，附图中具有相同参考数字标号的元件表示为类似的元件，除非有特别申明，附图中的图不构成比例限制；为了更清楚地说明本公开实施例或传统技术中的技术方案，下面将对实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。
- [0036] 图 1 为本公开一实施例提供的数据接收电路的一种功能框图；
- [0037] 图 2 为本公开一实施例提供的数据接收电路的另一种功能框图；
- [0038] 图 3 为本公开一实施例提供的数据接收电路中第一放大模块的一种功能框图；
- [0039] 图 4 为本公开一实施例提供的数据接收电路的又一种功能框图；
- [0040] 图 5 和图 6 为本公开一实施例提供的数据接收电路中第一放大模块、第一反相电路和第二反相电路的两种电路结构示意图；
- [0041] 图 7 为本公开一实施例提供的数据接收电路中第二放大模块的一种电路结构示意图；
- [0042] 图 8 为本公开一实施例提供的数据接收电路中第二放大模块、第一反相电路和第二反相电路的另一种电路结构示意图；
- [0043] 图 9 为本公开另一实施例提供的数据接收系统的功能框图。

具体实施方式

- [0044] 本公开实施例提供一种数据接收电路、数据接收系统以及存储装置，数据接收电路中，可以利用使能信号、第一反馈信号和第二反馈信号对第一放大模块实现进一步的控制，以选择是否考虑数据接收电路接收的数据的码间干扰对数据接收电路的影响。譬如，在需要降低码间干扰对数据接收电路的影响时，即使使能信号处于第一电平值期间，第一放大模块响应于采样时钟信号，并利用第一 NMOS 管、第二 NMOS 管、第三 NMOS 管和第四 NMOS 管以选择进行第一比较和第二比较中的一者，使得输出的第一信号对和第二信号对中的一者有效，另一者无效，且有效的信号对中信号电平值差异更大，以保证第二放大模块接收到信号电平值差异更大的一对差分信号，此外，还利用 NMOS 管的低导通电阻以避免第一放大模块同时进行第一比较和第二比较，以及提高第一放大模块对数据信号的处理效果和处理速度；在无需考虑码间干扰对数据接收电路的影响的情况下，使能信号处于第二电平值期间，第一放大模块响应于采样时钟信号仅进行第一比较，固定输出有效的第一信号对，以降低数据接收电路的功耗。
- [0045] 下面将结合附图对本公开的各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本公开各实施例中，为了使读者更好地理解本公开实施例而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本公开实施例所要求保护的技术方案。
- [0046] 本公开一实施例提供一种数据接收电路，以下将结合附图对本公开一实施例提供的数据接收电路进行详细说明。图 1 为本公开一实施例提供的数据接收电路的一种功能框图；图 2 为本公开一实施例提供的数据接收电路的另一种功能框图；图 3 为本公开一实施例提供的数据接收电路中第一放大模块的一种功能框图；图 4 为本公开一实施例提供的数据接收电路的又一种功能框图；图 5 和图 6 为本公开一实施例提供的数据接收电路中第一放大模块、第一反相电路和第二反相电路的两种电路结构示意图；图 7 为本公开一实施例提供的数据接收电路中第二放大模块的一种电路结构示意图；图 8 为本公开一实施例提供的数据接收电路中第二放大模块、第一反相电路和第二反相电路的另一种电路结构示意图。
- [0047] 参考图 1，数据接收电路 100 可以包括：第一放大模块 101，被配置为，接收使能信号 EnDfe、第一反馈信号 fbp、第二反馈信号 fbn、数据信号 DQ、第一参考信号 VR+ 和第二参考信号 VR-，在使能信号 EnDfe 具有第一电平值期间，响应于采样时钟信号 clkN 并基于第一反馈信号 fbp，选择数据信号 DQ 与第一参考信号 VR+ 进行第一比较并输出第一信号对作为第一比较的结果，或者，响应于采样时钟信号 clkN 并基于第二反馈信号 fbn，选择所述数据信号 DQ 与第二参考信号 VR- 进行第二比较并输出第二信号对作为第二比较的结果；在使能信号 EnDfe 具有第二电平值期间，响应于采样时钟信号 clkN 进行第一比较并输出第一信号对；第一反馈信号 fbp 与第二反馈信号 fbn 的电平相反，第一信号对包括第一信号 Sn+ 和第二信号 Sp+，第二信号对包括第三信号 Sn- 和第四信号 Sp-。
- [0048] 其中，继续参考图 1，第一放大模块 101 包括：放大单元 131，具有第一节点 net1、第二节点 net2、第三节点 net3 以及第四节点 net4，第一节点 net1 输出第一信号 Sn+，第二节点 net2 输出第二信号 Sp+，第三节点 net3 输出第三信号 Sn-，第四节点 net4 输出第四信号 Sp-，被配置为，接收数据信号 DQ、第一参考信号 VR+ 以及第二参考信号 VR-；第一 NMOS 管 MN1 以及第二 NMOS 管 MN2，第一 NMOS 管 MN1

的一端连接第一节点 net1, 第一 NMOS 管 MN1 的另一端连接第二 NMOS 管 MN2 的一端, 第二 NMOS 管 MN2 的另一端连接第二节点 net2, 第一 NMOS 管 MN1 与第二 NMOS 管 MN2 中一者的栅极接收第一互补反馈信号 fbpN, 另一者的栅极接收使能信号 EnDfe, 第一互补反馈信号 fbpN 与第一反馈信号 fbp 的电平相反; 第三 NMOS 管 MN3 以及第四 NMOS 管 MN4, 第三 NMOS 管 MN3 的一端连接第三节点 net3, 第三 NMOS 管 MN3 的另一端与第四 NMOS 管 MN4 的一端连接, 第四 NMOS 管 MN4 的另一端连接第四节点 net4, 第三节点 net3 与第四 NMOS 管 MN4 中一者的栅极接收第二互补反馈信号 fbnN, 另一者的栅极接收使能信号 EnDfe, 第二互补反馈信号 fbnN 与第二反馈信号 fbn 的电平相反; 第二放大模块 102, 被配置为, 接收第一放大模块 101 的输出信号作为输入信号对, 对输入信号对的电压差进行放大处理, 并输出第一输出信号 Vout 和第二输出信号 VoutN 作为放大处理的结果。

- [0049] 需要说明的是, 使能信号 EnDfe 的第一电平值期间指的是: 使得第一放大模块 101 判断使能信号 EnDfe 为逻辑电平 1 的电平值范围, 即高电平; 使能信号 EnDfe 的第二电平值期间指的是: 使得第一放大模块 101 判断使能信号 EnDfe 为逻辑电平 0 的电平值范围, 即低电平。此外, 第一反馈信号 fbp 与第二反馈信号 fbn 的电平相反指的是: 第一反馈信号 fbp 与第二反馈信号 fbn 中的一者为高电平时, 另一者为低电平。第一互补反馈信号 fbpN 与第一反馈信号 fbp 的电平相反指的是: 第一互补反馈信号 fbpN 和第一反馈信号 fbp 中的一者为高电平时, 另一者为低电平。第二互补反馈信号 fbnN 与第二反馈信号 fbn 的电平相反指的是: 第二互补反馈信号 fbnN 与第二反馈信号 fbn 中的一者为高电平时, 另一者为低电平。如此, 第一互补反馈信号 fbpN 与第二互补反馈信号 fbnN 的电平相反。

- [0050] 如此, 在需要降低码间干扰对数据接收电路 100 的影响, 使能信号 EnDfe 处于第一电平值期间, 即使能信号 EnDfe 为逻辑电平 1 时, 第一 NMOS 管 MN1 和第二 NMOS 管 MN2 中的一者以及第三 NMOS 管 MN3 和第四 NMOS 管 MN4 中的一者基于使能信号 EnDfe 导通, 第一 NMOS 管 MN1 和第二 NMOS 管 MN2 中的另一者响应于第一互补反馈信号 fbpN 导通或关断, 第三 NMOS 管 MN3 和第四 NMOS 管 MN4 中的另一者响应于第二互补反馈信号 fbnN 导通或关断。由于第一互补反馈信号 fbpN 与第二互补反馈信号 fbnN 中的一者为高电平时, 另一者为低电平, 则上述第一 NMOS 管 MN1 和第二 NMOS 管 MN2 中的另一者以及第三 NMOS 管 MN3 和第四 NMOS 管 MN4 中的另一者择一导通, 另一者关断, 使得第一放大模块 101 响应于采样时钟信号 clkN 可以选择性地进行第一比较还是第二比较, 以使输出的第一信号对和第二信号对中的一者有效, 另一者无效, 以降低接收的数据信号的码间干扰对数据接收电路 100 的影响, 而且第一放大模块 101 中只是进行第一比较的电路和进行第二比较的电路中的一者处于工作状态, 另一者可以处于非工作状态, 有利于降低数据接收电路 100 的功耗。需要说明的是, 基于此时的使能信号 EnDfe、第一反馈信号 fbp 和第二反馈信号 fbn, 第一 NMOS 管 MN1 和第二 NMOS 管 MN2 导通第一节点 net1 与第二节点 net2 之间的连接路径, 或者第三 NMOS 管 MN3 和第四 NMOS 管 MN4 导通第三节点 net3 与第四节点 net4 之间的连接路径, 其中导通路径的两个节点无法输出有效的信号对, 从而使得放大单元 131 选择性地进行第一比较或者第二比较。

- [0051] 而且, 由于 NMOS 管的导通电阻远小于相同条件下的 PMOS 管的导通电阻, 则相较于 PMOS 管, 第一放大模块 101 中的第一 NMOS 管 MN1、第二 NMOS 管 MN2、第三 NMOS 管 MN3 和第四 NMOS 管 MN4 响应于各自栅极接收的信号导通或关断的速度更快, 更容易使得第一放大模块 101 在同一时刻只进行第一比较和第二比较中的一者, 以提高第一放大模块 101 对数据信号 DQ 的处理效果和速度。如此, 有利于在提高数据接收电路 100 的接收性能的同时提高其对数据信号 DQ 的处理速度。

- [0052] 可以理解的是, 在使能信号 EnDfe 处于第一电平值期间, 第一放大模块 101 选择性地进行第一比较或者第二比较, 使得第一放大模块 101 输出有效的第一信号对或者有效的第二信号对, 且此时另一者为无效的信号对。需要说明的是, 第一信号对有效指的是: 第一信号对中的第一信号 Sn+ 的电平值和第二信号 Sp+ 的电平值具有较大的差异; 第二信号对有效指的是: 第二信号对中的第三信号 Sn- 的电平值和第四信号 Sp- 的电平值具有较大的差异。如此, 以保证第二放大模块 102 接收的是信号电平值差异较大的一对差分信号, 以降低接收的数据信号 DQ 的码间干扰对数据接收电路 100 的影响。

- [0053] 此外, 在无需考虑码间干扰对数据接收电路 100 的影响, 使能信号 EnDfe 处于第二电平值期间, 即使能信号 EnDfe 为逻辑电平 0 时, 基于此时的使能信号 EnDfe, 第一 NMOS 管 MN1 与第二 NMOS 管 MN2 中的一者关断, 断开第一节点 net1 与第二节点 net2 之间的连接路径, 且第三节点 net3 与第四 NMOS 管 MN4 中的一者关断, 断开第三节点 net3 与第四节点 net4 之间的连接路径, 放大单元 131 通过自身的控制只进行第一比较。此外, 第一 NMOS 管 MN1、第二 NMOS 管 MN2、第三 NMOS 管 MN3 和第四 NMOS 管 MN4 均集成在第一放大模块 101 中, 有利于进一步降低数据接收电路 100 整体的布局面积。

- [0054] 需要说明的是, 需要考虑码间干扰的情况一般是数据接收电路 100 接收的数据信号 DQ 是高速数据的情况, 即数据传输速率很快的情况; 无需考虑码间干扰的情况是数据接收电路 100 接收的数据信号 DQ 一般是低速数据的情况, 即数据传输速率较慢的情况。

- [0055] 在一些实施例, 第一参考信号 VR+ 的电平值与第二参考信号 VR- 的电平值不同, 则针对不同电平值的数据信号 DQ, 可以满足数据信号 DQ 与第一参考信号 VR+ 或第二参考信号 VR- 中的一者的电平值差异更大, 若第一放大模块 101 可以同时进行第一比较和第二比较, 则第一放大模块 101 能够输出电平值差异更大的一组信号对。本公开一实施例中, 在数据接收电路 100 接收的数据信号 DQ 存在码间干扰现象

- 时,第一放大模块 101 可以基于第一反馈信号 fbp 和第二反馈信号 fbn 选择性进行第一比较或者第二比较,且输出的第一信号对和第二信号对中的一者有效,另一者无效,有效的那一组信号对指的是:若同时可以进行第一比较和第二比较时电平值差异更大的一组信号对,以降低接收的数据信号 DQ 的码间干扰对数据接收电路 100 的影响。可以理解的是,在使能信号 EnDfe 处于第一电平值期间,第一放大模块 101 可以基于接收的第一反馈信号 fbp 和第二反馈信号 fbn 选择进行对数据信号 DQ 处理更优的一种比较,即选择性进行第一比较或者第二比较,以获得更优的一组信号对。如此,在使能信号 EnDfe 处于第一电平值期间,第一放大模块 101 只会进行第一比较和第二比较中处理更优的一者,另一者处于非工作状态,有利于降低数据接收电路的功耗。
- [0056] 此外,在使能信号 EnDfe 处于第二电平值期间,无论基于先前接收到的数据得到的第一反馈信号 fbp 和第二反馈信号 fbn 的电平值如何变化,第一放大模块 101 基于此时的使能信号 EnDfe 固定进行第一比较,即此时第一放大模块 101 固定输出有效的第一信号对,此时第一放大模块 101 不会进行第二比较,即第一放大模块 101 中用于输出第二信号对的电路可以处于非工作状态,有利于进一步降低数据接收电路的功耗。
- [0057] 关于数据接收电路 100 如何降低接收的数据信号 DQ 的码间干扰对数据接收电路 100 的影响,以下结合一个具体的例子对其进行详细说明。
- [0058] 在一些实施例中,第一参考信号 VR+的电平值高于第二参考信号 VR-的电平值,若数据信号 DQ 为低电平,且数据接收电路 100 接收的数据信号 DQ 存在码间干扰现象时,使能信号 EnDfe 处于第一电平值期间,第一放大模块 101 基于此时的使能信号 EnDfe、第一反馈信号 fbp 和第二反馈信号 fbn 进行的是第一比较,即输出的是有效的第一信号对,此时数据信号 DQ 与第一参考信号 VR+之间的电平值差异大于数据信号 DQ 与第二参考信号 VR-之间的电平值差异,则此时进行第一比较会比进行第二比较产生电平值差异更大的输出信号对,因而第二放大模块 102 接收有效的第一信号对有利于提高输出的第一输出信号 Vout 和第二输出信号 VoutN 的准确性,从而有利于降低接收的数据信号 DQ 的码间干扰对数据接收电路 100 的影响。
- [0059] 此外,若数据信号 DQ 为高电平,且数据接收电路 100 接收的数据信号 DQ 存在码间干扰现象时,使能信号 EnDfe 处于第一电平值期间,第一放大模块 101 基于此时的使能信号 EnDfe、第一反馈信号 fbp 和第二反馈信号 fbn 进行的是第二比较,即输出的是有效的第二信号对,此时数据信号 DQ 与第一参考信号 VR+之间的电平值差异小于数据信号 DQ 与第二参考信号 VR-之间的电平值差异,则此时进行第二比较会比进行第一比较产生电平值差异更大的输出信号对,因而第二放大模块 102 接收有效的第二信号对有利于提高输出的第一输出信号 Vout 和第二输出信号 VoutN 的准确性,从而有利于降低接收的数据信号 DQ 的码间干扰对数据接收电路 100 的影响。
- [0060] 可以理解的是,在实际应用中,第一参考信号 VR+的电平值也可以低于第二参考信号 VR-的电平值。
- [0061] 需要说明的是,图 1 中以第一 NMOS 管 MN1 的栅极和第三 NMOS 管 MN3 的栅极接收使能信号 EnDfe,第二 NMOS 管 MN2 的栅极接收第一互补反馈信号 fbpN,以及第四 NMOS 管 MN4 的栅极接收第二互补反馈信号 fbnN 为例。在实际应用中,第一 NMOS 管 MN1 的栅极也可以接收第一互补反馈信号 fbpN,和第三 NMOS 管 MN3 的栅极也可以接收第二互补反馈信号 fbnN,第二 NMOS 管 MN2 的栅极和第四 NMOS 管 MN4 的栅极也可以接收使能信号 EnDfe。
- [0062] 在一些实施例中,参考图 2,在第一放大模块 101 包括第一 NMOS 管 MN1 和第二 NMOS 管 MN2 的基础上,第一放大模块 101 还可以包括:第五 NMOS 管 MN5 以及第六 NMOS 管 MN6,第五 NMOS 管 MN5 的一端连接第一节点 net1,第五 NMOS 管 MN5 的另一端连接第六 NMOS 管 MN6 的一端,第六 NMOS 管 MN6 的另一端连接第二节点 net2,第五 NMOS 管 MN5 与第六 NMOS 管 MN6 中一者的栅极接收第一互补反馈信号 fbpN,另一者的栅极接收使能信号 EnDfe。
- [0063] 可以理解的是,第五 NMOS 管 MN5 和第六 NMOS 管 MN6 构成的支路与第一 NMOS 管 MN1 和第二 NMOS 管 MN2 构成的支路并联,如此在第一节点 net1 和第二节点 net2 之间的连接路径导通时,有利于降低第一节点 net1 和第二节点 net2 之间的连接路径的总通路电阻,以提高第一节点 net1 和第二节点 net2 之间的连接路径响应于使能信号 EnDfe 和第一互补反馈信号 fbpN 的导通速度。
- [0064] 在一些实施例中,第一 NMOS 管 MN1 和第二 NMOS 管 MN2 中接收使能信号 EnDfe 的一者的沟道宽长比大于另一者的沟道宽长比,且第五 NMOS 管 MN5 和第六 NMOS 管 MN6 中接收使能信号 EnDfe 的一者的沟道宽长比大于另一者的沟道宽长比。
- [0065] 可以理解的是,在 NMOS 管的栅极接收的信号的电平值频繁变化时,NMOS 管的沟道宽度越大,其栅极电容越大,反过来使得栅极感测到的信号的电平值的变化灵敏度降低,因而,对于栅极接收电平值频繁变化的 NMOS 管,降低该 NMOS 管的沟道宽度有利于降低其栅极电容对 NMOS 管的影响。如此,使能信号 EnDfe 处于第一电平值期间时,使能信号 EnDfe 的电平值固定,对于第一 NMOS 管 MN1、第二 NMOS 管 MN2、第五 NMOS 管 MN5 和第六 NMOS 管 MN6 而言,接收使能信号 EnDfe 的两个 NMOS 管

中栅极电容对数据接收电路 100 的影响不大,此时第一互补反馈信号 fbpN 的电平值一直频繁变化,使得接收第一互补反馈信号 fbpN 的两个 NMOS 管的沟道宽度更小有利于降低其栅极电容对 NMOS 管的影响。

[0066] 此外, NMOS 管的沟道宽长比越大,其导通电阻越小,且其导通或关断的切换速度越快,在保证接收第一互补反馈信号 fbpN 的两个 NMOS 管的沟道宽度较小的前提下,使得接收使能信号 EnDfe 的两个 NMOS 管的沟道宽长比较大,有利于降低第一节点 net1 和第二节点 net2 之间连接路径的总导通电阻。因此,综合考虑 NMOS 管中栅极电容和导通电阻两个因素,在使能信号 EnDfe 处于第一电平值期间时,有利于使得接收第一互补反馈信号 fbpN 的两个 NMOS 管能灵敏的检测到第一互补反馈信号 fbpN 的电平值的变化,且提高第一节点 net1 和第二节点 net2 之间连接路径的导通或断开的速度。

[0067] 在一个例子中,继续参考图 2,第一 NMOS 管 MN1 的栅极接收使能信号 EnDfe,第二 NMOS 管 MN2 的栅极接收第一互补反馈信号 fbpN。其中,第一 NMOS 管 MN1 的沟道宽度大于第二 NMOS 管 MN2 的沟道宽度,如此,有利于实现接收使能信号 EnDfe 的第一 NMOS 管 MN1 的沟道宽长比大于接收第一互补反馈信号 fbpN 的第二 NMOS 管 MN2 的沟道宽长比。而且,第五 NMOS 管 MN5 的栅极接收第一互补反馈信号 fbpN,第六 NMOS 管 MN6 的栅极接收使能信号 EnDfe,其中,第五 NMOS 管 MN5 的沟道宽度小于第六 NMOS 管 MN6 的沟道宽度,如此,有利于实现接收使能信号 EnDfe 的第六 NMOS 管 MN6 的沟道宽长比大于接收第一互补反馈信号 fbpN 的第五 NMOS 管 MN5 的沟道宽长比。

[0068] 需要说明的是,图 2 中以第一 NMOS 管 MN1 的栅极和第六 NMOS 管 MN6 的栅极接收使能信号 EnDfe,第二 NMOS 管 MN2 的栅极和第五 NMOS 管 MN5 的栅极接收第一互补反馈信号 fbpN 为示例。在实际应用中,第一 NMOS 管 MN1 的栅极和第六 NMOS 管 MN6 的栅极也可以接收第一互补反馈信号 fbpN,第二 NMOS 管 MN2 的栅极和第五 NMOS 管 MN5 的栅极也可以接收使能信号 EnDfe。

[0069] 在一些实施例,第五 NMOS 管 MN5 的沟道宽度等于第二 NMOS 管 MN2 的沟道宽度;第六 NMOS 管 MN6 的沟道宽度等于第一 NMOS 管 MN1 的沟道宽度;第一 NMOS 管 MN1 的沟道长度、第二 NMOS 管 MN2 的沟道长度、第五 NMOS 管 MN5 的沟道长度和第六 NMOS 管 MN6 的沟道长度均相等。如此,有利于使得第一 NMOS 管 MN1 和第五 NMOS 管 MN5 在第一节点 net1 处的总等效电容,相较于第二 NMOS 管 MN2 和第六 NMOS 管 MN6 在第二节点 net2 处的总等效电容无差别,以使得第一节点 net1 处的负载和第二节点 net2 处的负载一致。

[0070] 在一些实施例,参考图 2,在第一放大模块 101 包括第三 NMOS 管 MN3 和第四 NMOS 管 MN4 的基础上,第一放大模块 101 还可以包括:第七 NMOS 管 MN7 以及第八 NMOS 管 MN8,第七 NMOS 管 MN7 的一端连接第三节点 net3,第七 NMOS 管 MN7 的另一端连接第八 NMOS 管 MN8 的一端,第八 NMOS 管 MN8 的另一端连接第四节点 net4,第七 NMOS 管 MN7 与第八 NMOS 管 MN8 中一者的栅极接收第二互补反馈信号 fbnN,另一者的栅极接收使能信号 EnDfe。

[0071] 可以理解的是,第七 NMOS 管 MN7 和第八 NMOS 管 MN8 构成的支路与第三 NMOS 管 MN3 和第四 NMOS 管 MN4 构成的支路并联,如此在第三节点 net3 和第四节点 net4 之间的连接路径导通时,有利于降低第三节点 net3 和第四节点 net4 之间的连接路径的总通路电阻,以提高第三节点 net3 和第四节点 net4 之间的连接路径响应于使能信号 EnDfe 和第二互补反馈信号 fbnN 的导通速度。

[0072] 在一些实施例,第三 NMOS 管 MN3 和第四 NMOS 管 MN4 中接收使能信号 EnDfe 的一者的沟道宽长比大于另一者的沟道宽长比,且第七 NMOS 管 MN7 和第八 NMOS 管 MN8 中接收使能信号 EnDfe 的一者的沟道宽长比大于另一者的沟道宽长比。

[0073] 由前述描述可知,在 NMOS 管的栅极接收的信号的电平值频繁变化时, NMOS 管的沟道宽度越大,其栅极电容越大,反过来使得栅极感测到的信号的电平值的变化灵敏度降低,因而,对于栅极接收电平值频繁变化的 NMOS 管,降低该 NMOS 管的沟道宽度有利于降低其栅极电容对 NMOS 管的影响。如此,使能信号 EnDfe 处于第一电平值期间时,使能信号 EnDfe 的电平值固定,对于第三 NMOS 管 MN3、第四 NMOS 管 MN4、第七 NMOS 管 MN7 和第八 NMOS 管 MN8 而言,接收使能信号 EnDfe 的两个 NMOS 管中栅极电容对数据接收电路 100 的影响不大,此时第二互补反馈信号 fbnN 的电平值一直频繁变化,使得接收第二互补反馈信号 fbnN 的两个 NMOS 管的沟道宽度更小有利于降低其栅极电容对 NMOS 管的影响。

[0074] 此外, NMOS 管的沟道宽长比越大,其导通电阻越小,且其导通或关断的切换速度越快,在保证接收第二互补反馈信号 fbnN 的两个 NMOS 管的沟道宽度较小的前提下,使得接收使能信号 EnDfe 的两个 NMOS 管的沟道宽长比较大,有利于降低第三节点 net3 和第四节点 net4 之间连接路径的总导通电阻。因此,综合考虑 NMOS 管中栅极电容和导通电阻两个因素,在使能信号 EnDfe 处于第一电平值期间时,有利于使得接收第二互补反馈信号 fbnN 的两个 NMOS 管能灵敏的检测到第二互补反馈信号 fbnN 的电平值的变化,且提高第三节点 net3 和第四节点 net4 之间连接路径的导通或断开的速度。

[0075] 可以理解的是,第一 NMOS 管 MN1 和第二 NMOS 管 MN2 中接收使能信号 EnDfe 的一者的沟道宽长比大于另一者的沟道宽长比,第五 NMOS 管 MN5 和第六 NMOS 管 MN6 中接收使能信号 EnDfe 的一者的沟道宽长比大于另一者的沟道宽长比,第三 NMOS 管 MN3 和第四 NMOS 管 MN4 中接收使能信号

EnDfe 的一者的沟道宽长比大于另一者的沟道宽长比,且第七 NMOS 管 MN7 和第八 NMOS 管 MN8 中接收使能信号 EnDfe 的一者的沟道宽长比大于另一者的沟道宽长比,如此,在提高第一节点 net1 和第二节点 net2 之间连接路径的导通或关断的速度的同时,提高第三节点 net3 和第四节点 net4 之间连接路径的导通或关断的速度,从而有利于使得第一节点 net1 和第二节点 net2 之间连接路径和第三节点 net3 和第四节点 net4 之间连接路径中的一者迅速导通时,另一者迅速关断,以避免第一放大模块 101 同时进行第一比较和第二比较。

[0076] 在一个例子中,继续参考图 2,第三 NMOS 管 MN3 的栅极接收使能信号 EnDfe,第四 NMOS 管 MN4 的栅极接收第二互补反馈信号 fbnN,在实际应用中,其中,第三 NMOS 管 MN3 的沟道宽度大于第四 NMOS 管 MN4 的沟道宽度,如此,有利于实现接收使能信号 EnDfe 的第三 NMOS 管 MN3 的沟道宽长比大于接收第二互补反馈信号 fbnN 的第四 NMOS 管 MN4 的沟道宽长比。而且,第七 NMOS 管 MN7 的栅极接收第二互补反馈信号 fbnN,第八 NMOS 管 MN8 的栅极接收使能信号 EnDfe,其中,第七 NMOS 管 MN7 的沟道宽度小于第八 NMOS 管 MN8 的沟道宽度,如此,有利于实现接收使能信号 EnDfe 的第八 NMOS 管 MN8 的沟道宽长比大于接收第二互补反馈信号 fbnN 的第七 NMOS 管 MN7 的沟道宽长比。

[0077] 需要说明的是,图 2 中以第三 NMOS 管 MN3 的栅极和第八 NMOS 管 MN8 的栅极接收使能信号 EnDfe,第四 NMOS 管 MN4 的栅极和第七 NMOS 管 MN7 的栅极接收第二互补反馈信号 fbnN 为示例。在实际应用中,第三 NMOS 管 MN3 的栅极和第八 NMOS 管 MN8 的栅极也可以接收第二互补反馈信号 fbnN,第四 NMOS 管 MN4 的栅极和第七 NMOS 管 MN7 的栅极也可以接收使能信号 EnDfe。

[0078] 在一些实施例,第七 NMOS 管 MN7 的沟道宽度等于第四 NMOS 管 MN4 的沟道宽度;第八 NMOS 管 MN8 的沟道宽度等于第三 NMOS 管 MN3 的沟道宽度;第三 NMOS 管 MN3 的沟道长度、第四 NMOS 管 MN4 的沟道长度、第七 NMOS 管 MN7 的沟道长度和第八 NMOS 管 MN8 的沟道长度均相等。如此,有利于使得第三 NMOS 管 MN3 和第七 NMOS 管 MN7 在第三节点 net3 处的总等效电容,相较于第四 NMOS 管 MN4 和第八 NMOS 管 MN8 在第四节点 net4 处的总等效电容无差别,以使得第三节点 net3 处的负载和第四节点 net4 处的负载一致。

[0079] 可以理解的是,以图 2 为示例,接收使能信号 EnDfe 的第一 NMOS 管 MN1 和第六 NMOS 管 MN6 的沟道宽长比,相较于接收第一互补反馈信号 fbpN 的第二 NMOS 管 MN2 和第五 NMOS 管 MN5 沟道宽长比更大,且接收使能信号 EnDfe 的第三 NMOS 管 MN3 和第八 NMOS 管 MN8 的沟道宽长比,相较于接收的第二互补反馈信号 fbnN 的第四 NMOS 管 MN4 和第七 NMOS 管 MN7 的沟道宽长比更大,则在使能信号 EnDfe 处于第一电平值期间,第一 NMOS 管 MN1、第六 NMOS 管 MN6、第三 NMOS 管 MN3 和第八 NMOS 管 MN8 均基于使能信号 EnDfe 固定导通,第二 NMOS 管 MN2 和第五 NMOS 管 MN5 能够灵敏地感测第一互补反馈信号 fbpN 的电平值变化,且第四 NMOS 管 MN4 和第七 NMOS 管 MN7 能够灵敏地感测第二互补反馈信号 fbnN 的电平值变化,则在第二 NMOS 管 MN2 和第五 NMOS 管 MN5 响应于第一互补反馈信号 fbpN 迅速导通时,第四 NMOS 管 MN4 和第七 NMOS 管 MN7 响应于第二互补反馈信号 fbnN 可以迅速关断,或者,在第二 NMOS 管 MN2 和第五 NMOS 管 MN5 响应于第一互补反馈信号 fbpN 迅速关断时,第四 NMOS 管 MN4 和第七 NMOS 管 MN7 响应于第二互补反馈信号 fbnN 可以迅速导通。如此,在使能信号 EnDfe 处于第一电平值期间,有利于保证第一放大模块 101 只进行第一比较和第二比较中的一者。

[0080] 需要说明的是,后续描述均以图 2 中示意的示例为基础进行说明。

[0081] 在一些实施例,参考图 3 和图 4,采样时钟信号 clkN 包括第一采样时钟信号 clkN1 和第二采样时钟信号 clkN2;放大单元 131 包括:第一比较电路 111,具有第一节点 net1 和第二节点 net2,被配置为,接收数据信号 DQ 以及第一参考信号 VR+并响应于第一采样时钟信号 clkN1 进行第一比较;时钟产生电路 151,被配置为,接收使能信号 EnDfe 以及原始采样时钟信号 clk,并输出第二采样时钟信号 clkN2,其中,在使能信号 EnDfe 具有第一电平值期间,第二采样时钟信号 clkN2 的相位与原始采样时钟信号 clk 的相位相反,在使能信号 EnDfe 具有第二电平值期间,第二采样时钟信号 clkN2 为逻辑高电平信号;第二比较电路 121,具有第三节点 net3 和第四节点 net4,被配置为,接收数据信号 DQ 以及第二参考信号 VR-,并在使能信号 EnDfe 具有第一电平值期间,响应于第二采样时钟信号 clkN2 进行第二比较;在使能信号 EnDfe 具有第二电平值期间导通第三节点 net3 与地端之间的连接路径,并导通第四节点 net4 与地端之间的连接路径。

[0082] 可以理解的是,在使能信号 EnDfe 处于第一电平值期间,且第二 NMOS 管 MN2 和第五 NMOS 管 MN5 响应于第一互补反馈信号 fbpN 断开第一节点 net1 与第二节点 net2 之间的连接路径时,第一比较电路 111 可以响应于第一采样时钟信号 clkN1 进行第一比较;使能信号 EnDfe 处于第二电平值期间,第一 NMOS 管 MN1 和第六 NMOS 管 MN6 基于此时的使能信号 EnDfe 断开第一节点 net1 与第二节点 net2 之间的连接路径,第一比较电路 111 也可以响应于第一采样时钟信号 clkN1 进行第一比较。可见,无论使能信号 EnDfe 处于第一电平值期间还是第二电平值期间,即无论是否需要考虑码间干扰对数据接收电路 100 的影响,第一比较电路 111 均可能响应于第一采样时钟信号 clkN1 进行第一比较。然而,只有在使能信号 EnDfe 处于第一电平值期间,且第四 NMOS 管 MN4 和第七 NMOS 管 MN7 响应于第二互补反馈信号 fbnN 断开第三节点 net3 与第四节点 net4 之间的连接路径时,第二比较电路 121 才可以响应于电平值变化的第二采

样时钟信号 clkN2 进行第二比较, 在使能信号 EnDfe 处于第二电平值期间, 第二采样时钟信号 clkN2 为逻辑高电平信号, 第二比较电路 121 导通第三节点 net3 与地端之间的连接路径以及第四节点 net4 与地端之间的连接路径, 将第三节点 net3 输出的第三信号 Sn- 的电平值以及第四节点 net4 输出的第四信号 Sp- 的电平值均下拉为 0, 即第二比较电路 121 没有进行第二比较, 无法输出有效的第二信号对。

- 5 [0083] 在一些实施例中, 第一采样时钟信号 clkN1 的相位与原始采样时钟信号 clk 的相位相反, 在使能信号 EnDfe 处于第一电平值期间, 第二采样时钟信号 clkN2 的相位与原始采样时钟信号 clk 的相位相反, 则第一采样时钟信号 clkN1 的相位与此时的第二采样时钟信号 clkN2 的相位同步, 以使得此时的第一比较电路 111 可以响应于第一采样时钟信号 clkN1 进行第一比较, 或者, 第二比较电路 121 可以响应于第二采样时钟信号 clkN2 进行第二比较。与此同时, 基于使能信号 EnDfe、第一互补反馈信号 fbpN 以及第二互补反馈信号 fbnN, 第一 NMOS 管 MN1、第二 NMOS 管 MN2、第五 NMOS 管 MN5 和第六 NMOS 管 MN6 进一步控制第一节点 net1 和第二节点 net2 处的电位, 第三 NMOS 管 MN3、第四 NMOS 管 MN4、第七 NMOS 管 MN7 和第八 NMOS 管 MN8 进一步控制第三节点 net3 和第四节点 net4 处的电位, 例如, 使得第一节点 net1 处的电位和第二节点 net2 处的电位相同, 以使得放大单元 131 实际没有进行第一比较, 无法输出有效的第一信号对, 或者使得第三节点 net3 处的电位和第四节点 net4 处的电位相同, 以使得放大单元 131 实际没有进行第二比较, 无法输出有效的第二信号对, 如此, 有利于使得放大单元 131 选择性进行第一比较或者第二比较。

- 20 [0084] 在一些实施例中, 继续参考图 3 和图 4, 第一比较电路 111 可以包括: 第一电流源 1111, 被配置为, 连接在电源节点 Vcc (参考图 5) 与第五节点 net5 之间, 响应于第一采样时钟信号 clkN1 向第五节点 net5 提供电流; 第一比较单元 1112, 连接第一节点 net1、第二节点 net2 以及第五节点 net5, 被配置为, 接收数据信号 DQ 以及第一参考信号 VR+, 当第一电流源 1111 向第五节点 net5 提供电流时进行第一比较, 并输出第一信号 Sn+ 和第二信号 Sp+; 第一复位单元 1113, 连接第一节点 net1 以及第二节点 net2, 被配置为, 响应于第一采样时钟信号 clkN1 对第一节点 net1 和第二节点 net2 进行复位。

- 25 [0085] 第二比较电路 121 可以包括: 第二电流源 1211, 被配置为, 连接在电源节点 Vcc 与第六节点 net6 之间, 响应于第二采样时钟信号 clkN2 向第六节点 net6 提供电流; 第二比较单元 1212, 连接第三节点 net3、第四节点 net4 以及第六节点 net6, 被配置为, 接收数据信号 DQ 以及第二参考信号 VR-, 当第二电流源 1211 向第六节点 net6 提供电流时进行第二比较, 并输出第三信号 Sn- 和第四信号 Sp-; 第二复位单元 1213, 连接在第三节点 net3 与第四节点 net4 之间, 被配置为, 响应于第二采样时钟信号 clkN2 对第三节点 net3 和第四节点 net4 进行复位。

- 30 [0086] 可以理解的是, 第一比较单元 1112 可以基于数据信号 DQ 和第一参考信号 VR+ 之间的电压差, 控制提供给第一节点 net1 处的电流与提供给第二节点 net2 处的电流的差异, 以输出第一信号 Sn+ 和第二信号 Sp+; 第二比较单元 1212 可以基于数据信号 DQ 和第二参考信号 VR- 之间的电压差, 控制提供给第三节点 net3 处的电流与提供给第四节点 net4 处的电流的差异, 以输出第三信号 Sn- 和第四信号 Sp-。此外, 在数据接收电路 100 完成一次数据信号 DQ、第一参考信号 VR+ 和第二参考信号 VR- 的接收以及第一输出信号 Vout 和第二输出信号 VoutN 的输出之后, 可以通过第一复位单元 1113 将第一节点 net1 和第二节点 net2 处的电平值恢复为初始值, 并通过第二复位单元 1213 将第三节点 net3 和第四节点 net4 处的电平值恢复为初始值, 以便于后续数据接收电路 100 进行下一次数据接收以及处理。

- 40 [0087] 在一些实施例中, 第一电流源 1111 的电路结构与第二电流源 1211 的电路结构相同; 第一比较单元 1112 的电路结构与第二比较单元 1212 的电路结构相同。如此, 有利于使得第一比较电路 111 输出的第一信号对主要受第一参考信号 VR+ 的影响, 或者, 使得第二比较电路 121 输出的第二信号对的差异主要受第二参考信号 VR- 的影响, 进一步有利于数据接收电路 100 基于第一参考信号 VR+ 和第二参考信号 VR- 降低接收的数据信号 DQ 的码间干扰对数据接收电路 100 的影响, 以进一步提高第二放大模块 102 输出的第一输出信号 Vout 和第二输出信号 VoutN 的准确性。

- 45 [0088] 在一些实施例中, 参考图 5 和图 6, 第一电流源 1111 可以包括: 第一 PMOS 管 MP1, 连接在电源节点 Vcc 与第五节点 net5 之间, 第一 PMOS 管 MP1 的栅极接收第一采样时钟信号 clkN1; 第二电流源 1112 可以包括: 第二 PMOS 管 MP2, 连接在电源节点 Vcc 与第六节点 net6 之间, 第二 PMOS 管 MP2 的栅极接收第二采样时钟信号 clkN2。

- 50 [0089] 如此, 在第一采样时钟信号 clkN1 为低电平时, 第一 PMOS 管 MP1 的栅极接收第一采样时钟信号 clkN1 以导通, 向第五节点 net5 提供电流, 使得第一比较单元 1112 处于工作状态, 即对接收的数据信号 DQ 和第一参考信号 VR+ 进行第一比较, 与此同时, 使能信号 EnDfe 为高电平, 第一互补反馈信号 fbpN 为低电平, 第二 NMOS 管 MN2 和第五 NMOS 管 MN5 均关断, 第一节点 net1 和第二节点 net2 之间的连接路径断开; 在第二采样时钟信号 clkN2 为低电平时, 第二 PMOS 管 MP2 的栅极接收第二采样时钟信号 clkN2 以导通, 向第六节点 net6 提供电流, 使得第二比较单元 1212 处于工作状态, 对接收的数据信号 DQ 和第二参考信号 VR- 进行第二比较, 与此同时, 使能信号 EnDfe 为高电平, 第二互补反馈信号 fbnN 为低电平, 第四 NMOS 管 MN4 和第七 NMOS 管 MN7 均关断, 第三节点 net3 和第四节点 net4 之间的连接路径断开。

[0090] 在一个例子中, 第一采样时钟信号 clkN1 的相位与原始采样时钟信号 clk 的相位相反, 在需要降低码间干扰对数据接收电路 100 的影响时, 使能信号 EnDfe 处于第一电平值期间, 即高电平, 第二采样时钟信号 clkN2 的相位与原始采样时钟信号 clk 的相位也相反, 则此时第一采样时钟信号 clkN1 的相位与第二采样时钟信号 clkN2 的相位同步, 使得第一电流源 1111 可以向第五节点 net5 提供电流以为第一比较单元 121 进行第一比较做准备的同时, 第二电流源 1211 可以向第六节点 net6 提供电流以为第二比较单元 122 进行第二比较做准备。此时, 使能信号 EnDfe 为高电平, 若第一互补反馈信号 fbpN 为低电平, 则第一节点 net1 和第二节点 net2 之间的连接路径断开, 第一比较单元 121 进行第一比较, 此时第二互补反馈信号 fbnN 为高电平, 则第三节点 net3 和第四节点 net4 之间的连接路径导通, 第二比较单元 122 无法进行第二比较; 若第一互补反馈信号 fbpN 为高电平, 则第一节点 net1 和第二节点 net2 之间的连接路径导通, 第一比较单元 121 无法进行第一比较, 此时第二互补反馈信号 fbnN 为低电平, 则第三节点 net3 和第四节点 net4 之间的连接路径断开, 第二比较单元 122 进行第二比较。

[0091] 此外, 在无需考虑码间干扰对数据接收电路 100 的影响时, 使能信号 EnDfe 处于第二电平值期间, 即低电平, 第二采样时钟信号 clkN2 为逻辑高电平信号, 第二 PMOS 管 MP2 始终关断, 使得第二比较单元 1212 中的电流几乎为 0, 以降低数据接收电路 100 的功耗, 而且此时的第二比较单元 1212 无法进行第二比较, 无法输出有效的第二信号对, 此时第一采样时钟信号 clkN1 为时钟信号, 第一 PMOS 管 MP1 可以响应于该时钟信号导通, 以使得第一比较单元 1112 进行第一比较, 以输出有效的第一信号对, 使得数据接收电路 100 整体可以正常工作。

[0092] 在一些实施例, 继续参考图 5 和图 6, 第一比较单元 1112 可以包括: 第三 PMOS 管 MP3 , 连接在第一节点 net1 与第五节点 net5 之间, 第三 PMOS 管 MP3 的栅极接收数据信号 DQ ; 第四 PMOS 管, 连接在 MP4 , 连接在第二节点 net2 与第五节点 net5 之间, 第四 PMOS 管 MP4 的栅极接收第一参考信号 VR+ ; 第二比较单元 1212 可以包括: 第五 PMOS 管 MP5 , 连接在第三节点 net3 与第六节点 net6 之间, 第五 PMOS 管 MP5 的栅极接收数据信号 DQ ; 第六 PMOS 管 MP6 , 连接在第四节点 net4 与第六节点 net6 之间, 第六 PMOS 管 MP6 的栅极接收第二参考信号 VR- 。

[0093] 需要说明的是, 对于第一比较单元 1112 而言, 数据信号 DQ 和第一参考信号 VR+ 的电平值变化不同步, 使得接收数据信号 DQ 的第三 PMOS 管 MP3 的导通时刻不同于接收第一参考信号 VR+ 的第四 PMOS 管 MP4 的导通时刻, 且同一时刻下, 第三 PMOS 管 MP3 的导通程度不同于第四 PMOS 管 MP4 的导通程度。可以理解的是, 基于第三 PMOS 管 MP3 的导通程度不同于第四 PMOS 管 MP4 的导通程度, 第三 PMOS 管 MP3 与第四 PMOS 管 MP4 对第五节点 net5 处的电流的分流能力也不同, 使得第一节点 net1 处的电压与第二节点 net2 处的电压不同, 有利于输出第一信号 Sn+ 和第二信号 Sp+ 为信号电平值差异较大的第一信号对。

[0094] 对于第二比较单元 1212 而言, 数据信号 DQ 和第二参考信号 VR- 的电平值变化不同步, 使得接收数据信号 DQ 的第五 PMOS 管 MP5 的导通时刻不同于接收第二参考信号 VR- 的第六 PMOS 管 MP6 的导通时刻, 且同一时刻下, 第五 PMOS 管 MP5 的导通程度不同于第六 PMOS 管 MP6 的导通程度。可以理解的是, 基于第五 PMOS 管 MP5 的导通程度不同于第六 PMOS 管 MP6 的导通程度, 第五 PMOS 管 MP5 与第六 PMOS 管 MP6 对第六节点 net6 处的电流的分流能力也不同, 使得第三节点 net3 处的电压与第四节点 net4 处的电压不同, 有利于输出第三信号 Sn- 和第四信号 Sp- 为信号电平值差异较大的第二信号对。

[0095] 在一个例子中, 第一放大模块 101 进行的是第一比较, 数据信号 DQ 的电平值低于第一参考信号 VR+ 的电平值时, 第三 PMOS 管 MP3 的导通程度大于第四 PMOS 管 MP4 的导通程度, 使得第五节点 net5 处的电流更多的流入第三 PMOS 管 MP3 所在的通路, 使得第一节点 net1 处的电流大于第二节点 net2 处的电流, 从而进一步使得第一节点 net1 输出的第一信号 Sn+ 的电平值高, 第二节点 net2 输出的第二信号 Sp+ 的电平值低; 在另一个例子中, 第一放大模块 101 进行的是第二比较, 数据信号 DQ 的电平值低于第二参考信号 VR- 的电平值时, 第五 PMOS 管 MP5 的导通程度大于第六 PMOS 管 MP6 的导通程度, 使得第六节点 net6 处的电流更多的流入第五 PMOS 管 MP5 所在的通路, 使得第三节点 net3 处的电流大于第四节点 net4 处的电流, 从而进一步使得第三节点 net3 输出的第三信号 Sn- 的电平值高, 第四节点 net4 输出的第四信号 Sp- 的电平值低。

[0096] 同理, 数据信号 DQ 的电平值高于第一参考信号 VR+ 的电平值时, 第三 PMOS 管 MP3 的导通程度小于第四 PMOS 管 MP4 的导通程度, 第一节点 net1 输出的第一信号 Sn+ 的电平值低, 第二节点 net2 输出的第二信号 Sp+ 的电平值高; 数据信号 DQ 的电平值高于第二参考信号 VR- 的电平值时, 第五 PMOS 管 MP5 的导通程度小于第六 PMOS 管 MP6 的导通程度, 第三节点 net3 输出的第三信号 Sn- 的电平值低, 第四节点 net4 输出的第四信号 Sp- 的电平值高。

[0097] 在一些实施例, 继续参考图 5 和图 6, 第一复位单元 1113 可以包括: 第九 NMOS 管 MN9 , 连接在第一节点 net1 与地端之间, 栅极接收第一采样时钟信号 clkN1 ; 第十 NMOS 管 MN10 , 连接在第二节点 net2 与地端之间, 栅极接收第一采样时钟信号 clkN1 ; 第二复位单元 1213 可以包括: 第十一 NMOS 管 MN11 , 连接在第三节点 net3 与地端之间, 栅极接收第二采样时钟信号 clkN2 ; 第十二 NMOS 管 MN12 , 连接在第四节点 net4 与地端之间, 栅极接收第二采样时钟信号 clkN2 。

[0098] 在一个例子中, 第一采样时钟信号 clkN1 的相位与原始采样时钟信号 clk 的相位相反, 在需要降低码间干扰对数据接收电路的影响时, 使能信号 EnDfe 处于第一电平值期间, 第二采样时钟信号 clkN2 的相位与原始采样时钟信号 clk 的相位也相反, 此时第一采样时钟信号 clkN1 的相位与第二采样时钟信号 clkN2 的相位同步, 若第一采样时钟信号 clkN1 和第二采样时钟信号 clkN2 均为低电平, 第一 PMOS 管 MP1 和第二 PMOS 管 MP2 均导通, 此时第九 NMOS 管 MN9、第十 NMOS 管 MN10、第十一 NMOS 管 MN11 以及第十二 NMOS 管 MN12 均关断, 此时基于第一互补反馈信 fbp 和第二互补反馈信号 fbnN 控制第一节点 net1 和第二节点 net2 之间的连接路径和第三节点 net3 和第四节点 net4 之间的连接路径中的一者导通, 以实现第一放大模块 101 选择性进行第一比较或第二比较, 同时, 第九 NMOS 管 MN9 和第十 NMOS 管 MN10 可以作为第一比较单元 1112 的负载, 以增加第一比较单元 1112 的放大增益, 第十一 NMOS 管 MN11 和第十二 NMOS 管 MN12 可以作为第二比较单元 1212 的负载, 以增加第二比较单元 1212 的放大增益。

[0099] 若第一采样时钟信号 clkN1 和第二采样时钟信号 clkN2 均为高电平, 第一 PMOS 管 MP1 和第二 PMOS 管 MP2 均关断, 第一比较单元 1112 和第二比较单元 1212 中均没有电流通过, 此时第九 NMOS 管 MN9、第十 NMOS 管 MN10、第十一 NMOS 管 MN11 以及第十二 NMOS 管 MN12 均导通, 以下拉第一节点 net1 处的电压、第二节点 net2 处的电压、第三节点 net3 处的电压以及第四节点 net4 处的电压, 实现对第一节点 net1、第二节点 net2、第三节点 net3 以及第四节点 net4 的复位, 以便于后续数据接收电路 100 进行下一次的数据接收以及处理。

[0100] 此外, 在无需考虑码间干扰对数据接收电路 100 的影响时, 使能信号 EnDfe 处于第二电平值期间, 第二采样时钟信号 clkN2 为逻辑高电平信号, 第二 PMOS 管 MP2 始终关断, 此时第十一 NMOS 管 MN11 以及第十二 NMOS 管 MN12 均导通, 以导通第三节点 net3 与地端之间的连接路径, 并导通第四节点 net4 与地端之间的连接路径, 实现对第三节点 net3 以及第四节点 net4 的复位, 此时第二比较单元 1212 中的电流几乎为 0, 有利于降低数据接收电路 100 的功耗。此时, 若第一采样时钟信号 clkN1 为低电平, 第一 PMOS 管 MP1 导通, 第九 NMOS 管 MN9 和第十 NMOS 管 MN10 均关断, 以保证第一比较电路 111 进行第一比较, 输出有效的第一信号对, 使得后续第二放大模块 102 可以固定接收第一信号对; 或者, 若第一采样时钟信号 clkN1 为高电平, 第一 PMOS 管 MP1 断开, 第九 NMOS 管 MN9 和第十 NMOS 管 MN10 均导通, 以下拉第一节点 net1 处的电压以及第二节点 net2 处的电压, 实现对第一节点 net1 以及第二节点 net2 的复位, 以便于后续数据接收电路 100 进行下一次的数据接收以及处理。

[0101] 在一些实施例, 继续参考图 5 和图 6, 时钟产生电路 151 可以包括: 第一与非门电路 1511, 第一与非门电路 1511 的一输入端接收原始采样时钟信号 clk, 另一输入端连接电源节点 Vcc, 输出端输出第一采样时钟信号 clkN1。

[0102] 可以理解的是, 第一与非门电路 1511 连接电源节点 Vcc 的输入端接收的是高电平。此时, 若第一与非门电路 1511 的另一个输入端接收的原始采样时钟信号 clk 为高电平, 则第一采样时钟信号 clkN1 为低电平; 若第一与非门电路 1511 的另一个输入端接收的原始采样时钟信号 clk 为低电平, 则第一采样时钟信号 clkN1 为高电平, 如此, 使得第一采样时钟信号 clkN1 的相位与原始采样时钟信号 clk 的相位相反, 因而, 在需要降低码间干扰对数据接收电路的影响时, 使得第一采样时钟信号 clkN1 的相位与第二采样时钟信号 clkN2 的相位同步, 第一放大模块 101 可以选择性进行第一比较或第二比较。

[0103] 在一些实施例, 继续参考图 5 和图 6, 时钟产生电路 151 可以包括: 第二与非门电路 1512, 第二与非门电路 1512 的一输入端接收原始采样时钟信号 clk, 另一输入端接收使能信号 EnDfe, 输出端输出第二采样时钟信号 clkN2。

[0104] 可以理解的是, 第一采样时钟信号 clkN1 的相位与原始采样时钟信号 clk 的相位相反, 在需要降低码间干扰对数据接收电路 100 的影响时, 使能信号 EnDfe 为高电平, 若原始采样时钟信号 clk 为高电平, 则第二与非门电路 1512 输出的第二采样时钟信号 clkN2 为低电平, 此时第一采样时钟信号 clkN1 也为低电平, 第一放大模块 101 基于第一互补反馈信 fbpN 和第二互补反馈信号 fbnN 选择性进行第一比较或第二比较中处理更优的一者, 后续第二放大模块 102 接收有效的第一信号对或者有效的第二信号对, 且另一组信号对无效, 以降低接收的数据信号 DQ 的码间干扰对数据接收电路 100 的影响; 若原始采样时钟信号 clk 为低电平, 则第二与非门电路 1512 输出的第二采样时钟信号 clkN2 为高电平, 此时第一采样时钟信号 clkN1 也为高电平, 则此时第一比较单元 1112 和第二比较单元 1212 均处于非工作状态, 可以通过第一复位单元 1113 将第一节点 net1 和第二节点 net2 处的电平值恢复为初始值, 并通过第二复位单元 1213 将第三节点 net3 和第四节点 net4 处的电平值恢复为初始值, 以便于后续数据接收电路 100 进行下一次数据接收以及处理。

[0105] 在无需考虑码间干扰对数据接收电路 100 的影响时, 使能信号 EnDfe 为低电平, 此时无论原始采样时钟信号 clk 为高电平还是低电平, 第二与非门电路 1512 输出的第二采样时钟信号 clkN2 均为高电平, 因而, 无论第一采样时钟信号 clkN1 为高电平还是低电平, 即无论第一比较单元 1112 是否进行第一比较, 第二比较电路 121 中第三节点 net3 与地端之间的连接路径以及第四节点 net4 与地端之间的连接路径均会导通, 使得此时第二比较电路 121 中的电流几乎为 0, 均不会进行第二比较。

[0106] 在一些实施例, 参考图 4, 第二放大模块 102 包括: 第一输入单元 112, 连接第七节点 net7 和

第八节点 net8, 被配置为, 接收第一信号对并进行第三比较, 并分别向第七节点 net7 和第八节点 net8 提供信号作为第三比较的结果; 第二输入单元 122, 连接第七节点 net7 和第八节点 net8, 被配置为, 接收第二信号对并进行第四比较, 并分别向第七节点 net7 和第八节点 net8 提供信号作为第四比较的结果; 锁存单元 132, 连接第七节点 net7 和第八节点 net8, 被配置为, 对第七节点 net7 的信号以及第八节点 net8 的信号进行放大并锁存, 并分别通过第一输出节点 net9 和第二输出节点 net10 输出第一输出信号 Vout 和第二输出信号 VoutN。

[00107] 可以理解的是, 在需要降低码间干扰对数据接收电路的影响时, 使能信号 EnDfe 处于第一电平值期间, 第一放大模块 101 基于第一互补反馈信号 fbpN 和第二互补反馈信号 fbnN 选择性地进行第一比较和第二比较, 输出的第一信号对和第二信号对中的一者有效, 另一者无效, 而且, 此时可以导通的输入单元接收的是有效的信号对, 且有效的信号对指的是: 若同时可以进行第一比较和第二比较, 能输出的电平值差异更大的一组信号对, 以提高第二放大模块 102 输出的第一输出信号 Vout 和第二输出信号 VoutN 的准确性。在无需考虑码间干扰对数据接收电路 100 的影响时, 使能信号 EnDfe 处于第二电平值期间, 第一放大模块 101 固定输出有效的第一信号对, 第一输入单元 112 响应于有效的第一信号对导通或关断, 第二输入单元 122 接收的信号对无效, 处于断开状态, 以降低数据接收电路的功耗。

[00108] 其中, 锁存单元 132 用于根据第七节点 net7 的信号以及第八节点 net8 的信号向第一输出节点 net9 输出高电平信号、向第二输出节点 net10 输出低电平信号, 或者向第一输出节点 net9 输出低电平信号、向第二输出节点 net10 输出高电平信号。

[00109] 在一些实施例中, 参考图 7 和图 8, 第一输入单元 112 可以包括: 第十三 NMOS 管 MN13, 第十三 NMOS 管 MN13 的漏极连接第七节点 net7, 源极连接地端, 栅极接收第一信号 Sn+; 第十四 NMOS 管 MN14, 第十四 NMOS 管 MN14 的漏极连接第八节点 net8, 源极连接地端, 栅极接收第二信号 Sp+; 第二输入单元 122 可以包括: 第十五 NMOS 管 MN15, 第十五 NMOS 管 MN15 的漏极连接第七节点 net7, 源极连接地端, 栅极接收第三信号 Sn-; 第十六 NMOS 管 MN16, 所述第十六 NMOS 管 MN16 的漏极连接第八节点 net8, 源极连接地端, 栅极接收第四信号 Sp-。

[00110] 在一个例子中, 第一放大模块 101 进行第一比较时, 若数据信号 DQ 的电平值高于第一参考信号 VR+ 的电平值, 则第一信号 Sn+ 的电平值低, 第二信号 Sp+ 的电平值高, 则第十四 NMOS 管 MN14 的导通程度大于第十三 NMOS 管 MN13 的导通程度, 使得第八节点 net8 处的电压小于第七节点 net7 处的电压。同理, 若数据信号 DQ 的电平值低于第一参考信号 VR+ 的电平值, 则第一信号 Sn+ 的电平值高, 第二信号 Sp+ 的电平值低, 第十三 NMOS 管 MN13 的导通程度大于第十四 NMOS 管 MN14 的导通程度, 使得第七节点 net7 处的电压小于第八节点 net8 处的电压。

[00111] 在另一个例子中, 第一放大模块 101 进行第二比较时, 若数据信号 DQ 的电平值高于第二参考信号 VR- 的电平值, 则第三信号 Sn- 的电平值低, 第四信号 Sp- 的电平值高, 则第十六 NMOS 管 MN16 的导通程度大于第十五 NMOS 管 MN15 的导通程度, 使得第八节点 net8 处的电压小于第七节点 net7 处的电压。同理, 若数据信号 DQ 的电平值低于第二参考信号 VR- 的电平值, 则第三信号 Sn- 的电平值高, 第四信号 Sp- 的电平值低, 第十五 NMOS 管 MN15 的导通程度大于第十六 NMOS 管 MN16 的导通程度, 使得第七节点 net7 处的电压小于第八节点 net8 处的电压。

[00112] 在一些实施例中, 继续参考图 7 和图 8, 锁存单元 132 可以包括: 第十七 NMOS 管 MN17 以及第七 PMOS 管 MP7, 第十七 NMOS 管 MP7 的栅极以及第七 PMOS 管 MP7 的栅极均连接第二输出节点 net10, 第十七 NMOS 管 MN17 的源极连接第七节点 net7, 第十七 NMOS 管 MN17 的漏极以及第七 PMOS 管 MP7 的漏极均连接第一输出节点 net9, 第七 PMOS 管 MP7 的源极连接电源节点 Vcc; 第十八 NMOS 管 MN18 以及第八 PMOS 管 MP8, 第十八 NMOS 管 MN18 的栅极以及第八 PMOS 管 MP8 的栅极均连接第一输出节点 net9, 第十八 NMOS 管 MN18 的源极连接第八节点 net8, 第十八 NMOS 管 MN18 的漏极以及第八 PMOS 管 MP8 的漏极均连接第二输出节点 net10, 第八 PMOS 管 MP8 的源极连接电源节点 Vcc。

[00113] 在一个例子中, 第一放大模块 101 进行第一比较时, 若数据信号 DQ 的电平值高于第一参考信号 VR+ 的电平值, 第一信号 Sn+ 的电平值低, 第二信号 Sp+ 的电平值高, 则第八节点 net8 处的电压小于第七节点 net7 处的电压, 从而使得第十八 NMOS 管 MN18 的导通程度大于第十七 NMOS 管 MN17 的导通程度, 第二输出节点 net10 处的电压小于第一输出节点 net9 处的电压, 则第八 PMOS 管 MP8 的导通程度小于第七 PMOS 管 MP7 的导通程度, 锁存单元 132 形成正反馈放大, 进一步使得第一输出节点 net9 输出的第一输出信号 Vout 为高电平, 第二输出节点 net10 输出的第二输出信号 VoutN 为低电平。同理, 若数据信号 DQ 的电平值低于第一参考信号 VR+ 的电平值, 则第七节点 net7 处的电压小于第八节点 net8 处的电压, 第一输出节点 net9 输出的第一输出信号 Vout 为低电平, 第二输出节点 net10 输出的第二输出信号 VoutN 为高电平。

[00114] 在另一个例子中, 第一放大模块 101 进行第二比较时, 数据信号 DQ 的电平值高于第二参考信号 VR- 的电平值时, 第三信号 Sn- 的电平值低, 第四信号 Sp- 的电平值高, 则第十六 NMOS 管 MN16 的导通程度大于第十五 NMOS 管 MN15 的导通程度, 使得第八节点 net8 处的电压小于第七节点 net7 处的电压, 从而使得第一输出节点 net9 输出的第一输出信号 Vout 为高电平, 第二输出节点 net10 输出的第二输出信号

VoutN 为低电平。同理, 数据信号 DQ 的电平值低于第二参考信号 VR-的电平值时, 第三信号 Sn-的电平值高, 第四信号 Sp-的电平值低, 此时第一输出节点 net9 输出的第一输出信号 Vout 为低电平, 第二输出节点 net10 输出的第二输出信号 VoutN 为高电平。

5 [00115] 在一些实施例中, 参考图 4, 第二放大模块 102 还可以包括: 第三复位单元 142, 连接在电源节点 Vcc 与锁存单元 132 的输出端之间, 被配置为, 对锁存单元 132 的输出端进行复位。如此, 在数据接收电路 100 完成一次数据信号 DQ、第一参考信号 VR+和第二参考信号 VR-的接收以及第一输出信号 Vout 和第二输出信号 VoutN 的输出之后, 可以通过第三复位单元 142 将第一输出节点 net9 和第二输出节点 net10 处的电平值恢复为初始值, 以便于后续数据接收电路 100 进行下一轮数据的接收以及处理。

10 [00116] 在一些实施例中, 参考图 7 和图 8, 第三复位单元 142 可以包括: 第九 PMOS 管 MP9, 连接在第一输出节点 net9 与电源节点 Vcc 之间, 第九 PMOS 管 MP9 的栅极接收原始采样时钟信号 clk; 第十 PMOS 管 MP10, 连接在第二输出节点 net10 与电源节点 Vcc 之间, 第十 PMOS 管 MP10 的栅极接收原始采样时钟信号 clk。

15 [00117] 在一个例子中, 第一采样时钟信号 clkN1 的相位与原始采样时钟信号 clk 的相位相反, 在需要降低码间干扰对数据接收电路 100 的影响时, 使能信号 EnDfe 为逻辑电平 1, 第二采样时钟信号 clkN2 的相位与原始采样时钟信号 clk 的相位相反, 在原始采样时钟信号 clk 为高电平时, 第一采样时钟信号 clkN1 和第二采样时钟信号 clkN2 均为低电平, 则第一 PMOS 管 MP1 和第二 PMOS 管 MP2 均导通, 此时第一放大模块 101 基于第一互补反馈信号 fbpN 和第二互补反馈信号 fbnN 选择性进行第一比较或第二比较中的一者, 使得第一放大模块 101 只能输出有效的第一信号对和有效的第二信号对中的一者, 例如, 在第一互补反馈信号 fbpN 为低电平, 且第二互补反馈信号 fbnN 为高电平时, 第一比较单元 121 进行第一比较, 第二比较单元 122 无法进行第二比较。此时, 第九 NMOS 管 MN9、第十 NMOS 管 MN10、第十一 NMOS 管 MN11、第十二 NMOS 管 MN12、第九 PMOS 管 MP9 和第十 PMOS 管 MP10 均关断。

20 [00118] 在原始采样时钟信号 clk 为低电平时, 第一采样时钟信号 clkN1 和第二采样时钟信号 clkN2 均为高电平, 则第一 PMOS 管 MP1 和第二 PMOS 管 MP2 均关断, 此时第九 NMOS 管 MN9、第十 NMOS 管 MN10、第十一 NMOS 管 MN11 以及第十二 NMOS 管 MN12 均导通, 以下拉第一节 net1 处的电压、第二节 net2 处的电压、第三节 net3 处的电压以及第四节 net4 处的电压, 实现对第一节 net1、第二节 net2、第三节 net3 以及第四节 net4 的复位, 第九 PMOS 管 MP9 和第十 PMOS 管 MP10 也导通, 以上拉第一输出节点 net9 处的电压以及第二输出节点 net10 处的电压, 实现对第一输出节点 net9 以及第二输出节点 net10 的复位。

25 [00119] 在无需考虑码间干扰对数据接收电路 100 的影响时, 使能信号 EnDfe 为逻辑电平 0, 此时无论原始采样时钟信号 clk 为高电平还是低电平, 第二采样时钟信号 clkN2 始终为高电平, 则第二 PMOS 管 MP2 始终关断, 以降低第二比较电路 121 中的电流, 从而降低数据接收电路 100 的功耗。

30 [00120] 在一些实施例中, 参考图 4, 数据接收电路 100 还可以包括: 第一反相电路 114, 被配置为, 接收第一反馈信号 fbp, 并输出第一互补反馈信号 fbpN; 第二反相电路 124, 被配置为, 接收第二反馈信号 fbn, 并输出第二互补反馈信号 fbnN。如此, 通过第一反相电路 114 将第一反馈信号 fbp 转换为第一互补反馈信号 fbpN 并提供给第二 NMOS 管 MN2 的栅极和第五 NMOS 管 MN5 的栅极, 通过第二反相电路 124 将第二反馈信号 fbn 转换为第二互补反馈信号 fbnN 并提供给第四 NMOS 管 MN4 的栅极和第七 NMOS 管 MN7 的栅极。

[00121] 在一些实施例中, 参考图 4 至图 6, 第一反相电路 114 可以包括第一反相器 1141; 第二反相电路 124 包括第二反相器 1241。

40 [00122] 需要说明的是, 参考图 9, 数据接收电路 100 以及与数据接收电路 100 连接的锁存电路 110 可以构成多个数据传输电路 120, 多个级联的数据传输电路 120 构成数据接收系统; 上一级数据传输电路 120 的输出信号作为下一级数据传输电路 120 的反馈信号 fb; 最后一级数据传输电路 120 的输出信号作为第一级数据传输电路 120 的反馈信号 fb。其中, 反馈信号 fb 包括第一反馈信号 fbp 和第二反馈信号 fbn。

45 [00123] 可以理解的是, 多个数据接收电路 100 级联时, 上一级的数据接收电路 100 输出的第一输出信号 Vout 和第二输出信号 VoutN 分别作为下一级的数据接收电路 100 的第一反馈信号 fbp 和第二反馈信号 fbn, 下一级的数据接收电路 100 基于接收的第一反馈信号 fbp 和第二反馈信号 fbn 选择性进行第一比较或者第二比较; 最后一级数据接收电路 100 输出的第一输出信号 Vout 和第二输出信号 VoutN 分别作为第一级数据接收电路 100 的第一反馈信号 fbp 和第二反馈信号 fbn, 第一级数据接收电路 100 基于接收的第一反馈信号 fbp 和第二反馈信号 fbn 选择性进行第一比较或者第二比较。

50 [00124] 具体的, 上一级数据接收电路 100 的第一输出节点 net9 输出的第一输出信号 Vout 作为下一级数据接收电路 100 的第一反馈信号 fbp, 上一级的数据接收电路 100 的第二输出节点 net10 输出的第二输出信号 VoutN 作为下一级数据接收电路 100 的第二反馈信号 fbn。然后, 下一级数据接收电路 100 中的第一反相器 1141 将第一反馈信号 fbp 转换为第一互补反馈信号 fbpN 并提供给本级的第二 NMOS 管 MN2 的栅极和第五 NMOS 管 MN5 的栅极, 下一级数据接收电路 100 中的第二反相器 1241 将第二反馈信号 fbn 转换为

第二互补反馈信号 fbnN 并提供给本级的第四 NMOS 管 MN4 的栅极和第七 NMOS 管 MN7 的栅极。

[00125] 可以理解的是, 若前一级数据接收电路 100 的第一输出节点 net9 输出的第一输出信号 Vout 为高电平, 第二输出节点 net10 输出的第二输出信号 VoutN 为低电平, 则下一级数据接收电路 100 接收的第一反馈信号 fbp 为高电平, 第二反馈信号 fbn 为低电平, 则第一互补反馈信号 fbpN 为低电平, 第二互补反馈信号 fbnN 为高电平。

[00126] 在一些实施例中, 参考图 4 和图 8, 第一反相电路 114 可以包括第三与非门 1142, 第三与非门 1142 的两个输入端分别接收第一反馈信号 fbp 以及使能信号 EnDfe, 输出端输出第一互补反馈信号 fbpN; 第二反相电路 124 可以包括第四与非门 1242, 第四与非门 1242 的两个输入端分别接收第二反馈信号 fbn 以及使能信号 EnDfe, 输出端输出第二互补反馈信号 fbnN。

[00127] 其中, 在使能信号 EnDfe 处于第一电平值期间, 即逻辑电平 1 时, 第三与非门 1142 接收的第一反馈信号 fbp 的电平值变化与输出的第一互补反馈信号 fbpN 的电平值变化相反, 即满足第一互补反馈信号 fbpN 与第一反馈信号 fbp 的电平相反, 而且, 第四与非门 1242 接收的第二反馈信号 fbn 的电平值变化与输出的第二互补反馈信号 fbnN 的电平值变化相反, 即满足第二互补反馈信号 fbnN 与第二反馈信号 fbn 的电平相反。

[00128] 需要说明的是, 在一个例子中, 参考图 4 和图 8, 多个数据接收电路 100 级联时, 上一级数据接收电路 100 的第一输出节点 net9 输出的第一输出信号 Vout 作为第一反馈信号 fbp, 且上一级数据接收电路 100 中的第三与非门 1142 接收该第一反馈信号 fbp 以及使能信号 EnDfe, 并向下一级数据接收电路 100 输出第一互补反馈信号 fbpN; 上一级的数据接收电路 100 的第二输出节点 net10 输出的第二输出信号 VoutN 作为第二反馈信号 fbn, 且上一级数据接收电路 100 中的第四与非门 1242 接收该第二反馈信号 fbn 以及使能信号 EnDfe, 并向下一级数据接收电路 100 输出第二互补反馈信号 fbnN。然后, 下一级数据接收电路 100 基于接收的第一互补反馈信号 fbpN 和第二互补反馈信号 fbnN 选择性地进行第一比较或者第二比较。可以理解的是, 第一互补反馈信号 fbpN 是经过第三与非门 1142 处理得到的, 有利于利用第三与非门 1142 增强第一互补反馈信号 fbpN 的驱动能力, 第二互补反馈信号 fbnN 是经过第四与非门 1242 处理得到的, 有利于利用第四与非门 1242 增强第二互补反馈信号 fbnN 的驱动能力, 如此, 在第一互补反馈信号 fbpN 和第二互补反馈信号 fbnN 从上一级传输至下一级, 传输路径较长时, 有利于通过第三与非门 1142 和第四与非门 1242 增强第一互补反馈信号 fbpN 和第二互补反馈信号 fbnN 对下一级数据传输电路 100 的驱动能力。

[00129] 在另一个例子中, 多个数据接收电路 100 级联时, 上一级的数据接收电路 100 输出的第一输出信号 Vout 和第二输出信号 VoutN 分别作为下一级的数据接收电路 100 的第一反馈信号 fbp 和第二反馈信号 fbn, 下一级数据接收电路 100 中的第三与非门 1142 将第一反馈信号 fbp 转换为第一互补反馈信号 fbpN 并提供给本级的第二 NMOS 管 MN2 的栅极和第五 NMOS 管 MN5 的栅极, 下一级数据接收电路 100 中的第四与非门 1242 将第二反馈信号 fbn 转换为第二互补反馈信号 fbnN 并提供给本级的第四 NMOS 管 MN4 的栅极和第七 NMOS 管 MN7 的栅极。而且, 第三与非门 1142 可以设置在靠近第二 NMOS 管 MN2 的栅极和第五 NMOS 管 MN5 的栅极处, 第四与非门 1242 可以设置在靠近第四 NMOS 管 MN4 的栅极和第七 NMOS 管 MN7 的栅极处。

[00130] 以下结合图 5、图 7 和表 1 对本公开一实施例提供的数据接收电路 100 的具体工作原理进行详细说明。

[00131] 在一个例子中, 多个数据接收电路 100 级联时, 上一级的数据接收电路 100 的第一输出节点 net9 输出的第一输出信号 Vout 作为下一级数据接收电路 100 的第一反馈信号 fbp, 上一级的数据接收电路 100 的第二输出节点 net10 输出的第二输出信号 VoutN 作为下一级数据接收电路 100 的第二反馈信号 fbn。

[00132] 以下以接收的第一参考信号 VR+ 的电平值大于第二参考信号 VR- 的电平值为示例进行说明。数据信号 DQ 为逻辑电平 1 时表征数据信号 DQ 的电平值大于第一参考信号 VR+ 的电平值, 数据信号 DQ 为逻辑电平 0 时表征数据信号 DQ 的电平值小于第二参考信号 VR- 的电平值。需要说明的是, 表 1 中用 1 表示高电平, 0 表示低电平。

[00133] 在需要考虑码间干扰对数据接收电路 100 的影响时, 使能信号 EnDfe 为高电平, 此时, 第一 NMOS 管 MN1 和第三 NMOS 管 MN3 导通, 第二 NMOS 管 MN2 响应于第一互补反馈信号 fbpN 导通或关断, 第四 NMOS 管 MN4 响应于第二互补反馈信号 fbnN 导通或关断。

[00134] 参考表 1, 若上一级数据接收电路 100 接收的数据信号 DQ1 为逻辑电平 1, 上一级数据接收电路 100 输出的第一输出信号 Vout, 即下一级数据接收电路 100 的第一反馈信号 fbp 为高电平, 上一级数据接收电路 100 输出的第二输出信号 VoutN, 即下一级数据接收电路 100 的第二反馈信号 fbn 为低电平, 此时, 第一互补反馈信号 fbpN 为低电平, 第二互补反馈信号 fbnN 为高电平, 第二 NMOS 管 MN2 关断, 第四 NMOS 管 MN4 导通, 第一放大模块 101 进行第一比较, 通过第一节点 net1 和第二节点 net2 输出第一信号 Sn+ 和第二信号 Sp+, 第一输入单元 112 用于对第一信号 Sn+ 和第二信号 Sp+ 进行第三比较, 以向第七节点 net7 和第八节点 net8 提供信号, 第二输入单元 122 中没有电流流过。

[00135] 当上一级数据接收电路 100 接收的数据信号 DQ1 为逻辑电平 1 时, 下一级数据接收电路 100 接收的数据信号 DQ2 分别为以下两种情形:

[00136] 情形一: 参考表 1, 下一级数据接收电路 100 接收的数据信号 DQ2 为逻辑电平 0 时, 与上一级数据接收电路 100 接收的数据信号 DQ1 的电平值差异较大, 存在较大的码间干扰, 此时, 下一级数据接收电路 100 中的第一放大模块 101 进行第一比较, 输出第一信号 Sn+ 和第二信号 Sp+, 使得第一输入单元 112 导通, 即下一级数据接收电路 100 中的第二放大模块 102 接收的是第一信号 Sn+ 和第二信号 Sp+。此时, 下一级数据接收电路 100 中, 数据信号 DQ2 为逻辑电平 0, 数据信号 DQ2 与第一参考信号 VR+ 之间的电压差大于数据信号 DQ2 与第二参考信号 VR- 之间的电压差, 若此时可以进行第二比较, 则进行第一比较得到的有效的第一信号对中信号的电平值差异, 相较于进行第二比较得到的有效的第二信号对中信号的电平值差异更大, 此时第二放大模块 102 接收有效的第一信号对更有利于输出准确性更高的第一输出信号 Vout 和第二输出信号 VoutN, 以达到降低接收的数据信号 DQ 的码间干扰对数据接收电路 100 的影响的目的, 且此时不进行第二比较有利于降低数据接收电路 100 的功耗。

[00137] 情形二: 参考表 1, 下一级数据接收电路 100 接收的数据信号 DQ2 为逻辑电平 1 时, 与上一级数据接收电路 100 接收的数据信号 DQ1 的电平值差异较小, 存在较小或者不存在码间干扰, 此时, 下一级数据接收电路 100 中的第一放大模块 101 进行第一比较, 输出第一信号 Sn+ 和第二信号 Sp+, 使得第一输入单元 112 导通, 即下一级数据接收电路 100 中的第二放大模块 102 接收的是第一信号 Sn+ 和第二信号 Sp+。

[00138] 参考表 1, 若上一级数据接收电路 100 接收的数据信号 DQ1 为逻辑电平 0, 上一级数据接收电路 100 输出的第一输出信号 Vout, 即下一级数据接收电路 100 的第一反馈信号 fbp 为低电平, 上一级数据接收电路 100 输出的第二输出信号 VoutN, 即下一级数据接收电路 100 的第二反馈信号 fbn 为高电平, 此时, 第一互补反馈信号 fbpN 为高电平, 第二互补反馈信号 fbnN 为低电平, 第二 NMOS 管 MN2 导通, 第四 NMOS 管 MN4 关断, 第一放大模块 101 进行第二比较, 通过第三节点 net3 和第四节点 net4 输出第三信号 Sn- 和第四信号 Sp-, 第二输入单元 122 用于对第三信号 Sn- 和第四信号 Sp- 进行第四比较, 以向第七节点 net7 和第八节点 net8 提供信号, 第一输入单元 112 中没有电流流过。

[00139] 当上一级数据接收电路 100 接收的数据信号 DQ1 为逻辑电平 0 时, 下一级数据接收电路 100 接收的数据信号 DQ2 分别为以下两种情形:

[00140] 情形三: 参考表 1, 下一级数据接收电路 100 接收的数据信号 DQ2 为逻辑电平 0 时, 与上一级数据接收电路 100 接收的数据信号 DQ1 的电平值差异较小, 存在较小或者不存在码间干扰, 此时, 下一级数据接收电路 100 中的第一放大模块 101 进行第二比较, 输出第三信号 Sn- 和第四信号 Sp-, 使得第二输入单元 122 导通, 即下一级数据接收电路 100 中的第二放大模块 102 接收的是第三信号 Sn- 和第四信号 Sp-。

[00141] 情形四: 参考表 1, 下一级数据接收电路 100 接收的数据信号 DQ2 为逻辑电平 1 时, 与上一级数据接收电路 100 接收的数据信号 DQ1 的电平值差异较大, 存在较大的码间干扰, 此时, 下一级数据接收电路 100 中第一放大模块 101 进行第二比较, 输出第三信号 Sn- 和第四信号 Sp-, 使得第二输入单元 122 导通, 即下一级数据接收电路 100 中的第二放大模块 102 接收的是第三信号 Sn- 和第四信号 Sp-。此时, 下一级数据接收电路 100 中, 数据信号 DQ2 为逻辑电平 1, 数据信号 DQ2 与第二参考信号 VR- 之间的电压差大于数据信号 DQ2 与第一参考信号 VR+ 之间的电压差, 若此时可以进行第一比较, 则进行第二比较得到的有效的第二信号对中信号的电平值差异, 相较于进行第一比较得到的有效的第一信号对中信号的电平值差异更大, 此时第二放大模块 102 接收有效的第二信号对更有利于输出准确性更高的第一输出信号 Vout 和第二输出信号 VoutN, 以达到降低接收的数据信号 DQ 的码间干扰对数据接收电路 100 的影响的目的, 且此时不进行第一比较有利于降低数据接收电路 100 的功耗。

表一

上一级数据传输电路接收的数据信号 DQ1	下一级数据传输电路接收的数据信号 DQ2	下一级数据传输电路接收的第一反馈信号 fbp	下一级数据传输电路接收的第二反馈信号 fbn	下一级数据传输电路中第二放大模块接收的信号对
1	0	1	0	Sn+, Sp+
1	1	1	0	Sn+, Sp+
0	0	0	1	Sn-, Sp-
0	1	0	1	Sn-, Sp-

[00142] 在无需考虑码间干扰对数据接收电路 100 的影响时, 使能信号 EnDfe 为低电平, 此时, 第一 NMOS 管 MN1 和第三 NMOS 管 MN3 均关断, 第一放大模块 101 固定进行第一比较, 输出第一信号 Sn+ 和第二信号 Sp+, 第一输入单元 112 响应于第一信号对导通或关断, 此时第二比较电路 121 输出的第三信号 Sn- 和第四信号 Sp- 均为逻辑低电平信号, 使得响应于第三信号 Sn- 和第四信号 Sp- 的第二输入单元 122 关断。

[00143] 需要说明的是, 上述关于高电平以及低电平的描述中, 高电平可以为大于或等于电源电压的电平

值,低电平可以为小于或等于接地电压的电平值。而且,高电平和低电平是相对而言的,高电平和低电平所包含的具体电平值范围可以根据具体器件确定,例如,对于NMOS管而言,高电平指的是能够使该NMOS管导通的栅极电压的电平值范围,低电平指的是能够使该NMOS管关断的栅极电压的电平值范围;对于PMOS管而言,低电平指的是能够使该PMOS管导通的栅极电压的电平值范围,高电平指的是能够使该PMOS管关断的栅极电压的电平值范围。此外,高电平可以是前述描述中的逻辑电平1,低电平可以是前述描述中的逻辑电平0。

[00144] 综上所述,利用使能信号EnDfe、第一反馈信号fbp和第二反馈信号fbn对第一放大模块101实现进一步的控制,以选择是否考虑数据接收电路100接收的数据的码间干扰对数据接收电路100的影响。譬如,在需要降低码间干扰对数据接收电路100的影响时,即使能信号EnDfe处于第一电平值期间,第一放大模块101响应于采样时钟信号clkN,并利用第一NMOS管MN1、第二NMOS管MN2、第三NMOS管MN3和第四NMOS管MN4以选择进行第一比较和第二比较中的一者,使得输出的第一信号对和第二信号对中的一者有效,另一者无效,且有效的信号对中信号电平值差异更大,以保证第二放大模块102接收到信号电平值差异更大的一对差分信号,此外,还利用NMOS管的低导通电阻以避免第一放大模块101同时进行第一比较和第二比较,以及提高第一放大模块101对数据信号DQ的处理效果和速度;在无需考虑码间干扰对数据接收电路100的影响的情况下,使能信号EnDfe处于第二电平值期间,第一放大模块101响应于采样时钟信号clkN仅进行第一比较,固定输出有效的第一信号对,以降低数据接收电路100的功耗。

[00145] 本公开另一实施例还提供一种数据接收系统,以下将结合附图对本公开另一实施例提供的数据接收系统进行详细说明。图9为本公开另一实施例提供的数据接收系统的功能框图。

[00146] 参考图9,数据接收系统包括:多个级联的数据传输电路120,每一数据传输电路120包括如本公开一实施例的数据接收电路100以及与数据接收电路100连接的锁存电路110;上一级数据传输电路120的输出信号作为下一级数据传输电路120的反馈信号fb;最后一级数据传输电路120的输出信号作为第一级数据传输电路120的反馈信号fb。其中,锁存电路110与数据接收电路100一一对应设置,锁存电路110用于将与该锁存电路110对应的数据接收电路100输出的信号锁存并输出。

[00147] 在一些实施例中,数据接收电路100响应于采样时钟信号接收数据;且数据接收系统包括4个级联的数据接收电路100,相邻级的数据接收电路100的采样时钟信号clkN的相位差为90°。如此采样时钟信号clkN的周期为数据端口接收的数据信号DQ的周期的2倍,有利于时钟布线并节省功耗。

[00148] 需要说明的是,图9中以数据接收系统包括4个级联的数据接收电路100,相邻级的数据接收电路100的采样时钟信号的相位差为90°为示例,在实际应用中,对数据接收系统中包括的级联的数据接收电路100的数量不做限制,相邻级的数据接收电路100的采样时钟信号的相位差可以基于级联的数据接收电路100的数量来合理设置。

[00149] 在一些实施例中,前一级的数据接收电路100的第二放大模块102输出的第一输出信号Vout和第二输出信号VoutN作为后一级数据接收电路100的反馈信号fb,如此,数据接收电路100的输出直接传输给下一级数据传输电路120,无需经过锁存电路110,有利于降低数据的传输延迟;或者,前一级的锁存电路110输出的信号作为后一级数据接收电路100的所述反馈信号fb。

[00150] 综上所述,本公开另一实施例提供的数据接收系统可以利用使能信号EnDfe、第一反馈信号fbp和第二反馈信号fbn对第一放大模块101实现进一步的控制,以选择是否考虑数据接收电路100接收的数据的码间干扰对数据接收电路100的影响。譬如,在需要降低码间干扰对数据接收电路100的影响时,即使能信号EnDfe处于第一电平值期间,第一放大模块101响应于采样时钟信号clkN并基于第一反馈信号fbp和第二反馈信号fbn选择进行第一比较还是第二比较,使得输出的第一信号对和第二信号对中的一者有效,另一者无效,且有效的信号对中信号电平值差异更大,以保证第二放大模块102接收到信号电平值差异更大的一对差分信号,此外,还利用NMOS管的低导通电阻以避免第一放大模块101同时进行第一比较和第二比较,以及提高第一放大模块101对数据信号DQ的处理效果和速度;在无需考虑码间干扰对数据接收电路100的影响的情况下,使能信号EnDfe处于第二电平值期间,第一放大模块101响应于采样时钟信号clkN仅进行第一比较,固定输出有效的第一信号对,以降低数据接收电路100的功耗。

[00151] 本公开又一实施例还提供一种存储装置,包括:多个数据端口;多个如前述任一项所述的数据接收系统,每一所述数据接收系统与一所述数据端口相对应。如此,在需要降低码间干扰对存储装置的影响时,存储装置中的每一个数据端口均可以通过数据接收系统对接收的数据信号DQ进行灵活调整,以及提高对第一输出信号Vout以及第二输出信号VoutN的调整能力,从而提高存储装置的接收性能;在无需考虑码间干扰对存储装置的影响时,使能信号EnDfe处于第二电平值期间,第一放大模块101响应于采样时钟信号clkN仅进行第一比较,固定输出有效的第一信号对,以降低存储装置的功耗。

[00152] 本领域的普通技术人员可以理解,上述各实施方式是实现本公开的具体实施例,而在实际应用中,可以在形式上和细节上对其作各种改变,而不偏离本公开实施例的精神和范围。任何本领域技术人员,在不脱离本公开实施例的精神和范围内,均可作各自更动与修改,因此本公开实施例的保护范围应当以权利要求限定的范围为准。

权 利 要 求 书

1. 一种数据接收电路, 包括:

第一放大模块, 被配置为, 接收使能信号、第一反馈信号、第二反馈信号、数据信号、第一参考信号
5 和第二参考信号, 在所述使能信号具有第一电平值期间, 响应于采样时钟信号并基于所述第一反馈信
号, 选择所述数据信号与所述第一参考信号进行第一比较并输出第一信号对作为所述第一比较的结果,
或者, 响应于所述采样时钟信号并基于所述第二反馈信号, 选择所述数据信号与所述第二参考信号进
行第二比较并输出第二信号对作为所述第二比较的结果; 在所述使能信号具有第二电平值期间, 响应
10 于所述采样时钟信号进行所述第一比较并输出所述第一信号对; 所述第一反馈信号与所述第二反馈信
号的电平相反, 所述第一信号对包括第一信号以及第二信号, 所述第二信号对包括第三信号以及第四
信号;

其中, 所述第一放大模块包括: 放大单元, 具有第一节点、第二节点、第三节点以及第四节点, 所述
第一节点输出所述第一信号, 所述第二节点输出所述第二信号, 所述第三节点输出所述第三信号, 所
述第四节点输出所述第四信号, 被配置为, 接收所述数据信号、所述第一参考信号以及所述第二参考
15 信号; 第一NMOS管以及第二NMOS管, 所述第一NMOS管的一端连接所述第一节点, 所述第一NMOS
管的另一端连接所述第二NMOS管的一端, 所述第二NMOS管的另一端连接所述第二节点, 所述第
一NMOS管与所述第二NMOS管中一者的栅极接收第一互补反馈信号, 另一者的栅极接收所述使能
信号, 所述第一互补反馈信号与所述第一反馈信号的电平相反; 第三NMOS管以及第四NMOS管,
所述第三NMOS管的一端连接所述第三节点, 所述第三NMOS管的另一端与所述第四NMOS管的一
端连接, 所述第四NMOS管的另一端连接所述第四节点, 所述第三NMOS管与所述第四NMOS管中
20 一者的栅极接收第二互补反馈信号, 另一者的栅极接收所述使能信号, 所述第二互补反馈信号与所
述第二反馈信号的电平相反;

第二放大模块, 被配置为, 接收所述第一放大模块的输出信号作为输入信号对, 对所述输入信号对的
电压差进行放大处理, 并输出第一输出信号和第二输出信号作为所述放大处理的结果。

2. 如权利要求1所述的数据接收电路, 其中, 所述第一放大模块还包括:

第五NMOS管以及第六NMOS管, 所述第五NMOS管的一端连接所述第一节点, 所述第五NMOS管
25 的另一端连接所述第六NMOS管的一端, 所述第六NMOS管的另一端连接所述第二节点, 所述第五
NMOS管与所述第六NMOS管中一者的栅极接收所述第一互补反馈信号, 另一者的栅极接收所述使能
信号。

3. 如权利要求2所述的数据接收电路, 其中, 所述第一NMOS管的栅极接收所述使能信号, 所述第二
NMOS管的栅极接收所述第一互补反馈信号, 其中, 所述第一NMOS管的沟道宽度大于所述第二NMOS
30 管的沟道宽度; 所述第五NMOS管的栅极接收所述第一互补反馈信号, 所述第六NMOS管的栅极接
收所述使能信号, 其中, 所述第五NMOS管的沟道宽度小于所述第六NMOS管的沟道宽度。4. 如权利要求2所述的数据接收电路, 其中, 所述第五NMOS管的沟道宽度等于所述第二NMOS管的
沟道宽度; 所述第六NMOS管的沟道宽度等于所述第一NMOS管的沟道宽度; 所述第一NMOS管的
35 沟道长度、所述第二NMOS管的沟道长度、所述第五NMOS管的沟道长度和所述第六NMOS管的沟
道长度均相等。

5. 如权利要求1所述的数据接收电路, 其中, 所述第一放大模块还包括:

第七NMOS管以及第八NMOS管, 所述第七NMOS管的一端连接所述第三节点, 所述第七NMOS管
40 的另一端连接所述第八NMOS管的一端, 所述第八NMOS管的另一端连接所述第四节点, 所述第七
NMOS管与所述第八NMOS管中一者的栅极接收所述第二互补反馈信号, 另一者的栅极接收所述使能
信号。

6. 如权利要求5所述的数据接收电路, 其中, 所述第三NMOS管的栅极接收所述使能信号, 所述第四
NMOS管的栅极接收所述第二互补反馈信号, 其中, 所述第三NMOS管的沟道宽度大于所述第四NMOS
45 管的沟道宽度; 所述第七NMOS管的栅极接收所述第二互补反馈信号, 所述第八NMOS管的栅极接
收所述使能信号, 其中, 所述第七NMOS管的沟道宽度小于所述第八NMOS管的沟道宽度。7. 如权利要求5所述的数据接收电路, 其中, 所述第七NMOS管的沟道宽度等于所述第四NMOS管的
沟道宽度; 所述第八NMOS管的沟道宽度等于所述第三NMOS管的沟道宽度; 所述第三NMOS管的
沟道长度、所述第四NMOS管的沟道长度、所述第七NMOS管的沟道长度和所述第八NMOS管的沟
道长度均相等。8. 如权利要求1所述的数据接收电路, 其中, 所述采样时钟信号包括第一采样时钟信号和第二采样时
50 钟信号; 所述放大单元包括:

第一比较电路,具有所述第一节点和所述第二节点,被配置为,接收所述数据信号以及所述第一参考信号并响应于所述第一采样时钟信号进行所述第一比较;

- 5 时钟产生电路,被配置为,接收所述使能信号以及原始采样时钟信号,并输出所述第二采样时钟信号,其中,在所述使能信号具有所述第一电平值期间,所述第二采样时钟信号的相位与所述原始采样时钟信号的相位相反,在所述使能信号具有所述第二电平值期间,所述第二采样时钟信号为逻辑高电平信号;

- 10 第二比较电路,具有所述第三节点和所述第四节点,被配置为,接收所述数据信号以及所述第二参考信号,并在所述使能信号具有所述第一电平值期间,响应于所述第二采样时钟信号进行所述第二比较;在所述使能信号具有所述第二电平值期间导通所述第三节点与地端之间的连接路径,并导通所述第四节点与地端之间的连接路径。

9. 如权利要求8所述的数据接收电路,其中,所述第一比较电路包括:

第一电流源,被配置为,连接在电源节点与第五节点之间,响应于所述第一采样时钟信号向所述第五节点提供电流;

- 15 第一比较单元,连接所述第一节点、所述第二节点以及所述第五节点,被配置为,接收所述数据信号以及所述第一参考信号,当所述第一电流源向所述第五节点提供电流时进行所述第一比较,并输出所述第一信号和所述第二信号;

第一复位单元,连接所述第一节点以及所述第二节点,被配置为,响应于所述第一采样时钟信号对所述第一节点和所述第二节点进行复位;

所述第二比较电路包括:

- 20 第二电流源,被配置为,连接在电源节点与第六节点之间,响应于所述第二采样时钟信号向所述第六节点提供电流;

第二比较单元,连接所述第三节点、所述第四节点以及所述第六节点,被配置为,接收所述数据信号以及所述第二参考信号,当所述第二电流源向所述第六节点提供电流时进行所述第二比较,并输出所述第三信号和所述第四信号;

- 25 第二复位单元,连接在所述第三节点与所述第四节点之间,被配置为,响应于所述第二采样时钟信号对所述第三节点和所述第四节点进行复位。

10. 如权利要求9所述的数据接收电路,其中,所述第一电流源包括:

第一PMOS管,连接在所述电源节点与所述第五节点之间,所述第一PMOS管的栅极接收所述第一采样时钟信号;

- 30 所述第二电流源包括:

第二PMOS管,连接在所述电源节点与所述第六节点之间,所述第二PMOS管的栅极接收所述第二采样时钟信号。

11. 如权利要求9所述的数据接收电路,其中,所述第一比较单元包括:

- 35 第三PMOS管,连接在所述第一节点与所述第五节点之间,所述第三PMOS管的栅极接收所述数据信号;

第四PMOS管,连接在所述第二节点与所述第五节点之间,所述第四PMOS管的栅极接收所述第一参考信号;

所述第二比较单元包括:

- 40 第五PMOS管,连接在所述第三节点与所述第六节点之间,所述第五PMOS管的栅极接收所述数据信号;

第六PMOS管,连接在所述第四节点与所述第六节点之间,所述第六PMOS管的栅极接收所述第二参考信号。

12. 如权利要求9所述的数据接收电路,其中,所述第一复位单元包括:

第九NMOS管,连接在所述第一节点与地端之间,栅极接收所述第一采样时钟信号;

- 45 第十NMOS管,连接在所述第二节点与所述地端之间,栅极接收所述第一采样时钟信号;

所述第二复位单元包括:

第十一NMOS管,连接在所述第三节点与地端之间,栅极接收所述第二采样时钟信号;

第十二 NMOS 管, 连接在所述第四节点与地端之间, 栅极接收所述第二采样时钟信号。

13. 如权利要求 8 所述的数据接收电路, 其中, 所述时钟产生电路包括:
第一与非门电路, 所述第一与非门电路的一输入端接收所述原始采样时钟信号, 另一输入端连接电源节点, 输出端输出所述第一采样时钟信号。
- 5 14. 如权利要求 8 所述的数据接收电路, 其特征在于, 所述时钟产生电路包括:
第二与非门电路, 所述第二与非门电路的一输入端接收所述原始采样时钟信号, 另一输入端接收所述使能信号, 输出端输出所述第二采样时钟信号。
15. 如权利要求 1 所述的数据接收电路, 其中, 所述第二放大模块包括:
10 第一输入单元, 连接第七节点和第八节点, 被配置为, 接收所述第一信号对并进行第三比较, 并分别向所述第七节点和所述第八节点提供信号作为所述第三比较的结果;
第二输入单元, 连接所述第七节点和所述第八节点, 被配置为, 接收所述第二信号对并进行第四比较, 并分别向所述第七节点和所述第八节点提供信号作为所述第四比较的结果;
15 锁存单元, 连接所述第七节点和所述第八节点, 被配置为, 对所述第七节点的信号以及所述第八节点的信号进行放大并锁存, 并分别通过第一输出节点和第二输出节点输出所述第一输出信号和所述第二输出信号。
16. 如权利要求 15 所述的数据接收电路, 其中, 所述第一输入单元包括:
第十三 NMOS 管, 所述第十三 NMOS 管的漏极连接所述第七节点, 源极连接地端, 栅极接收所述第一信号;
20 第十四 NMOS 管, 所述第十四 NMOS 管的漏极连接所述第八节点, 源极连接地端, 栅极接收所述第二信号;
所述第二输入单元包括:
第十五 NMOS 管, 所述第十五 NMOS 管的漏极连接所述第七节点, 源极连接地端, 栅极接收所述第三信号;
25 第十六 NMOS 管, 所述第十六 NMOS 管的漏极连接所述第八节点, 源极连接地端, 栅极接收所述第四信号。
17. 如权利要求 15 所述的数据接收电路, 其中, 所述锁存单元包括:
第十七 NMOS 管以及第七 PMOS 管, 所述第十七 NMOS 管的栅极以及所述第七 PMOS 管的栅极均连接所述第二输出节点, 所述第十七 NMOS 管的源极连接所述第七节点, 所述第十七 NMOS 管的漏极以及所述第七 PMOS 管的漏极均连接所述第一输出节点, 所述第七 PMOS 管的源极连接电源节点;
30 第十八 NMOS 管以及第八 PMOS 管, 所述第十八 NMOS 管的栅极以及所述第八 PMOS 管的栅极均连接所述第一输出节点, 所述第十八 NMOS 管的源极连接所述第八节点, 所述第十八 NMOS 管的漏极以及所述第八 PMOS 管的漏极均连接所述第二输出节点, 所述第八 PMOS 管的源极连接所述电源节点。
18. 如权利要求 17 所述的数据接收电路, 其中, 所述第二放大模块还包括:
35 第三复位单元, 连接在电源节点与所述锁存单元的输出端之间, 被配置为, 对所述锁存单元的输出端进行复位。
19. 如权利要求 18 所述的数据接收电路, 其中, 所述第三复位单元包括:
第九 PMOS 管, 连接在所述第一输出节点与电源节点之间, 所述第九 PMOS 管的栅极接收原始采样时钟信号;
40 第十 PMOS 管, 连接在所述第二输出节点与所述电源节点之间, 所述第十 PMOS 管的栅极接收所述原始采样时钟信号。
20. 如权利要求 1 所述的数据接收电路, 还包括:
第一反相电路, 被配置为, 接收所述第一反馈信号, 并输出所述第一互补反馈信号;
第二反相电路, 被配置为, 接收所述第二反馈信号, 并输出所述第二互补反馈信号。
21. 如权利要求 20 所述的数据接收电路, 其中, 所述第一反相电路包括第一反相器; 所述第二反相电路包括第二反相器。
- 45 22. 如权利要求 20 所述的数据接收电路, 其中, 所述第一反相电路包括第三与非门, 所述第三与非门的两

个输入端分别接收所述第一反馈信号以及所述使能信号，输出端输出所述第一互补反馈信号；所述第二反相电路包括第四与非门，所述第四与非门的两个输入端分别接收所述第二反馈信号以及所述使能信号，输出端输出所述第二互补反馈信号。

23. 一种数据接收系统，包括：
- 5 多个级联的数据传输电路，每一所述数据传输电路包括如权利要求 1-22 任一项所述的数据接收电路以及与所述数据接收电路连接的锁存电路；
- 上一级所述数据传输电路的输出信号作为下一级所述数据传输电路的所述反馈信号；
- 最后一级所述数据传输电路的输出信号作为第一级所述数据传输电路的所述反馈信号。
- 10 24. 如权利要求 23 所述的数据接收系统，其中，所述数据接收电路响应于采样时钟信号接收数据；且所述数据接收系统包括 4 个级联的所述数据传输电路，相邻级的所述数据接收电路的所述采样时钟信号的相位差为 90° 。
25. 如权利要求 23 所述的数据接收系统，其中，前一级的所述数据接收电路的所述第二放大模块输出的所述第一输出信号和所述第二输出信号作为后一级所述数据接收电路的所述反馈信号；或者，前一级的所述锁存电路输出的信号作为后一级所述数据接收电路的所述反馈信号。
- 15 26. 一种存储装置，包括：
- 多个数据端口；
- 多个如权利要求 23 至 25 任一项所述的数据接收系统，每一所述数据接收系统与一所述数据端口相对应。