

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 12 月 1 日 (01.12.2005)

PCT

(10) 国際公開番号
WO 2005/114724 A1

(51) 国際特許分類⁷: H01L 21/768,
C08G 73/22, C08L 79/04, H01L 21/312

株式会社内 Tokyo (JP). 朝隈 純俊 (ASAKUMA, Sumi-
toshi) [JP/JP]; 〒1400002 東京都品川区東品川 2 丁目
5 番 8 号 住友ベークライト株式会社内 Tokyo (JP).

(21) 国際出願番号: PCT/JP2005/009259

(74) 代理人: 大淵 美千栄, 外 (OFUCHI, Michie et al.); 〒
1670051 東京都杉並区荻窪 5 丁目 2 番 1 3 号 荻窪
TMビル 2 階 Tokyo (JP).

(22) 国際出願日: 2005 年 5 月 20 日 (20.05.2005)

(25) 国際出願の言語: 日本語

(81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR,
LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ,
NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC,
SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2004-152045 2004 年 5 月 21 日 (21.05.2004) JP

(84) 指定国 (表示のない限り、全ての種類の広域保護
が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,
BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,
IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

(71) 出願人 (米国を除く全ての指定国について): JSR
株式会社 (JSR CORPORATION) [JP/JP]; 〒1048410
東京都中央区築地 5 丁目 6 番 1 0 号 Tokyo (JP). 住
友ベークライト株式会社 (SUMITOMO BAKELITE
CO., LTD.) [JP/JP]; 〒1400002 東京都品川区東品川 2 丁
目 5 番 8 号 Tokyo (JP).

(72) 発明者; および

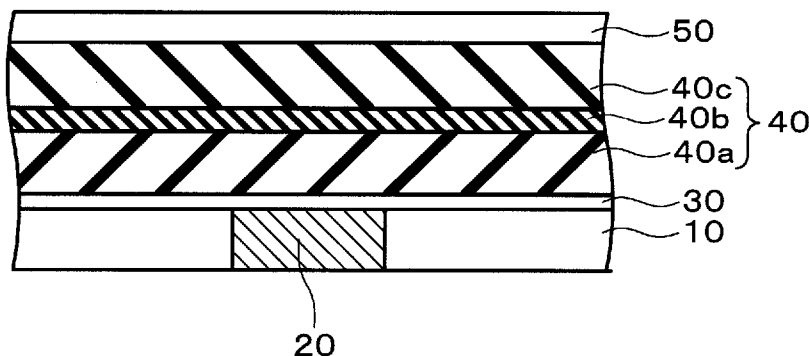
(75) 発明者/出願人 (米国についてのみ): 白土 香織 (SHI-
RATO, Kaori) [JP/JP]; 〒1048410 東京都中央区築地
5 丁目 6 番 1 0 号 JSR株式会社内 Tokyo (JP). 塩田
淳 (SHIOTA, Atsushi) [JP/JP]; 〒1048410 東京都中央区
築地 5 丁目 6 番 1 0 号 JSR株式会社内 Tokyo (JP).
多田 昌弘 (TADA, Masahiro) [JP/JP]; 〒1400002 東京
都品川区東品川 2 丁目 5 番 8 号 住友ベークライト

添付公開書類:
— 国際調査報告書

2 文字コード及び他の略語については、定期発行される
各 PCT ガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

(54) Title: LAMINATED BODY AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 積層体および半導体装置



(57) Abstract: A laminated body
includes a copper wiring layer (20)
arranged in a prescribed pattern on
an upper part of a semiconductor
layer, a protection layer (30) which
is arranged on the copper wiring
layer (20) and is composed of a
polybenzoxazole resin layer, and an
insulating layer (40) arranged on the
protection layer.

(57) 要約: 本発明の積層体は、
半導体層の上に設けられ、
所定のパターンを有する銅配線

(20) と、前記銅配線層 (20) の上に設けられたポリベンゾオキサゾール樹脂層からなる保護層 (30) と、
前記保護層の上に設けられた絶縁層 (40) と、を含む。

WO 2005/114724 A1