

权 利 要 求

1. 一种写操作辅助电路，其特征在于，包括：预充电电路、驱动信号电路、可编程延时电路、电荷泵、写驱动电路以及列选择器，其中：
所述预充电电路，预充电信号输出端与所述驱动信号电路的预充电信号输入端耦接，第一电压输出端与第一位线耦接，第二电压输出端与第二位线耦接；

所述驱动信号电路，第一输入端与所述第一位线耦接，第二输入端与所述第二位线耦接，第一输出端与所述可编程延时电路的第一输入端耦接，第二输出端与所述可编程延时电路的第二输入端耦接；

所述可编程延时电路，输出端与所述电荷泵的第一端耦接；

所述电荷泵，第二端与所述写驱动电路的地端耦接；

所述写驱动电路，第一输入端输入第一电平，第二输入端输入第二电平，第一输出端与所述列选择器的第一输入端耦接，第二输出端与所述列选择器的第二输入端耦接；所述第一电平与所述第二电平反相；

所述列选择器，第一输出端与所述第一位线耦接，第二输出端与所述第二位线耦接。

2. 如权利要求 1 所述的写操作辅助电路，其特征在于，所述预充电电路，包括：第一 PMOS 管、第二 PMOS 管以及第三 PMOS 管，其中：

所述第一 PMOS 管，源极与电压源耦接，栅极与所述第二 PMOS 管的栅极、所述第三 PMOS 管的栅极耦接均耦接，漏极与所述第三 PMOS 管的源极耦接；

所述第二 PMOS 管，源极与所述电压源耦接，栅极与所述第三 PMOS 管的栅极、所述第一 PMOS 管的栅极均耦接，漏极与所述第三 PMOS 管的漏极耦接；

所述第三 PMOS 管，源极与所述第一 PMOS 管的漏极耦接，栅极与

- 14 -

所述第一 PMOS 管的栅极、第二 PMOS 管的栅极均耦接，漏极与所述第二 PMOS 管的漏极耦接。

3. 如权利要求 1 所述的写操作辅助电路，其特征在于，所述驱动信号电路包括：第一传输门、第二传输门、第一反相器以及第二反相器，其中：

所述第一传输门，输入端与第一位线耦接，输出端与所述可编程延时电路的第一输入端耦接，第一电压输入端与所述第一反相器的输出端耦接，第二电压输入端与所述第二反相器的输出端耦接；

所述第二传输门，输入端与第二位线耦接，输出端与所述可编程延时电路的第二输入端耦接，第一电压输入端与所述第一反相器的输出端耦接，第二电压输入端与所述第二反相器的输出端耦接；

所述第一反相器，输入端与所述预充电电路的预充电信号输出端耦接，输出端与所述第二反相器的输入端耦接；

所述第二反相器，输出端与所述第一传输门的第二电压输入端、所述第二传输门的第二电压输入端耦接。

4. 如权利要求 1 所述的写操作辅助电路，其特征在于，所述电荷泵包括：电容以及第一 NMOS 管，其中：

所述电容，第一端为所述电荷泵的第一端，第二端为所述电荷泵的第二端；

所述第一 NMOS 管，栅极与所述电容的第一端耦接，漏极与所述电容的第二端耦接，源极与地耦接。

5. 如权利要求 1 所述的写操作辅助电路，其特征在于，所述可编程延时电路包括：与非门电路、第三反相器以及延时器，其中：

所述与非门电路的第一输入端为所述可编程延时电路的第一输入端，所述与非门电路的第二输入端为所述可编程延时电路的第二输入端，所述与非门电路的输出端与所述第三反相器的输入端耦接；

所述第三反相器的输出端与所述延时器的输入端耦接；

所述延时器的输出端为所述可编程延时电路的输出端，与所述电荷泵的第一端耦接。

6. 如权利要求 5 所述的写操作辅助电路，其特征在于，所述可编程延时电路还包括：第四反相器以及第五反相器，其中：

所述第四反相器，输入端与所述延时器的输出端耦接，输出端与所述第五反相器的输入端耦接；

所述第五反相器，输出端与所述电荷泵的第一端耦接。

7. 如权利要求 5 所述的写操作辅助电路，其特征在于，所述第一位线的负载能力是所述延时器的负载能力的 N 倍；所述第二位线的负载能力是所述延时器的负载能力的 N 倍。

8. 如权利要求 1 所述的写操作辅助电路，其特征在于，所述写驱动电路，包括：第六反相器以及第七反相器，其中：

所述第六反相器，输入端输入第一电平，输出端为所述写驱动电路的第一输出端；

所述第七反相器，输入端输入第二电平，输出端与所述写驱动电路的第二输出端；

所述第六反相器、所述第七反相器的接地端与所述电荷泵的第二端耦接。

9. 如权利要求 1 所述的写操作辅助电路，其特征在于，所述列选择器，包括第二 NMOS 管以及第三 NMOS 管，其中：

所述第二 NMOS 管，源极为所述列选择器的第一输入端，栅极与所述第三 NMOS 管的栅极耦接且输入列选择信号，漏极为所述列选择器的第一输出端；

所述第三 NMOS 管，源极为所述列选择器的第二输入端，栅极与所

—16—

述第二 NMOS 管的栅极耦接且输入所述列选择信号，漏极为所述列选择器的第二输出端。