(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2003 年12 月11 日 (11.12.2003)

PCT

(10) 国際公開番号
WO 03/102909 A1

(51) 国際特許分類[7]: G09G 3/36, 3/20, H01L 29/786

(21) 国際出願番号: PCT/JP03/06813

(22) 国際出願日: 2003 年5 月30 日 (30.05.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2002-159039 2002 年5 月31 日 (31.05.2002) JP

(71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都 品川区 北品川6丁目7番35号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 木田 芳利 (KIDA,Yoshitoshi) [JP/JP]; 〒141-0001 東京都 品川区 北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP). 仲島 義晴 (NAKAJIMA,Yoshiharu) [JP/JP]; 〒141-0001 東京都 品川区 北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP). 前川 敏一 (MAEKAWA,Toshikazu) [JP/JP]; 〒141-0001 東京都 品川区 北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).

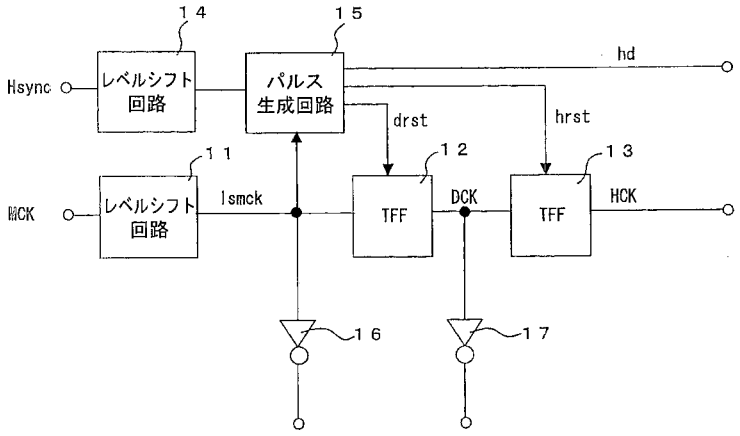
(74) 代理人: 中村 友之 (NAKAMURA,Tomoyuki); 〒105-0001 東京都 港区 虎ノ門1丁目2番3号 虎ノ門第一ビル9階 三好内外国特許事務所内 Tokyo (JP).

(81) 指定国 (国内): CN, KR, SG, US.

[続葉有]

(54) Title: LOGIC CIRCUIT, TIMING GENERATOR CIRCUIT, DISPLAY DEVICE, PORTABLE TERMINAL

(54) 発明の名称: ロジック回路、タイミング発生回路、表示装置および携帯端末



14...LEVEL SHIFT CIRCUIT
11...LEVEL SHIFT CIRCUIT
15...PULSE GENERATOR CIRCUIT

(57) Abstract: Conventionally, if a buffer is composed of a transistor having a large variation of element characteristics, the timing of an input clock pulse easily shifts from that of a reset pulse, failure may occur when the timing shift is large, and hence the operation margin with respect to the element characteristic variation becomes small. A timing generator circuit according to the invention is fabricated on an insulating substrate and has two TFFs (12, 13) for generating a dot clock DCK and a horizontal clock HCK having different frequencies in synchronism with a master clock MCK inputted from outside of the substrate. Separate reset pulses drst, hrst are generated by a pulse generator circuit (15) to reset the two TFFs (12, 13) at different timings. As a result, even if the variation of the element characteristics is large and even if the circuits are constituted of TFFs having rough process rules, the operation margin can be large.

(57) 要約: バッファを素子特性のばらつきが大きいトランジスタで形成すると、入力クロックパルスとリセットパルスとのタイミングのずれが生じやすくなり、そのタイミングのずれが大きくなると誤動作を引き起こし、素子特性のばらつきに対して動作マージンが少なくなる。絶縁基板上に形成され、基板外部から入力されるマスタークロックＭＣＫに同期して周波数が異なるドットクロ

[続葉有]

WO 03/102909 A1

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

ックＤＣＫおよび水平クロックＨＣＫを生成する２つのＴＦＦ（１２，１３）を有するタイミング発生回路において、２つのＴＦＦ（１２，１３）に対してパルス生成回路１５で別々のリセットパルスｄｒｓｔ，ｈｒｓｔを生成し、別々のタイミングでリセット動作を行うことで、素子特性のばらつきが大きく、プロセスルールが粗いＴＦＴを用いて各回路を形成した場合であっても、動作マージンを大きくとれるようにする。