

校准电路、存储器以及校准方法

相关申请的交叉引用

本申请要求在 2020 年 10 月 28 日提交中国专利局、申请号为 202011173755.3、申请名称为“校准电路、存储器以及校准方法”的中国专利
5 申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请实施例涉及但不限于一种校准电路、存储器以及校准方法。

背景技术

半导体存储器被用于许多电子系统中，以存储可取回的数据。随着对电子
10 系统更快、具有更大数据容量和消耗更少电力的需求不断增长，为了满足不断变化的需求，半导体存储器可能需要更快的速度，存储更多的数据并使用更少的电力。

通常的，通过向存储器提供命令 (commands)、存储地址 (memory address) 以及时钟 (clocks) 来控制半导体存储器，且各种命令、存储地址以及时钟可以
15 由存储控制器 (memory controller) 提供。这三类信号可以控制存储器执行各种存储操作，例如从存储器中读取数据的读取操作，以及将数据存储到存储器的写入操作。基于与存储器接收到的“相关命令”相关的已知时序，在存储器与存储控制器之间传输数据。具体地，可以向存储器提供用于对命令和地址进行计时的系统时钟 (system clock)，进一步地，还可以向存储器提供数据时钟 (data
20 clock)，该数据时钟用于作为读取数据的时序以及写入数据的时序。此外，存储器还可以向控制器提供时钟，以作为向控制器传输数据的时序。提供给存储器的外部时钟用于产生内部时钟，这些内部时钟在存储器的存储操作期间控制各种内部电路的时序。在存储器操作期间内部电路的时序很关键，并且内部时钟的偏差可能会导致错误的操作，时钟的偏差包括占空比失真，即时钟信号的

占空比偏离预设占空比。

因此，存储器需具备 DCA 功能以及 DCM 功能，即存储器包括占空比调节（DCA，Duty Cycle Adjust）电路以及占空比监测（DCM，Duty Cycle Monitor）电路，占空比调节电路可以用于调节外部时钟生成的内部时钟的占空比，占空比监测电路可用于监测时钟的占空比是否偏离预设占空比。

发明内容

本申请实施例提供一种校准电路，包括：差分输入电路，用于接收第一振荡信号和第二振荡信号，所述第一振荡信号与所述第二振荡信号的频率相同且相位相反，所述第一振荡信号的占空比和所述第二振荡信号的占空比在第一预设范围内，所述差分输入电路输出第一内部信号和第二内部信号；比较单元，连接所述差分输入电路的输出端，并对所述第一内部信号的占空比和/或所述第二内部信号的占空比进行比较；逻辑单元，连接所述比较单元和所述差分输入电路，用于根据所述比较单元的输出结果对所述差分输入电路进行控制，使得所述第一内部信号的占空比和/或所述第二内部信号的占空比到达第二预设范围内。

本申请实施例还提供一种存储器，包括上述的校准电路。

本申请实施例还提供一种校准方法，包括：差分输入电路接收第一振荡信号和第二振荡信号，所述第一振荡信号与所述第二振荡信号的频率相同且相位相反，所述第一振荡信号和第二振荡信号的占空比在第一预设范围内，所述差分输入电路输出第一内部信号和第二内部信号；比较单元接收所述第一内部信号和第二内部信号，并对所述第一内部信号的占空比或第二内部信号的占空比进行比较；逻辑单元根据所述比较单元的输出结果对所述差分输入电路进行控制，使得所述第一内部信号的占空比和/或第二内部信号的占空比到达第二预设范围内。

附图说明

一个或多个实施例通过与之对应的附图中的图片进行示例性说明，这些示例性说明并不构成对实施例的限定，附图中具有相同参考数字标号的元件表示为类似的元件，除非有特别申明，附图中的图不构成比例限制。

5 图 1 为本申请一实施例提供的校准电路的功能框图；

图 2 为本申请一实施例提供的校准电路的结构示意图；

图 3 为本申请另一实施例提供的校准方法的流程示意图。

具体实施方式

由背景技术可知，目前存储器的工作频率越来越快，因此对输入信号的占空比要求越来越严格，利用符合需求的 DCA 功能以及 DCM 功能对输入信号的占空比的校准和监测很重要。此外，存储器中具有接收外部时钟信号以产生内部时钟信号的差分输入电路，差分输入电路固有的电路特性可能会造成内部时钟信号的占空比偏差。若不及时将差分输入电路对占空比偏差的影响进行检测并校准，则会影响存储器的读写性能。

15 为解决上述问题，本申请实施提供一种校准电路，占空比在第一预设范围的第一振荡信号和第二振荡信号经由差分输入电路后，输出第一内部信号和第二内部信号，该第一内部信号和第二内部信号可作为对存储器进行测试时采用的实际输入信号；通过比较单元对第一内部信号和第二内部信号的占空比的检测，以及逻辑单元基于检测结果对差分输入电路进行控制，保证第一内部信号的占空比和第二内部信号的占空比能够到达且稳定在第二预设范围内，使用该
20 第一内部信号和第二内部信号进行测试，能够改善测试结果的准确性。此外，该校准电路还具有 DCM 功能和 DCM 功能，能够对差分输入电路的工作状态进行校准，减小甚至避免差分输入电路对占空比偏差造成的影响，改善具有该校准电路的存储器的读写性能。

25 为使本申请实施例的目的、技术方案和优点更加清楚，下面将结合附图对本申请的各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，

在本申请各实施例中，为了使读者更好地理解本申请而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本申请所要求保护的技术方案。

图 1 为本申请一实施例提供的校准电路的功能框图，图 2 为本申请一实施例提供的校准电路的结构示意图。

参考图 1 及图 2，本实施例中，校准电路包括：差分输入电路 101，用于接收第一振荡信号 OSC+ 和第二振荡信号 OSC-，第一振荡信号 OSC+ 与第二振荡信号 OSC- 的频率相同且相位相反，第一振荡信号 OSC+ 的占空比和第二振荡信号 OSC- 的占空比在第一预设范围内，差分输入电路 101 输出第一内部信号 IBO+ 和第二内部信号 IBO-；比较单元 102，连接差分输入电路 101 的输出端，并对第一内部信号 IBO+ 的占空比和/或第二内部信号 IBO- 的占空比进行比较；逻辑单元 103，连接比较单元 102 和差分输入电路 101，用于根据比较单元 102 的输出结果对差分输入电路 101 进行控制，使得第一内部信号 IBO+ 的占空比和/或第二内部信号 IBO- 的占空比到达第二预设范围内。

该校准电路可内置于存储器内，既能够用于接收外部时钟信号产生内部时钟信号，还能够接收用于测试的第一振荡信号和第二振荡信号产生第一内部信号和第二内部信号，且第一内部信号的占空比和第二内部信号的占空比可稳定在第二预设范围内，从而提高了测试存储器的测试结果的准确性。此外，校准电路还可以实现存储器的占空比校准功能以及占空比监测功能，以及实现对差分输入电路的校准功能，避免差分输入电路对时钟信号造成的占空比偏差问题。

以下将结合附图对本实施例提供的校准电路进行详细说明。

第一振荡信号 OSC+ 和第二振荡信号 OSC- 为差分的时钟信号，且第一振荡信号 OSC+ 的占空比和第二振荡信号 OSC- 的占空比在第一预设范围内，也就是说，第一振荡信号 OSC+ 和第二振荡信号 OSC- 为高质量信号。在一个例子中，第一预设范围可以为 48%~52%。

此外，本实施例中，第一振荡信号 OSC+ 和第二振荡信号 OSC- 可以具有高频特性，也就是说，第一振荡信号 OSC+ 的频率与第二振荡信号 OSC- 的频率与

存储器进行读写操作所需的时钟信号的频率相当，此处的相当既可以为频率相同，也可以指频率差异在测试允许范围内。例如，第一振荡信号 OSC+ 和第二振荡信号 OSC- 的频率可以达到 3.2GHz 或 4.8GHz 甚至 6.4GHz。

此外，第一振荡信号 OSC+ 和第二振荡信号 OSC- 可由内置于存储器内的振荡电路提供。

本实施例中，差分输入电路 101 可以包括输入缓冲器（IB，Input Buffer），用于接收差分的第一振荡信号 OSC+ 和第二振荡信号 OSC-，并输出差分的第一内部信号 IBO+ 和第二内部信号 IBO-。

此外，本实施例中，差分输入电路 101 还可用于接收第一外部信号 PAD+ 和第二外部信号 PAD-，且第一外部信号的频率与第二外部信号的频率相同且相位相反，也就是说，第一外部信号 PAD+ 和第二外部信号 PAD- 也为差分信号。相应的，校准电路还包括：选择器 111，第一振荡信号 OSC+、第二振荡信号 OSC-、第一外部信号 PAD+ 以及第二外部信号 PAD- 均通过选择器 111 连接至差分输入电路 101，记第一振荡信号 OSC+ 和第二振荡信号 OSC- 为第一差分对信号，记第一外部信号 PAD+ 和第二外部信号 PAD- 为第二差分对信号，选择器 111 用于选择第一差分对信号和第二差分对信号之一输入差分输入电路 101。

由于差分输入电路 101 具有固有的电路特性，即使第一振荡信号 OSC+ 和第二振荡信号 OSC- 的占空比符合要求，但经由差分输入电路 101 输出后获得的第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比可能发生偏离。为此，采用比较单元 102 对第一内部信号 IBO+ 的占空比和第二内部信号 IBO- 的占空比进行检测。

由于第一内部信号 IBO+ 与第二内部信号 IBO- 为差分信号，因此第一内部信号 IBO+ 的占空比与第二内部信号 IBO- 的占空比之和为 100%，通过设置比较单元 102 检测差分的第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比大小。具体地，比较单元 102 对第一内部信号 IBO+ 的占空比和/或第二内部信号 IBO- 的占空比进行比较，包括以下三种情况中的至少一种：

比较单元 102 对第一内部信号 IBO+ 的占空比进行比较。具体地，比较单元

102 比较第一内部信号 IBO+ 的占空比是否到达第二预设范围内, 第二预设范围可以与第一预设范围相同, 例如, 该第二预设范围可以为 48%~52%。若比较单元 102 比较第一内部信号 IBO+ 的占空比在第二预设范围内, 则说明第二内部信号 IBO- 的占空比也在第二预设范围内; 若比较单元 102 比较第一内部信号 IBO+ 的占空比不在第二预设范围内, 则说明第二内部信号 IBO- 的占空比也不在第二预设范围内。

比较单元 102 对第二内部信号 IBO- 的占空比进行比较。具体地, 比较单元 102 比较第二内部信号 IBO- 的占空比是否到达第二预设范围内, 该第二预设范围可以为 48%~52%。若比较单元 102 比较第二内部信号 IBO- 的占空比在第二预设范围内, 则说明第一内部信号 IBO+ 的占空比也在第二预设范围内; 若比较单元 102 比较第二内部信号 IBO- 的占空比不在第二预设范围内, 则说明第一内部信号 IBO+ 的占空比也不在第二预设范围内。

比较单元 102 对第一内部信号 IBO+ 的占空比与第二内部信号 IBO- 的占空比进行比较。具体地, 比较单元 102 获取第一内部信号 IBO+ 的占空比与第二内部信号 IBO- 的占空比的差值是否在预设差值范围内, 该预设差值范围可以为 -4%~4%; 若比较单元 102 比较该差值在预设差值范围内, 则说明第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比在第二预设范围内, 否则, 第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比未到达第二预设范围。

需要说明的是, 上述的第二预设范围以及预设差值范围的数值范围均为示例性说明, 本实施例并不对第二预设范围以及预设差值范围做限定, 可根据存储器的实际性能需求合理设置第二预设范围以及预设差值范围。

本实施例中, 比较单元 102 包括: 积分单元 112, 其具有第一输入端 3 和第二输入端 4, 第一输入端 3 接收第一内部信号 IBO+ 或者第二内部信号 IBO- 中的一者, 第二输入端 4 接收第一内部信号 IBO+ 或第二内部信号 IBO- 中的另一者; 比较器 122, 连接积分单元 112 的输出端。

具体地, 积分单元 112 包括两个积分电路, 且第一输入端 3 作为一积分电路的输入端, 第二输入端 4 作为另一积分电路的输入端。比较器 122 用于比较

两个积分电路的输出并输出高电平或者低电平。

更具体地,比较单元 102 由两个积分电路对输入的第一内部信号 IBO+和第二内部信号 IBO-进行积分运算,且积分运算的结果输入至比较器 122 中,且比较器 122 输出比较结果。

5 以第一内部信号 IBO+为正端(duty+)且第二内部信号 IBO-为负端(duty-)为例,在一个例子中,比较器 122 的输出为高电平,则表明第一内部信号 IBO+的占空比大于第二内部信号 IBO-的占空比;比较器 122 的输出为低电平,则表明第一内部信号 IBO+的占空比小于第二内部信号 IBO-的占空比。

需要说明的是,上述关于比较单元 102 的输出结果与第一内部信号 IBO+的占空比和第二内部信号 IBO-的占空比之间的对应关系仅为示例,本实施例并
10 不限定高电平以及低电平与第一内部信号 IBO+的占空比和第二内部信号 IBO-的占空比之间的对应关系,只要保证不同的输出结果对应不同的第一内部信号 IBO+的占空比和第二内部信号 IBO-的占空比之间的对应关系即可。

如图 2 所示,比较单元 102 的输出结果可以经采样时钟 clk1 采样输出。本
15 实施例中,比较单元 102 由一采样时钟 clk1 驱动,采样时钟 clk1 的频率低于第一内部信号 IBO+的频率和/或第二内部信号 IBO-的频率。采样时钟 clk1 的频率越快,则采样误差越大;采样时钟 clk1 的频率越慢,则采样误差越小,但测试时间越长。因此,可根据采样误差以及测试时间综合选择采样时钟 clk1 的最优频率。

20 本实施例中,时钟产生电路还包括:分频器 104,接收一外部时钟信号 CLK,产生采样时钟 clk1。该外部时钟信号 CLK 既可以是测试机提供的,也可以是存储器提供的。

此外,由前述分析可知,若采样时钟 clk1 的频率可调,则可根据实际情况选择不同的采样时钟 clk1 频率,为此,本实施例中,时钟产生电路还可以包括:
25 第五寄存器组 105,与分频器 104 连接,用于配置采样时钟的频率。第五寄存器组 105 可以为模式寄存器。

由于比较单元 102 的固有特性可能会带来输入偏差,为了消除比较单元 102

自有的输入偏差对测试结果带来的误差，本实施例中，比较单元 102 还可以被配置为第一输入端 3 和第二输入端 4 可互换。具体地，比较单元 102 被配置为：

积分单元 112 的第一输入端 3 在一翻转标识信号为低电平时接收第一内部信号 IBO+，在翻转标识信号为高电平时接收第二内部信号 IBO-；积分单元 112 的第二输入端 4 在翻转标识信号为低电平时接收第二内部信号 IBO-，在翻转标识信号为高电平时接收第一内部信号 IBO+。其中，存储器中具有模式寄存器，该翻转标识信号可以由模式寄存器提供，例如在 LPDDR4 或者 LPDDR5 或者 LPDDR6 中，翻转标识信号可定义为 DCM MR OP[1]，DCM MR OP[1]=0 表示翻转标识信号为低电平，DCM MR OP[1]=1 表示翻转标识信号为高电平。

逻辑单元 103 基于比较单元 102 的检测结果对差分输入电路 101 进行控制，调整差分输入电路 101 的电路特性，以使调整后的差分输入电路 101 输出的第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比到达第二预设范围内。

具体地，逻辑单元 103 包括：计数器 113，用于调节第一内部信号 IBO+ 和/或第二内部信号 IBO- 的占空比；第一寄存器组 123，当翻转标识信号为低电平时，根据比较器 122 的输出存储计数器 113 的第一值；第二寄存器组 133，当翻转标识信号为高电平时，根据比较器 122 的输出存储计数器 113 的第二值。

具体地，计数器 113 的作用包括：调节差分输入电路 101 的电路特性，且改变第一内部信号 IBO+ 的占空比以及第二内部信号 IBO- 的占空比，且第一内部信号 IBO+ 的占空比以及第二内部信号 IBO- 的占空比的变化为单调性变化，例如在一个计数周期内占空比从最小变到最大或者从最大变到最小。在一个计数周期内，比较器 122 的输出结果将有且仅有一个反转点，该反转点对应的计数器 113 的值是差分输入电路 101 输出的第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比最接近第二预设范围的设置，将这个值作为计数器 113 的值存入第一寄存器组 123 或者第二寄存器组 133。

更具体地，当翻转标识信号为低电平时，根据比较器 122 的输出存储计数器 113 的第一值，该第一值存入第一寄存器组 123；当翻转标识信号为高电平时，根据比较器 122 的输出存储计数器 113 的第二值，该第二值存入第二寄存

器组 133。为便于理解，以下将对逻辑单元 103 的工作原理进行详细说明：

当翻转标识信号为低电平时，积分单元 112 的第一输入端 3 接收第一内部信号 IBO+，第二输入端 4 接收第二内部信号 IBO-；计数器 113 开始计数，例如在一个计数周期内从 0 开始计数且计到 31，同时差分输入电路 101 输出的第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比也从最小变到最大（例如从 40% 变到 60%）或者从最大变到最小；这样，在一个计数周期（例如从 0 到 31）内，比较器 122 将有且仅有一个反转点，该反转点对应的计数器 113 的值为第一值，该第一值是差分输入电路 101 输出的第一内部信号 IBO+ 的占空比最接近第二预设范围的设置，例如可以是占空比最接近 50% 的设置，该第一值存入第一寄存器组 123 中。

当翻转标识信号为高电平时，积分单元 112 的第一输入端 3 接收第二内部信号 IBO-，第二输入端 4 接收第一内部信号 IBO+，即比较单元 102 的输入端互换，计数器 113 进入新的计数周期，例如重新从 0 开始计数且计到 31，同样的，将比较器 122 的输出反转点对应的计数器 113 的第二值存入第二寄存器组 133 中。

需要说明的是，上述从 0 到 31 的计数周期仅为示例说明，本实施例中并不对计数器 113 的计数方式进行限定，计数器 113 除为加法计数器外也可以为减法计数器，既可以为依次递增或者递减式计数，也可以为步进式递增或者递减计数，保证计数器 113 在单个计数周期内单调性变化即可。

比较单元 102 的第一输入端 3 与第二输入端 4 互换，通过两次计数控制差分输入电路 101 的方式，可以消除比较单元 102 自身的输入偏差带来的不良影响，进一步的提高测试结果的准确性。

此外，逻辑单元 103 还可以包括：运算组件 143，连接第一寄存器组 123 和第二寄存器组 133，用于对第一寄存器组 123 和第二寄存器组 133 的输出做加减乘除运算；第三寄存器组 153，连接运算组件 143，用于存储运算组件 143 的输出结果。

具体地，第一寄存器组 123 的输出指的是存入第一寄存器组 123 的第一值，

第二寄存器组 133 的输出指的是存入第二寄存器组 133 的第二值。本实施例中，运算组件 143 对第一值和第二值进行相加除以 2，得到平均值，且该平均值作为运算组件 143 的输出结果，该平均值被存入第三寄存器组 153。由于该平均值已经消除掉比较单元 102 自有的输入偏差，因此该平均值为差分输入电路 101 输出的第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比最接近第二预设范围的设置，例如第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比最接近 50%。

可以理解的是，该平均值既可以是第一值和第二值进行相加除以 2 向上取整的整数，也可以是第一值和第二值进行相加除以 2 向下取整的整数。

需要说明的是，本实施例中以对第一值和第二值取平均作为示例，在其他实施例中，也可以采用其他的运算方式对第一值和第二值进行运算。

第一寄存器组 123、第二寄存器组 133 以及第三寄存器组 153 均可以为模式寄存器。

本实施例中，计数器 113 由一计算器时钟驱动，计算器时钟的频率低于第一内部信号 IBO+ 的频率和/或第二内部信号 IBO- 的频率。计算器时钟的频率可调，根据调整差分输入电路 101 的速度合理选择计算器时钟的频率。

此外，采样时钟的频率可以与计算器时钟的频率相同。分频器还可以用于接收一外部时钟信号，产生采样时钟和计算器时钟；同样的，第五寄存器组还可以用于配置计算器时钟的频率。

存入第三寄存器组 153 的值对应为差分输入电路 101 的设置，此时，差分输入电路 101 的占空比选择由计数器 113 切换为第三寄存器组 153，使得差分输入电路固定输出具有最优占空比的第一内部信号 IBO+ 和第二内部信号 IBO-。可以理解的是，在差分输入电路 101 固定以最优占空比输出第一内部信号 IBO+ 和第二内部信号 IBO- 期间，比较单元 102 可以持续对第一内部信号 IBO+ 的占空比和/或第二内部信号 IBO- 的占空比进行比较，若第一内部信号 IBO+ 的占空比和第二内部信号 IBO- 的占空比偏离预设范围，能够及时检测出这一问题。

另外，本实施例中，选择器 111 的控制端接收一校准使能信号 dca，当所述校准使能信号 dca 为低电平时，第一外部信号 PAD+ 和第二外部信号 PAD- 输入

差分输入电路 101, 当所述校准使能信号 dca 为高电平时, 第一振荡信号 OSC+ 和第二振荡信号 OSC- 输入差分输入电路 101。

校准使能信号 dca 为高电平, 则校准电路进入占空比校准状态, 相应的具有初始占空比的第一振荡信号 OSC+ 和第二振荡信号 OSC- 输入至差分输入电路 101, 以执行占空比校准或占空比调节, 实现 DCA 功能; 校准使能信号 dca 为低电平, 则校准电路退出占空比校准状态, 第一外部信号 PAD+ 和第二外部信号 PAD- 输入至差分输入电路 101, 以执行占空比检测或占空比监测, 实现 DCM 功能。

本实施例提供的校准电路, 通过差分输入电路 101、比较单元 102 以及逻辑单元 103, 能够在存储器内部产生稳定的第一内部信号 IBO+ 和第二内部信号 IBO-, 该第一内部信号 IBO+ 和第二内部信号 IBO- 满足存储器高频工作信号的需求, 因此能够作为测试存储器的测试输入信号, 使得存储器能够实现内置自测功能, 无需利用额外的测试机提供测试输入信号, 同时解决了测试机难以提供高频的测试输入信号的问题。

同时, 该校准电路还能够对差分输入电路 101 进行校正, 当存储器中应用该校准电路时, 可以减小由差分输入电路 101 本身所引起的占空比偏差, 从而提高了存储器的读写操作性能, 例如提高了噪声容限且改善了信号完整性。

此外, 本实施例中, 比较单元 102 对差分输入电路 101 的输出进行检测, 且逻辑单元 103 基于比较单元 102 的输出结果对差分输入电路 101 进行控制, 从而保证第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比能够稳定在第二预设范围内, 从而避免了占空比偏差对测试准确度带来的不良影响, 提高利用第一内部信号 IBO+ 和第二内部信号 IBO- 对存储器进行测试的测试准确度。例如, 第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比可精确控制在 50%。

同时, 本实施例提供的校准电路, 还具有占空比监测功能以及占空比校准功能。

相应的, 本申请实施例还提供一种存储器, 包括前述实施例提供的校准电

路。具体地，该存储器可以为 DRAM、SRAM、MRAM、FeRAM、PCRAM、NAND、NOR 等存储器。

由前述分析可知，在存储器内部可产生可用于测试的高速第一内部信号和第二内部信号，且第一内部信号和第二内部信号的占空比能够维持在第二预设范围内，因而无需利用额外的测试机提供测试信号，从而有利于提高对存储器进行测试的测试准确度。

相应的，本申请实施例还提供一种校准方法。图 3 为本申请一实施例提供的校准方法的流程示意图。以下将结合附图对本申请实施例中校准方法进行详细说明。需要说明的是，该校准方法可利用前述实施例提供的校准电路进行。

参考图 2 和图 3，本实施例中，校准方法包括以下步骤：

步骤 S1、差分输入电路接收第一振荡信号 OSC+ 和第二振荡信号 OSC-，第一振荡信号 OSC+ 与第二振荡信号 OSC- 的频率相同且相位相反，第一振荡信号 OSC+ 和第二振荡信号 OSC- 的占空比在第一预设范围内，差分输入电路输出第一内部信号 IBO+ 和第二内部信号 IBO-。

具体地，第一振荡信号 OSC+ 和第二振荡信号 OSC- 为具有稳定占空比的信号，例如第一振荡信号 OSC+ 和第二振荡信号 OSC- 的占空比都为 50%。

步骤 S2、比较单元接收第一内部信号 IBO+ 和第二内部信号 IBO-，并对第一内部信号 IBO+ 的占空比或第二内部信号 IBO- 的占空比进行比较。

差分输入电路输出的第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比有可能出现偏差，例如第一内部信号 IBO+ 占空比变为 40%，第二内部信号 IBO- 占空比变为 60%。

具体地，当翻转标识信号为低电平时，比较单元对第一内部信号 IBO+ 的占空比进行比较；当翻转标识信号为高电平时，比较单元对第二内部信号 IBO- 的占空比进行比较。

比较单元包括：积分单元，其具有第一输入端和第二输入端，第一输入端接收第一内部信号 IBO+ 或第二内部信号 IBO- 中的一者，第二输入端接收第二

内部信号 IBO-或第一内部信号 IBO+中的另一者；比较器，连接积分单元的输出端。

当翻转标识信号为低电平时，第一输入端接收第一内部信号 IBO+且第二输入端接收第二内部信号 IBO-，比较器对第一内部信号 IBO+的占空比进行比较且具有相应的输出；比较器对第一内部信号 IBO+的占空比进行比较，可以为：比较第一内部信号 IBO+的占空比与第二内部信号 IBO-的占空比，或者，比较第一内部信号 IBO+的占空比与预设占空比。

当翻转标识信号为高电平时，第一输入端接收第二内部信号 IBO-且第二输入端接收第一内部信号 IBO+，比较器对第二内部信号 IBO-的占空比进行比较且具有相应的输出；比较器对第二内部信号 IBO-的占空比进行比较，可以为：比较第二内部信号 IBO-的占空比与第一内部信号 IBO+的占空比，或者，比较第二内部信号 IBO-的占空比与预设占空比。

比较单元的输出结果表征第一内部信号 IBO+的占空比与第二内部信号 IBO-的占空比之间的差值。例如，比较单元的输出结果为高电平，表征第一内部信号 IBO+的占空比大于第二内部信号 IBO-的占空比；比较单元的输出结果为低电平，表征第一内部信号 IBO+的占空比小于第二内部信号 IBO-的占空比。

步骤 S3、逻辑单元根据比较单元的输出结果对差分输入电路进行控制，使得第一内部信号 IBO+的占空比和/或第二内部信号 IBO-的占空比到达第二预设范围内。

具体地，逻辑单元包括计数器、第一寄存器组、第二寄存器组。通过计数器控制差分输入电路，以调整第一内部信号 IBO+的占空比和第二内部信号 IBO-的占空比。

当翻转标识信号为低电平时，计数器从 U 计数至 V，当计数器为 U 时对应第一内部信号 IBO+的占空比为 X%，当计数器为 V 时对应第一内部信号 IBO+的占空比为 Y%，当比较单元的输出结果由低电平变为高电平时，将此时计数器对应的计数器值存入所述第一寄存器组。例如，U 可以为 0，V 可以为 7，X 可以为 40，Y 可以为 60%。

当翻转标识信号为高电平时，计数器从 U 计数至 V，当计数器为 U 时对应第二内部信号 IBO- 的占空比为 Y%，当计数器为 V 时对应第二内部信号 IBO- 的占空比为 X%，当比较单元的输出结果由高电平变为低电平时，将此时计数器对应的计数器值存入第二寄存器组。例如，U 可以为 0，V 可以为 7，X 可以
5 为 40，Y 可以为 60%。

更具体地，例如，当翻转标识信号为低电平时，第一输入端接收第一内部信号 IBO+ 且第二输入端接收第二内部信号 IBO-，计数器在一个计数周期内由 0 计数至 7，比较单元的输出结果为低电平时，说明第一内部信号 IBO+ 的占空比小于第二内部信号 IBO- 的占空比；比较单元的输出结果为高电平时，说明第一
10 内部信号 IBO+ 的占空比大于第二内部信号 IBO- 的占空比。因此，比较单元的输出结果由低电平跳转为高电平对应具有一个反转点，例如此时计数器的值为 3，该反转点对应的计数器的计数器值 3 作为第一值存入第一寄存器组。

例如，当翻转标识信号为高电平时，第一输入端接收第二内部信号 IBO- 且第二输入端接收第一内部信号 IBO+，计数器在一个计数周期内由 0 计数至 7，
15 比较单元的输出结果为高电平时，说明第一内部信号 IBO+ 的占空比小于第二内部信号 IBO- 的占空比；比较单元的输出结果为低电平时，说明第一内部信号 IBO+ 的占空比大于第二内部信号 IBO- 的占空比。因此，比较单元的输出结果由高电平跳转为低电平对应具有一个反转点，例如此时计数器的值为 4，该反转点对应的计数器的计数器值 4 作为第二值存入第二寄存器组。

需要说明的是，当翻转标识信号为低电平，计数器从 0 计数至 7，第一内部信号 IBO+ 的占空比是单调性变化，例如第一内部信号 IBO+ 的占空比可以为预设步进式递增，如计数器的计数器值每增加 1，则第一内部信号 IBO+ 的占空比增加 $((60-40)/8)\%$ 。同理，当翻转标识信号为高电平，计数器从 0 计数至 7，
20 第二内部信号 IBO- 的占空比是单调性变化，例如第一内部信号 IBO+ 的占空比可以为预设步进式递增，如计数器的计数器值每增加 1，则第一内部信号 IBO+ 的占空比增加 $((60-40)/8)\%$ 。
25

逻辑单元还包括运算组件、第三寄存器组；运算组件将第一寄存器组和第

二寄存器组的输出做加减乘除运算，并将得到的数值 H 存入第三寄存器组；其中，H 为正整数，H 大于等于 U 且小于等于 V。

本实施例中，数值 H 为第一值和第二值相加除以 2，即数值 H 为第一值和第二值取平均，该数值 H 即为对应第一内部信号 IBO+ 和第二内部信号 IBO- 到达第二预设范围的设置，例如 H 等于 $(3+4)/2$ ，即 H 等于 3.5，H 还可以上取整为 3 或下取整为 4。也就是说，数值 H 对应第一内部信号 IBO+ 的占空比在第二预设范围内，该第二预设范围可以为 48%~52%，例如为 50%。

在获取数值 H 后，不再由计数器控制差分输入电路，而是将数值 H 作为差分输入电路的设置，以使差分输入电路输出具有预设占空比的第一内部信号 IBO+，相应的第二内部信号 IBO- 也为占空比符合要求的信号。

本实施例提供的校准方法的方案，能够产生高速高质量的第一内部信号 IBO+ 和第二内部信号 IBO-，且第一内部信号 IBO+ 和第二内部信号 IBO- 为具有稳定的占空比的时钟信号，且第一内部信号 IBO+ 和第二内部信号 IBO- 可作为存储器进行读写操作所需的时钟信号。此外，利用该校准方法还能够对差分输入电路进行校准，以及时检测出差分输入电路对占空比的影响，保证经由差分输入电路输出的第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比达到第二预设范围。例如，参考图 2 和图 3，经过本实施例提供的校准方法，第一内部信号 IBO+ 的占空比由 40% 调节到 50%，第二内部信号 IBO- 的占空比由 60% 调节到 50%。如此，从而消除了差分输入电路 101 对时钟占空比引起的偏差。

本领域的普通技术人员可以理解，上述各实施方式是实现本申请的具体实施例，而在实际应用中，可以在形式上和细节上对其作各种改变，而不偏离本申请的精神和范围。任何本领域技术人员，在不脱离本申请的精神和范围内，均可作各自更动与修改，因此本申请的保护范围应当以权利要求限定的范围为准。

25 工业实用性

本申请实施例中，校准电路包括：差分输入电路，用于接收第一振荡信号

和第二振荡信号，所述第一振荡信号与所述第二振荡信号的频率相同且相位相反，所述第一振荡信号的占空比和所述第二振荡信号的占空比在第一预设范围内，所述差分输入电路输出第一内部信号和第二内部信号；比较单元，连接所述差分输入电路的输出端，并对所述第一内部信号的占空比和/或所述第二内部信号的占空比进行比较；逻辑单元，连接所述比较单元和所述差分输入电路，用于根据所述比较单元的输出结果对所述差分输入电路进行控制，使得所述第一内部信号的占空比和/或所述第二内部信号的占空比到达第二预设范围内。这样，本申请实施例提供的校准电路不仅能够基于第一振荡信号和第二振荡信号产生差分的内部信号，且还具有占空比监测和占空比校准功能，保证校准电路产生的第一内部信号和第二内部信号的占空比稳定在第二预设范围内；相应的，当采用该第一内部信号和第二内部信号对存储器进行测试时，有利于避免输入信号的占空比偏差带来的测试偏差问题，有利于提高对存储器进行测试的测试准确性，同时使得存储器还可以实现占空比监测和占空比校准功能。