

内存访问热度统计方法、相关装置及设备

本申请要求于 2022 年 5 月 24 日提交中国专利局、申请号为 202210575022.5、发明名称为“一种数据迁移方法”的中国专利申请的优先权，以及于 2022 年 08 月 24 日提交的申请号为 202211016161.0、发明名称为“内存访问热度统计方法、相关装置及设备”的中国专利申请的优先权，前述两件专利申请的全部内容通过引用结合在本申请中。

技术领域

本申请涉及计算机领域，尤其涉及一种内存访问热度统计方法、控制器、芯片、内存、主板及计算机设备。

背景技术

目前，希望存取速度快的存储器存储访问频繁的数据，存取速度慢的存储器存储访问不频繁的数据。但是，由于现有的内存访问热度统计方法准确性低，可能导致存取速度快的存储器可能存储访问不频繁的数据，或者导致存取速度慢的存储器可能存储访问频繁的数据，影响了系统的数据处理速度和时延。

发明内容

本申请提供了内存访问热度统计方法、控制器、芯片、内存、主板及计算机设备，由此提高系统的数据处理速度，以及降低数据处理时延。

第一方面，提供了一种内存访问热度统计方法，方法由控制器执行。方法包括依据计算机设备中处理器运行的应用程序对计算机设备的内存的操作，统计处理器访问内存中的数据块的访问频次，以便于根据访问频次确定数据块的访问热度。

如此，访问频次直观地表示了数据块被应用程序访问的频繁程度。数据块被应用程序访问的次数越多，表示数据块被应用程序访问的越频繁，数据块的访问热度越热；数据块被应用程序访问的次数越少，表示数据块被应用程序访问的越不频繁，数据块的访问热度越冷。由此依据数据块的访问热度触发数据迁移时，可以将热数据迁移到近端内存，将冷数据迁移到远端内存，使处理器可以尽可能快地从近端内存获取频繁访问的数据，提高系统的数据处理速度，以及降低数据处理时延，显著地改善系统的访问性能。

在一种可能的实现方式中，统计第一地址所在数据块的访问频次，包括：统计第一地址所归属的单位存储空间所在的数据块的访问频次。

其中，数据块的大小为处理器可访问的内存中单位存储空间的倍数。由于计算机设备以缓存线（cacheline）为粒度对内存的存储空间进行读操作或写操作，以页面为粒度对内存的存储空间进行管理。一个页面可以包括多个缓存线。数据块的大小为计算机设备中处理器可访问的内存中一个页面的大小。单位存储空间的大小可以为计算机设备中处理器访问内存时缓存线的大小。计算机设备中处理器运行的应用程序对内存中一个缓存线的操作可以视为对一个页面的操作。如此，处理器以缓存线为粒度对内存进行操作，而缓存线属于管理的某一页面，则内存中的缓存线被操作一次，缓存线所属的页面也就被读写一次。控制器统计被操作的缓存线所属的页面的访问频次，有效地提升了页面的访问热度的识别准确性，而且以页面为粒度统计页面的访问频次，兼容了计算机设备对内存的页面管理方式，该内存访问热度统计方法具备易用性。

此外，交织方式指计算机设备中处理器将数据分布到多个内存进行操作。计算机设备中处理器运行的应用程序以交织方式对计算机设备的内存进行操作，基于多个内存通道进行数据处理，以提升计算机设备的内存带宽利用率和处理性能。数据块的大小还可以为计算机设备中处理器采用交织方式可访问的内存中交织后数据块的大小。

在另一种可能的实现方式中，方法还包括：根据第一地址所在数据块的地址和地址映射关系识别第二地址。其中，第二地址用于指示控制器中存储数据块的访问频次的位置。地址映射关系用于指示数据块的地址与存储访问频次的存储空间地址的映射关系。从而，以便于控制器依据第二地址获取第一存储介质存储的数据块的访问频次，更新数据块的访问频次。

在另一种可能的实现方式中，内存包括第一存储介质，第一存储介质用于存储内存中数据块的访问频次，第二地址指示了第一存储介质中存储数据块的访问频次的存储空间。

在另一种可能的实现方式中，由于计算机设备预先分配了内存中内存颗粒的容量，当处理器访问第一存储介质时，计算机设备从内存中内存颗粒的容量中给第一存储介质分配对应第一存储介质的容量的物理地址空间，则控制器将访问第一存储介质的物理地址映射到第一存储介质，这样内存颗粒中相应容量则无法使用，导致浪费了内存颗粒的存储空间。例如，内存中内存颗粒的总容量为 64GB，页面大小为 4KB，存储每个数据块的访问频次位宽为 4B，浪费了 64MB 的内存存储空间。方法还包括：根据处理器指示的第三地址和地址映射关系识别第二地址，获取数据块的访问频次，第三地址是由第二地址确定的。从而，节省了内存颗粒的存储空间，提升了内存颗粒的存储空间的利用率。

在另一种可能的实现方式中，方法还包括：控制器根据访问频次确定数据块的访问热度，依据访问热度触发数据迁移。例如，控制器将数据块的访问热度反馈给处理器，由处理器控制不同访问热度的数据块进行数据迁移。比如，处理器将冷数据存储到远端内存，将热数据存储到近端内存。如此，控制器依据数据块的访问热度触发数据迁移时，可以将热数据迁移到近端内存，将冷数据迁移到远端内存，使处理器可以尽可能快地从近端内存获取数据，提高系统的数据处理速度，以及降低数据处理时延，提升系统的整体处理性能。

第二方面，提供了内存访问热度统计方法，方法由处理器执行，包括：接收多个内存发送的交织后数据块的访问频次，合并交织后数据块的访问频次，得到一个页面的访问频次。交织后数据块的访问频次指示处理器采用交织方式访问多个内存中一个内存的数据块的访问频次。

如此，在计算机设备中处理器运行的应用程序以交织方式对计算机设备的内存进行操作，基于多个内存通道进行数据处理，提升计算机设备的内存带宽利用率和处理性能的情况下，控制器合并多个内存发送的交织后数据块的访问频次，得到页面的访问频次，以便于根据页面的访问频次确定页面的访问热度，依据页面的访问热度触发数据迁移时，可以将热数据迁移到近端内存，将冷数据迁移到远端内存，使处理器可以尽可能快地从近端内存获取频繁访问的数据，提高系统的数据处理速度，以及降低数据处理时延，显著地改善系统的访问性能。

第三方面，提供了一种内存访问热度统计装置，所述装置包括用于执行第一方面或第一方面任一种可能设计中的内存访问热度统计方法的各个模块，或者执行第二方面或第二方面任一种可能设计中的内存访问热度统计方法的各个模块。

第四方面，提供一种控制器，该控制器包括处理单元和存储单元，存储单元用于存储一组计算机指令；当处理单元作为第一方面或第一方面任一种可能实现方式中的控制器执行所述一组计算机指令时，执行第一方面或第一方面任一种可能实现方式中的内存访问热度统计方法的操作步骤。控制器为计算机设备的内存中的寄存时钟驱动器（Register Clock Driver，

RCD) 或扩展控制器。

第五方面, 提供一种芯片, 包括: 处理器和供电电路; 供电电路用于为处理器供电; 处理器用于执行第一方面或第一方面任一种可能实现方式中的内存访问热度统计方法的操作步骤。

第六方面, 提供一种内存, 内存包括存储器和如第四方面所述的控制器, 存储器用于存储一组计算机指令; 当控制器执行一组计算机指令时, 执行第一方面或第一方面任一种可能实现方式中的内存访问热度统计方法的操作步骤。

第七方面, 提供一种主板, 主板包括如第四方面所述的控制器, 控制器执行第一方面或第一方面任一种可能实现方式中的内存访问热度统计方法的操作步骤。

第八方面, 提供一种计算机设备, 计算机设备包括如第七方面所述的主板。

第九方面, 提供一种计算机可读存储介质, 包括: 计算机软件指令; 当计算机软件指令在计算设备中运行时, 使得计算设备执行如第一方面或第一方面任意一种可能的实现方式中所述方法的操作步骤。

第十方面, 提供一种计算机程序产品, 当计算机程序产品在计算机上运行时, 使得计算设备执行如第一方面或第一方面任意一种可能的实现方式中所述方法的操作步骤。

本申请在上述各方面提供的实现方式的基础上, 还可以进行进一步组合以提供更多实现方式。

附图说明

图1为本申请提供的一种计算机设备的结构示意图;

图2为本申请提供的一种内存访问热度统计方法的流程示意图;

图3为本申请提供的一种缓存线与页面的关系示意图;

图4为本申请提供的一种访问频次的存储结构示意图;

图5为本申请提供的一种交织方式的示意图;

图6为本申请提供的另一种计算机设备的结构示意图;

图7为本申请提供的一种内存访问热度统计装置的示意图;

图8为本申请提供的一种控制器的结构示意图。

具体实施方式

为了便于描述, 首先对本申请所涉及的术语进行简单解释。

存储器, 是用于存储程序和各种数据的记忆器件。存取速度是指对存储器写入数据或读取数据时的数据传输速度。存取速度也可以称为读写速度。依据存储器的存取速度, 可以将与计算机设备中处理器连接的主存储器划分为远端内存 (far memory) 和近端内存 (near memory)。主存储器可以简称为主存 (main memory) 或内存 (memory)。近端内存的存取速度大于远端内存的存取速度。例如, 近端内存可以是动态随机存取存储器 (Dynamic Random Access Memory, DRAM) 或者双倍数据速率同步动态随机存取存储器 (double data rate SDRAM, DDR SDRAM)。远端内存可以是存储级内存 (storage-class-memory, SCM)。

热数据, 指处理器经常访问的数据。如果将热数据存储到近端内存, 使得处理器可以尽可能快地获取到数据, 提高系统的数据处理速度, 以及降低数据处理时延, 显著地改善系统的访问性能。

冷数据, 指处理器不经常访问的数据。如果将冷数据存储到远端内存, 可以提高数据的可靠性, 而且使近端内存存储更多的热数据, 提高近端内存的资源利用率, 降低系统成本。

缓存线 (cacheline), 指计算机设备对内存的存储空间进行读操作或写操作的单位。一个

缓存线的大小可以为 64 字节 (byte, B)。

页面, 指计算机设备对内存的存储空间进行管理的单位。例如, 页面大小 (page size) 为 4 千字节 (Kilobyte, KB)、2 兆字节 (Megabyte, MB) 或其他的字节大小。4KB 页面可以称为小页。2MB 页面可以称为大页。页面越小, 计算机设备管理内存所需的资源越多; 页面越大, 计算机设备管理内存所需的资源越少。一个页面可以包括多个缓存线, 即页面大小为缓存线的大小的倍数。

交织, 指将访问内存的数据按照单位存储空间 (例如, 缓存线) 均匀地分布到多个内存通道上。交织方式可以由系统管理员配置, 可以在一个处理器连接的多个内存通道之间进行交织, 也可以在多个处理器的多个内存通道之间进行交织。

内存通道, 指计算机设备中处理器连接的多个内存。处理器可以采用交织技术对内存进行操作。例如, 处理器根据缓存线的大小将待写入内存的数据均匀地分布到多个内存通道上。进而, 处理器根据缓存线的大小从多个内存通道上读取数据。从而, 基于多个内存通道进行数据处理, 以提升计算机设备的内存带宽利用率和处理性能。

为了提高内存访问热度统计的准确度, 本申请提供一种内存访问热度统计方法, 即依据计算机设备中处理器运行的应用程序对计算机设备的内存的操作, 统计处理器访问内存中的数据块的访问频次, 以便于根据访问频次确定数据块的访问热度, 根据访问热度触发数据迁移。访问频次直观地表示了数据块被应用程序访问的频繁程度。数据块被应用程序访问的次数越多, 表示数据块被应用程序访问的越频繁, 数据块的访问热度越热; 数据块被应用程序访问的次数越少, 表示数据块被应用程序访问的越不频繁, 数据块的访问热度越冷。由此依据数据块的访问热度触发数据迁移时, 可以将热数据迁移到近端内存, 将冷数据迁移到远端内存, 使处理器可以尽可能快地从近端内存获取频繁访问的数据, 提高系统的数据处理速度, 以及降低数据处理时延, 显著地改善系统的访问性能。

其中, 数据块的大小为处理器可访问的内存中单位存储空间的倍数。例如, 数据块的大小为计算机设备管理内存所使用的页面大小。又如, 数据块的大小为计算机设备中处理器采用交织方式可访问的内存中交织后数据块的大小。

下面结合附图详细介绍本申请提供的内存访问热度统计方法。

图 1 为本申请提供的一种计算机设备的结构示意图。在这里以计算机设备包括近端内存为例进行说明。如图 1 所示, 计算机设备 100 包括处理器 110 和内存 120。处理器 110 和内存 120 通过总线 130 相连。

处理器 110 可以是中央处理器 (central processing unit, CPU)、图形处理器 (graphics processing unit, GPU)、数据处理单元 (data processing unit, DPU)、神经处理单元 (neural processing unit, NPU) 和嵌入式神经网络处理器 (neural-network processing unit, NPU) 等用于数据处理的 XPU。处理器 110 还可以是其他通用处理器、数字信号处理器 (digital signal processing, DSP)、专用集成电路 (application-specific integrated circuit, ASIC)、现场可编程门阵列 (field-programmable gate array, FPGA)、片上系统 (system on chip, SoC) 或者其他可编程逻辑器件、分立门或者晶体管逻辑器件、分立硬件组件等。通用处理器可以是微处理器或者是任何常规的处理器等。为了便于描述, 以下实施例以处理器 110 为 CPU 为例进行说明。

图 1 中计算机设备 100 可包括一个或多个处理器。处理器可以是一个多核 (multi-core) 处理器。这里的处理器可以指一个或多个设备、电路、和/或用于处理数据 (例如计算机程序指令) 的计算单元。

处理器 110, 用于运行应用程序对内存 120 进行读操作或写操作, 以及根据对内存 120 的访问冷热程度触发数据迁移。

总线 130 可以包括一通路, 用于在上述组件 (如处理器 110 和内存 120) 之间传送数据。例如, 处理器 110 向内存 120 发送的访问请求, 以及内存 120 向处理器 110 反馈的数据块的访问频次。总线 130 除包括数据总线之外, 还可以包括电源总线、控制总线和状态信号总线等。例如, 总线 130 为 DDR 总线。但是为了清楚说明起见, 在图中将各种总线都标为总线 130。

内存 120 可以是易失性存储器池或非易失性存储器池, 或可包括易失性和非易失性存储器两者。其中, 非易失性存储器可以是只读存储器 (read-only memory, ROM)、可编程只读存储器 (programmable ROM, PROM)、可擦除可编程只读存储器 (erasable PROM, EPROM)、电可擦除可编程只读存储器 (electrically EPROM, EEPROM) 或闪存。易失性存储器可以是随机存取存储器 (random access memory, RAM), 其用作外部高速缓存。通过示例性但不是限制性说明, 许多形式的 RAM 可用, 例如静态随机存取存储器 (static RAM, SRAM)、DRAM、同步动态随机存取存储器 (synchronous DRAM, SDRAM)、双倍数据速率同步动态随机存取存储器 (double data rate SDRAM, DDR SDRAM)、增强型同步动态随机存取存储器 (enhanced SDRAM, ESDRAM)、同步连接动态随机存取存储器 (synchlink DRAM, SLDRAM) 和直接内存总线随机存取存储器 (direct rambus RAM, DR RAM)。

内存 120 包括内存颗粒 121、数据缓存 (Data Buffer, DB) 122 和寄存时钟驱动器 (Register Clock Driver, RCD) 123。DB 122 连接内存颗粒 121 和 RCD 123。

内存颗粒 121, 用于存储处理器 110 运行的应用程序的应用数据。例如, 内存颗粒 121 可以是 DRAM。

DB 122, 用于驱动处理器 110 中内存控制器生成的数据信号, 实现将处理器 110 发送的数据写入内存颗粒 121, 以及向处理器 110 传输内存颗粒 121 存储的应用数据或向处理器 110 传输 RCD 123 存储的数据块的访问频次。

RCD 123 用于驱动处理器 110 中内存控制器生成的时钟 (clock) 信号、地址 (address) 信号和命令 (command) 信号, 实现对多个内存颗粒 121 的操作。RCD 123 用于根据处理器 110 的访问请求在内存 120 中内存颗粒 121 执行读操作或写操作, 并对内存 120 中内存颗粒 121 的数据块的访问频次进行计数, 存储数据块的访问频次。RCD 123, 还用于从存储介质 124 中获取数据块的访问频次。可选地, RCD 123 可以根据访问频次确定数据块的访问热度触发数据迁移。

其中, RCD 123 包含存储介质 124, 存储介质 124 用于存储数据块的访问频次。从而避免占用内存颗粒 121 的存储空间来存储数据块的访问频次, 提升内存颗粒 121 的资源利用率。存储介质 124 可以是易失性存储器池或非易失性存储器池, 或可包括易失性和非易失性存储器两者。例如, 存储介质 124 可以是 RAM 或 ROM。存储介质 124 的存储容量与用于统计访问频次的数据库块的大小有关。存储介质 124 的存储容量可以依据以下两种方式确定。

方式一, 根据内存的容量、页面大小和访问频次的计数器位宽确定存储页面的访问频次的存储介质的容量。

统计页面的访问频次时, 用于存储页面的访问频次的存储介质的容量可以由内存的容量、页面大小和访问频次的计数器位宽确定。存储介质的容量如下公式(1)所示。

$$n_1^{\text{capacity}} = (n^{\text{capacity}} / X^{\text{page size}}) * W^{\text{count}} \quad \text{公式(1)}$$

其中, n_1^{capacity} 表示用于存储页面的访问频次的存储介质的容量, n^{capacity} 表示内存的容量,

$X^{\text{page size}}$ 表示页面大小, W^{count} 表示访问频次的计数器位宽。计数器位宽可以根据经验值确定。计数器位宽越大, 计数器记录的数值越大, 计数器位宽越小, 计数器记录的数值越小。

示例一, 假设内存的容量为 64GB, 页面大小为 4KB, 计数器位宽为 4B, 存储介质的容量为 $(64\text{GB}/4\text{KB}) * 4\text{B} = 64\text{MB}$ 。

示例二, 假设内存的容量为 64GB, 页面大小为 2MB, 计数器位宽为 4B, 存储介质的容量为 $(64\text{GB}/2\text{MB}) * 4\text{B} = 128\text{KB}$ 。

由此可知, 页面大小越大, 存储介质的容量越小, 表示需要存储的页面的访问频次的的数据越少。页面大小越小, 存储介质的容量越大, 表示需要存储的页面的访问频次的的数据越多。

另外, 计算机设备以 4KB 页面管理内存时, 存储介质 124 所需的存储空间较大。在一些实施例中, RCD 123 可以再连接一个外置的存储介质, 从而扩大 RCD 123 存储页面的访问频次的容量。示例地, 如图 1 中所示, RCD 123 还连接存储介质 125。存储介质 124 可以用于缓存频繁访问的页面的访问频次。存储介质 125 用于存储页面的访问频次。可选地, RCD 123 更新存储介质 125 中存储的页面的访问频次时涉及到两次存储介质 125 的操作。RCD 123 可以通过扩展存储介质的带宽或提升存储介质的访问频率满足存储访问频次的需求。例如, RCD 123 可以连接至少两个存储介质来扩展存储介质的带宽和提升存储介质的访问频率。

方式二, 根据内存的容量、页面大小、访问频次的计数器位宽和交织的内部通道数确定存储交织后数据块的访问频次的存储介质的容量。

统计交织后数据块的访问频次时, 用于存储交织后数据块的访问频次的存储介质的容量可以由内存的容量、页面大小、访问频次的计数器位宽和交织的内部通道数确定。

假设计算机设备中内存通道为 N^{channel} 个, 页面大小为 $X^{\text{page size}}$ 字节, 数据按照缓存线的粒度在 N^{channel} 个内存通道上进行交织, 每个内存通道分布的交织后数据块(子页面(sub-page))的大小为 $X^{\text{page size}}/N^{\text{channel}}$ 字节, 即每个内存通道的控制器按照 $X^{\text{page size}}/N^{\text{channel}}$ 字节对内存单位进行管理, 每个内存通道的控制器中记录基于 $X^{\text{page size}}/N^{\text{channel}}$ 字节的数据块的访问频次。存储介质的容量如下公式(2)所示。

$$n_1^{\text{capacity}} = (n^{\text{capacity}} / (X^{\text{page size}} / N^{\text{channel}}) * W^{\text{count}}) \quad \text{公式(2)}$$

其中, n_1^{capacity} 表示存储交织后数据块的访问频次的存储介质的容量, n^{capacity} 表示内存的容量, $X^{\text{page size}}$ 表示页面大小, W^{count} 表示访问频次的计数器位宽。 N^{channel} 表示内存通道的数量。

示例一, 假设页面大小为 2MB ($X^{\text{page size}} = 2\text{MB}$), 数据按照缓存线的粒度在 8 个内存通道上进行交织 ($N^{\text{channel}} = 8$), 则每个内存通道的交织后数据块的大小为 256KB, 内存的容量为 64GB ($n^{\text{capacity}} = 64\text{GB}$), 访问频次的计数器位宽为 4B ($W^{\text{count}} = 4\text{B}$), 则存储介质的容量为 1MB。计算机设备需要预留 8 个内存通道的存储介质的物理地址空间为 8MB。处理器获取到 8 个内存通道的基于 256KB 单位的访问频次, 可以组合出一个完整的 2MB 页面的访问频次, 以此进行数据迁移。例如, 处理器可以将这个 8 个数据相加。

示例二, 假设页面大小为 4KB ($X^{\text{page size}} = 4\text{KB}$), 数据按照缓存线的粒度在 8 个内存通道上进行交织 ($N^{\text{channel}} = 8$), 则每个内存通道的交织后数据块的大小为 512B, 内存的容量为 64GB ($n^{\text{capacity}} = 64\text{GB}$), 访问频次的计数器位宽为 4B ($W^{\text{count}} = 4\text{B}$), 则存储介质的容量为 0.5GB。每个内存通道的 RCD 需要记录基于以 512B 为单位的访问频次。计算机设备需要预留 8 个内存通道的存储介质的物理地址空间为 4GB。

应理解, 图 1 所示计算机设备 100 包括的器件只是示意性说明, 具体实施例中, 可以根据业务需求确定器件的数量。

接下来,结合图2介绍本申请提供的一种内存访问热度统计方法,如图所示。

步骤210、RCD 123判断处理器110发送的访问请求待访问的存储空间。

RCD 123通过内存总线(如,DDR总线)接收处理器110发送的访问请求,对访问请求进行译码,得到物理地址和操作指令。RCD 123根据物理地址判断处理器110访问内存120中内存颗粒121还是存储介质124。

如果物理地址指示内存颗粒121的存储空间,表示RCD 123确定处理器110运行的应用程序访问内存颗粒121,并根据操作指令确定对内存颗粒121进行读操作或写操作。**执行步骤220和步骤230。**

如果物理地址指示存储介质124的存储空间,表示RCD 123确定处理器110访问存储介质124获取数据块的访问频次,并根据操作指令确定对存储介质124进行读操作。**执行步骤240和步骤250。**

步骤220、RCD 123对内存120中内存颗粒121进行操作。

若操作指令指示对内存颗粒121中物理地址指示的存储空间进行写操作,则RCD 123将通过DB 122获取的数据写入物理地址指示的存储空间。

若操作指令指示对内存颗粒121中物理地址指示的存储空间进行读操作,则RCD 123读取物理地址指示的存储空间存储的数据,通过DB 122将数据传输至处理器110。

步骤230、RCD 123统计第一地址所在数据块的访问频次。

由于处理器110运行的应用程序对内存120的操作以缓存线作为最小粒度,处理器110发送的访问请求指示对处理器110运行的应用程序对一个缓存线进行读操作或写操作。RCD 123根据物理地址指示的一个缓存线进行读操作或写操作,一个缓存线被读一次或写一次,一个缓存线所属的页面的访问频次加一。RCD 123可以为每个页面设置一个计数器,统计页面的访问频次,处理器110运行的应用程序对页面每访问一次,该页面对应的计数器加一。由此,以计算机设备管理内存的存储空间的页面为粒度进行内存访问热度统计,以提高对内存访问热度统计的精确性。

示例地,如图3中的(a)所示,内存的物理地址空间的大小为 2^{N+1} ,其中,缓存线的大小为64字节。页面的大小可以为4KB或2MB。

如图3中的(b)所示,假设一个缓存线的大小是64字节,页面大小为4KB。4KB的页面包含64个连续的缓存线。物理地址0x000表示第一个页的起始地址。物理地址0x1000表示第二个页的起始地址。第一个页包含了物理地址0x000到0x1000之间的64个连续的缓存线。第二个页包含了物理地址0x1000到物理地址0x2000之间的64个连续的缓存线。

RCD 123以页面为单位统计访问频次时,根据页面大小确定统计的地址段。例如,页面大小为4KB,RCD 123统计地址段[N:12]包含的页面的访问频次。N表示内存120的容量。例如,内存120的容量为64GB,N=35。假设内存120的容量为64GB,地址段[N:12]包含的 $64GB/4KB=16MB$ 个页面,RCD 123统计地址段[N:12]包含的16MB个页面的访问频次。

又如,页面大小为2MB,RCD 123统计地址段[N:21]包含的页面的访问频次。假设内存120的容量为64GB,地址段[N:21]包含的 $64GB/2MB=32KB$ 个页面,RCD 123统计地址段[N:21]包含的32KB个页面的访问频次。

假设访问请求包含的物理地址指示第一地址,处理器110运行的应用程序访问内存颗粒121中第一地址指示的缓存线。第一地址可以是统计的地址段中一个缓存线的一个地址或地址段。RCD 123根据第一地址所在页面的地址和地址映射关系识别第二地址,根据第二地址从存储介质124中读取所访问页面的访问频次,更新页面的访问频次,即对页面的访问频次

加一，将更新后的页面的访问频次写回到存储介质 124。第二地址用于指示存储页面的访问频次的存储空间的位置。第二地址可以是页面的页号或页面的地址。地址映射关系用于指示页面的地址与存储访问频次的存储空间的地​​址的映射关系。例如，当第一地址指示一个地址时，RCD 123 根据第一地址确定第一地址指示的缓存线所在页面的页号，根据页面的页号从存储介质 124 中读取所访问页面的访问频次。当第一地址指示一个地址段时，RCD 123 根据第一地址确定该地址段指示的缓存线所在的所有页面的页号，再根据上述页面的页号从存储介质 124 中读取所访问页面的访问频次。

步骤 240、RCD 123 对内存 120 中存储介质 124 进行操作。

由于计算机设备预先分配了内存 120 中内存颗粒 121 的容量，当处理器 110 访问存储介质 124 时，计算机设备从内存 120 中内存颗粒 121 的容量中给存储介质 124 分配对应应该存储介质 124 的容量的物理地址空间，则 RCD 123 将访问存储介质 124 的物理地址映射到存储介质 124，这样内存颗粒 121 中相应容量则无法使用，导致浪费了内存颗粒 121 的存储空间。例如，页面大小为 4KB，浪费 64MB 的内存的存储空间。

RCD 123 可以根据页面的页号（页面的地址）确定存储介质 124 的物理地址，将页号的部分比特位和访问频次组成字段存储到存储介质 124 中相应的地址空间。如图 4 所示，将每个页面的计数器的位宽为 4B（32bit）分成两部分，一部分用于记录页面的访问频次，另一部分记录页面的页号中任意 8bit。记录页面的访问频次的位置和记录页面的页号中任意 8bit 的位置不予限定。其中，bit23~bit0 用于记录页面的访问频次，bit32~bit24 用于记录页面的页号中任意 8bit，例如 bit32~bit24 表示页面的页号中低 8bit。进而，采用页面的页号生成处理器 110 访问存储介质 124 中存储页面的访问频次的相应的地址空间，得到数据块的地址与用于存储访问频次的存储空间的地​​址的映射关系，从而可以用于节约为内存 120 预留的地址空间，已达到用少量的地址空间映射存储介质存储访问频次的地址空间的目的，以便于 RCD 123 根据地址映射关系确定处理器 110 访问存储介质 124 的物理地址，提升内存颗粒 121 的存储空间的利用率。

在一些实施例中，采用页面的页号中的部分比特位生成处理器 110 访问存储介质 124 中存储页面的访问频次的相应的地址空间。例如，删除页面的页号中任意比特位的剩余比特位作为处理器 110 访问存储介质 124 中存储页面的访问频次的相应的地址空间。删除的页面的页号中任意比特位越多，处理器 110 访问存储介质 124 中存储页面的访问频次的相应的地址空间越小；反之，删除的页面的页号中任意比特位越少，处理器 110 访问存储介质 124 中存储页面的访问频次的相应的地址空间越大。例如，RCD 123 对内存颗粒 121 中页面进行操作后，将该页面的页号的低 8bit 位存储到计数器的 bit32~bit24，并对 bit23~bit0 记录的访问频次加一。

RCD 123 获取到的物理地址指示存储介质 124 的存储空间，表示 RCD 123 确定处理器 110 访问存储介质 124 获取数据块的访问频次，并根据操作指令确定对存储介质 124 进行读操作。物理地址可以是删除页面的页号中任意比特位的剩余比特位。例如，RCD 123 获取到的第三地址，确定第三地址指示的存储介质 124 的存储空间，读取到 32bit 数据后，提取高 8bit，再加上第三地址，得到页号，对应的 24bit 数据位为相应页号的页面的访问频次。

步骤 250、RCD 123 根据访问频次确定数据块的访问热度。

访问频次大于或等于阈值，确定数据块的冷热程度为热；若冷访问频次小于阈值，确定数据块的冷热程度为冷。RCD 123 可以将页号和页号指示的页面的访问热度反馈给处理器 110，触发数据迁移。

如此，处理器以缓存线为粒度对内存进行操作，而缓存线属于管理的某一页面，则内存中的缓存线被操作一次，缓存线所属的页面也就被读写一次。控制器统计被操作的缓存线所属的页面的访问频次，有效地提升了页面的访问热度的识别准确性。而且以页面为粒度统计页面的访问频次，兼容了计算机设备对内存的页面管理方式，该内存访问热度统计方法具备易用性。另外，依据数据块的访问热度触发数据迁移时，可以将热数据迁移到近端内存，将冷数据迁移到远端内存，使处理器可以尽可能快地从近端内存获取频繁访问的数据，提高系统的数据处理速度，以及降低数据处理时延，显著地改善系统的访问性能。

上述实施例是以 4KB 页面（小页）和 2MB 页面（大页）对内存访问热度统计方法进行说明了。

在另一些实施例中，处理器运行的应用程序以交织方式对计算机设备的内存的操作时，将访问内存的数据按照单位存储空间（例如，缓存线）均匀地分布到多个内存通道上。每个内存通道的控制器进行内存访问热度统计时，统计交织后数据块的访问频次。每个内存通道的控制器统计交织后数据块的访问频次的方法可以参考上述对页面的访问频次的阐述。

与非交织的场景相比，统计交织后数据块的访问频次的区别在于：交织后数据块的大小小于页面大小，根据交织后数据块的地址中的部分比特位生成处理器 110 访问存储介质 124 中存储页面的访问频次的相应的地址空间。

示例地，如图 5 所示，2MB 的页面包括 512 个 4KB 的页面，一个缓存线的大小为 64B，4KB 的页面包括 64 个缓存线。2MB 的页面包括 512*64 个缓存线均匀地分不到 8 个内存通道，每个内存通道分得 512*512B 的缓存线。每个内存通道包含 256KB 的交织后数据块。

例如，页面大小为 4KB ($X^{\text{page size}}=4\text{KB}$)，数据按照缓存线的粒度在 8 个内存通道上进行交织 ($N^{\text{channel}}=8$)，则每个内存通道的交织后数据块的大小为 512B。每个内存中控制器记录 $64\text{GB}/512\text{B}=128\text{MB}$ 个交织后数据块的访问频次。每个内存中控制器中用于存储交织后数据块的访问频次的存储介质的容量为 0.5GB。计算机设备需要预留给 8 个内存通道的存储介质的物理地址空间为 4GB。

又如，页面大小为 2MB ($X^{\text{page size}}=2\text{MB}$)，内存的容量为 64GB，计数器位宽 4B。每个内存预留的地址空间是 1MB，8 个内存通道，预留的内存地址空间为 8MB。

在一些实施例，控制器可以根据交织数据块的地址与存储访问频次的存储空间地址的映射关系，确定处理器访问控制器中用于存储交织后数据块的访问频次的存储空间地址。即控制器将交织数据块的地址的任意 8bit 位存储到交织后数据块的计数器的 bit32~bit24，并对 bit23~bit0 记录交织后数据块的访问频次加一。交织数据块的地址的其余比特作为处理器访问存储介质中存储该交织数据块的访问频次的物理地址。

例如，内存中控制器记录 $64\text{GB}/512\text{B}=128\text{MB}$ 个交织后数据块的访问频次时，处理器访问存储介质的物理地址空间减少到 $0.5\text{GB}/256=2\text{MB}$ ，同时访问频次计数器位宽为 4B，处理器访问频次计数器最小数据粒度为 4B，2MB 物理地址空间可以进一步减少到 $2\text{MB}/4\text{B}=512\text{KB}$ ，8 个内存通道共需要预留 4MB 物理地址空间，则内存的容量便仅浪费 4MB。

控制器根据处理器访问存储介质指示的物理地址确定存储介质中存储该页面的访问频次的物理地址。例如，对每个内存，处理器周期性连续读取内存中控制器存储的交织后数据块的访问频次，控制器检测到对应的 512KB 地址访问，该物理地址编址为 PA[18:0]，控制器实现一个 8bit 的地址计数器 AddrCnt[7:0]，当 512KB 地址连续访问一遍时，AddrCnt[7:0] 计数器加一，控制器生成一个物理地址 MAT_Addr={AddrCnt[7:0], PA[18:0]}，控制器基于物理地址 MAT_Addr 对存储在控制器中交织后数据块的访问频次进行访问。

控制器读取到 32bit 数据后,提取高 8bit,再加上 PA[18:0],共 27bit 为交织后数据块的地址(子页(Sub-page)),对应的数据位低 24bit 为相应交织后数据块的访问频次。处理器获取了 8 个内存通道的基于 512B 的访问频次,可以组合出一个完整的 4KB 页面进行访问频次。例如,将 8 个内存通道的访问频次相加,或者,取 8 个内存通道的访问频次的均值、方差、最大值等。

上述实施例是处理器 110 以一个访问请求为例说明内存访问热度统计方法。如果处理器 110 运行的应用程序对计算机设备的内存的操作发送了多个访问请求,针对每个访问请求对应物理地址所在数据块进行统计,具体方法可以参考上述实施例的阐述。

上述各实施例结合附图对计算机设备包括的控制器与近端内存的连接关系和近端内存的内存访问热度统计方法的场景进行了说明。如上述实施例中所述的内存 120 可以是指示近端内存(也可以称为近内存),RCD 123 可以是指控制近端内存进行内存访问热度统计的控制器。

在另一些实施例中,计算机设备可以包含远端内存(也可以称为远内存),控制器统计远端内存的访问频次。与近端内存和控制器的连接关系的区别在于,相对处理器中的内存控制器,控制远端内存进行内存访问热度统计的控制器可以是一种扩展控制器。

可选地,计算机设备包括远端内存和近端内存,由近端内存中 RCD 统计近端内存的访问频次,由连接远端内存的扩展控制器统计远端内存的访问频次。

基于应用确定访问频次的阈值,将访问频次大于阈值的数据判定为热数据放到近端内存中,将访问频次小于阈值的数据判定为冷数据放到远端内存中。在阈值的设定不影响应用性能的前提下发现只有少量的访问内存数据是热数据,多数的内存访问数据是冷数据。计算机设备可以配置更多比例的远端内存,降低系统成本,热数据比例的降低,可以减少近端内存和远端内存之间数据迁移,降低系统内存带宽的占用和 CPU 开销。

作为一种可能的实现方式,本申请还提供另一种计算机设备的结构示意图。如图 6 所示,在计算机设备 100 包括处理器 110 和内存 120 的基础上,计算机设备 100 还包括内存 610。内存 120 可以作为近端内存,内存 610 可以作为远端内存。处理器 110 和内存 610 通过总线 620 相连。

内存 610 包括扩展控制器 611、内存颗粒 612 和存储介质 613。内存颗粒 612 包括 DRAM 和 SCM。存储介质 613 可以是 DRAM。

扩展控制器 611 用于根据处理器 110 的访问请求在内存颗粒 612 中执行读操作或写操作,并对内存颗粒 612 中数据块的访问频次进行计数,将数据块的访问频次存储到存储介质 613。扩展控制器 611 还可以外接存储介质 614,用于扩展存储介质 613 的存储容量,存储数据块的访问频次。

扩展控制器 611,还用于从存储介质 613 中获取数据块的访问频次。

扩展控制器 611 的功能和对内存 610 中内存颗粒 612 的数据块的访问频次进行计数的方法,以及获取从存储介质 613 中获取数据块的访问频次可以参考上述控制器统计近端内存的访问频次的相关阐述。

内存 610 可以是易失性存储器池或非易失性存储器池,或可包括易失性和非易失性存储器两者。其中,非易失性存储器可以是 ROM、PROM、EPROM、EEPROM 或闪存。易失性存储器可以是 RAM。通过示例性但不是限制性说明,许多形式的 RAM 可用,例如 SRAM、DRAM、SDRAM、DDR SDRAM、ESDRAM、SLDRAM 和 DR RAM。

总线 620 可以包括一通路,用于在上述组件(如处理器 110 和内存 610)之间传送数据。例如,处理器 110 向内存 610 发送的访问请求,以及内存 610 向处理器 110 反馈的数据块的

访问频次。总线 620 除包括数据总线之外，还可以包括电源总线、控制总线和状态信号总线等。例如，总线 620 为 DDR 总线。但是为了清楚说明起见，在图中将各种总线都标为总线 620。总线 620 可以是快捷外围部件互连标准(Peripheral Component Interconnect Express, PCIe)总线，或扩展工业标准结构(extended industry standard architecture, EISA)总线、统一总线(unified bus, Ubus 或 UB)、计算机快速链接(compute express link, CXL)、缓存一致互联协议(cache coherent interconnect for accelerators, CCIX)等。总线 620 可以分为地址总线、数据总线、控制总线等。

本申请实施例对计算机设备包含的近端内存和远端内存的结构进行了说明，对近端内存和远端内存的内存访问热度统计的方法可以参考上述对近端内存进行内存访问热度统计的阐述。由近端内存中 RCD 统计近端内存的访问频次，由连接远端内存的扩展控制器统计远端内存的访问频次，几乎不消耗 CPU 性能，而且处理器以缓存线为粒度对内存进行操作，而缓存线属于管理的某一页面，则内存中的缓存线被操作一次，缓存线所属的页面也就被读写一次。控制器统计被操作的缓存线所属的页面的访问频次，有效地提升了页面的访问热度的识别准确性，而且以页面为粒度统计页面的访问频次，兼容了计算机设备对内存的页面管理方式，该内存访问热度统计方法具备易用性。另外，基于应用确定访问频次的阈值，将访问频次大于阈值的数据判定为热数据放到近端内存中，将访问频次小于阈值的数据判定为冷数据放到远端内存中。在阈值的设定不影响应用性能的前提下发现只有少量的访问内存数据是热数据，多数的内存访问数据是冷数据。计算机设备可以配置更多比例的远端内存，降低系统成本，热数据比例的降低，可以减少近端内存和远端内存之间数据迁移，降低系统内存带宽的占用和 CPU 开销。

为了实现上述实施例中的功能，控制器包括了执行各个功能相应的硬件结构和/或软件模块。本领域技术人员应该很容易意识到，结合本申请中所公开的实施例描述的各示例的单元及方法步骤，本申请能够以硬件或硬件和计算机软件相结合的形式来实现。某个功能究竟以硬件还是计算机软件驱动硬件的方式来执行，取决于技术方案的特定应用场景和设计约束条件。

上文中结合图 1 至图 6，详细描述了根据本申请所提供的内存访问热度统计方法，下面将结合图 7，描述根据本申请所提供的内存访问热度统计装置。

图 7 为本申请提供的可能的内存访问热度统计装置的结构示意图。这些内存访问热度统计装置可以用于实现上述方法实施例中控制器的功能，因此也能实现上述方法实施例所具备的有益效果。在本实施例中，该内存访问热度统计装置可以是如图 2 所示的控制器，还可以是应用于计算机设备的模块(如芯片)。

如图 7 所示，内存访问热度统计装置 700 包括通信模块 710、统计模块 720 和存储模块 730。内存访问热度统计装置 700 用于实现上述图 2 中所示的方法实施例中控制器的功能。

通信模块 710 用于根据获取的访问请求确定第一地址，所述访问请求用于指示所述控制器所在计算机设备中处理器运行的应用程序对所述计算机设备的内存的操作，所述第一地址为所述内存中的物理地址。

统计模块 720，用于统计所述第一地址所在数据块的访问频次，所述数据块的大小为所述处理器可访问的所述内存中单位存储空间的倍数。例如，统计模块 720 用于执行图 2 中步骤 210 至步骤 250。

统计模块 720，具体用于统计所述第一地址所归属的单位存储空间所在的数据块的访问频次。

存储模块 730 用于存储访问频次，以便于统计模块 720 根据访问频次确定所述数据块的访问热度，触发数据迁移。

本申请实施例的内存访问热度统计装置 700 可以通过专用集成电路（application-specific integrated circuit, ASIC）实现，或可编程逻辑器件（programmable logic device, PLD）实现，上述 PLD 可以是复杂程序逻辑器件（complex programmable logical device, CPLD），现场可编程门阵列（field-programmable gate array, FPGA），通用阵列逻辑（generic array logic, GAL）、DPU、SoC 或其任意组合。也可以通过软件实现图 2 所示的内存访问热度统计方法时，及其各个模块也可以为软件模块，内存访问热度统计装置 700 及其各个模块也可以为软件模块。

根据本申请实施例的内存访问热度统计装置 700 可对应于执行本申请实施例中描述的方法，并且内存访问热度统计装置 700 中的各个单元的上述和其它操作和/或功能分别为了实现图 2 中的各个方法的相应流程，为了简洁，在此不再赘述。

图 8 为本申请提供的一种控制器 800 的结构示意图。如图所示，控制器 800 包括处理单元 810、总线 820、存储单元 830 和通信接口 840。处理单元 810、存储单元 830 和通信接口 840 通过总线 820 相连。

在本实施例中，处理单元 810 可以是 CPU，该处理单元 810 还可以是其他通用处理器、数字信号处理器（digital signal processing, DSP）、ASIC、FPGA 或者其他可编程逻辑器件、分立门或者晶体管逻辑器件、分立硬件组件等。通用处理器可以是微处理器或者是任何常规的处理器等。

通信接口 840 用于实现控制器 800 与外部设备或器件的通信。在本实施例中，控制器 800 用于实现图 2 所示的控制器 800 的功能时，通信接口 840 用于获取访问请求。

总线 820 可以包括一通路，用于在上述组件（如处理单元 810 和存储单元 830）之间传送信息。总线 820 除包括数据总线之外，还可以包括电源总线、控制总线和状态信号总线等。但是为了清楚说明起见，在图中将各种总线都标为总线 820。总线 820 可以是快捷外围部件互连标准（Peripheral Component Interconnect Express, PCIe）总线，或扩展工业标准结构（extended industry standard architecture, EISA）总线、统一总线（unified bus, Ubus 或 UB）、计算机快速链接（compute express link, CXL）、缓存一致互联协议（cache coherent interconnect for accelerators, CCIX）等。总线 820 可以分为地址总线、数据总线、控制总线等。

作为一个示例，控制器 800 可以包括多个处理器。处理器可以是一个多核（multi-CPU）处理器。这里的处理器可以指一个或多个设备、电路、和/或用于处理数据（例如计算机程序指令）的计算单元。在本实施例中，控制器 800 用于实现图 2 所示的控制器 800 的功能时，处理单元 810 统计所述第一地址所在数据块的访问频次。

可选地，也可以将统计数据块的访问频次的方法烧制在处理单元 810 中，以便于处理单元 810 统计数据块的访问频次。

图 8 中仅以控制器 800 包括 1 个处理单元 810 和 1 个存储单元 830 为例，此处，处理单元 810 和存储单元 830 分别用于指示一类器件或设备，具体实施例中，可以根据业务需求确定每种类型的器件或设备的数量。

存储单元 830 可以对应上述方法实施例中用于存储访问频次等信息。存储单元 830 可以是易失性存储器池或非易失性存储器池，或可包括易失性和非易失性存储器两者。其中，非易失性存储器可以是只读存储器（read-only memory, ROM）、可编程只读存储器（programmable ROM, PROM）、可擦除可编程只读存储器（erasable PROM, EPROM）、电可擦除可编程只读存储器（electrically EPROM, EEPROM）或闪存。易失性存储器可以是随机存取存储器

(random access memory, RAM), 其用作外部高速缓存。通过示例性但不是限制性说明, 许多形式的 RAM 可用, 例如静态随机存取存储器 (static RAM, SRAM)、动态随机存取存储器 (DRAM)、同步动态随机存取存储器 (synchronous DRAM, SDRAM)、双倍数据速率同步动态随机存取存储器 (double data rate SDRAM, DDR SDRAM)、增强型同步动态随机存取存储器 (enhanced SDRAM, ESDRAM)、同步连接动态随机存取存储器 (synchlink DRAM, SLD RAM) 和直接内存总线随机存取存储器 (direct rambus RAM, DR RAM)。

存储单元 830 还可以对应上述方法实施例用于存储计算机指令等信息的存储介质, 例如, 磁盘, 如机械硬盘或固态硬盘。

上述控制器 800 可以是一个通用设备或者是一个专用设备。例如, 控制器 800 也可以是服务器或其他具有计算能力的设备。

根据本实施例的控制器 800 可对应于本实施例中的内存访问热度统计装置 700, 并可以对应于执行根据图 2 中任一方法中的相应主体, 并且内存访问热度统计装置 700 中的各个模块的上述和其它操作和/或功能分别为了实现图 2 中的各个方法的相应流程, 为了简洁, 在此不再赘述。

本申请实施例所述的控制器 800 可以为计算机设备的内存中的 RCD 控制器。或者, 控制器 800 为与计算机设备的内存连接的扩展控制器。

本申请实施例还提供一种芯片, 包括: 处理器和供电电路; 所述供电电路用于为所述处理器供电; 所述处理器用于执行上述实施例所述的内存访问热度统计方法。

本申请实施例还提供一种内存, 内存包括存储器和控制器, 存储器用于存储一组计算机指令; 当控制器执行一组计算机指令时执行上述实施例所述的内存访问热度统计方法。

本申请实施例还提供一种主板, 主板包括控制器, 控制器执行上述实施例所述的内存访问热度统计方法。

本实施例中的方法步骤可以通过硬件的方式来实现, 也可以由处理器执行软件指令的方式来实现。软件指令可以由相应的软件模块组成, 软件模块可以被存放于随机存取存储器 (random access memory, RAM)、闪存、只读存储器 (read-only memory, ROM)、可编程只读存储器 (programmable ROM, PROM)、可擦除可编程只读存储器 (erasable PROM, EPROM)、电可擦除可编程只读存储器 (electrically EPROM, EEPROM)、寄存器、硬盘、移动硬盘、CD-ROM 或者本领域熟知的任何其它形式的存储介质中。一种示例性的存储介质耦合至处理器, 从而使处理器能够从该存储介质读取信息, 且可向该存储介质写入信息。当然, 存储介质也可以是处理器的组成部分。处理器和存储介质可以位于 ASIC 中。另外, 该 ASIC 可以位于计算设备中。当然, 处理器和存储介质也可以作为分立组件存在于计算设备中。

在上述实施例中, 可以全部或部分地通过软件、硬件、固件或者其任意组合来实现。当使用软件实现时, 可以全部或部分地以计算机程序产品的形式实现。所述计算机程序产品包括一个或多个计算机程序或指令。在计算机上加载和执行所述计算机程序或指令时, 全部或部分地执行本申请实施例所述的流程或功能。所述计算机可以是通用计算机、专用计算机、计算机网络、网络设备、用户设备或者其它可编程装置。所述计算机程序或指令可以存储在计算机可读存储介质中, 或者从一个计算机可读存储介质向另一个计算机可读存储介质传输, 例如, 所述计算机程序或指令可以从一个网站站点、计算机、服务器或数据中心通过有线或无线方式向另一个网站站点、计算机、服务器或数据中心进行传输。所述计算机可读存储介质可以是计算机能够存取的任何可用介质或者是集成一个或多个可用介质的服务器、数据中心等数据存储设备。所述可用介质可以是磁性介质, 例如, 软盘、硬盘、磁带; 也可以是光

介质，例如，数字视频光盘（digital video disc，DVD）；还可以是半导体介质，例如，固态硬盘（solid state drive，SSD）。

以上所述，仅为本申请的具体实施方式，但本申请的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本申请揭露的技术范围内，可轻易想到各种等效的修改或替换，这些修改或替换都应涵盖在本申请的保护范围之内。因此，本申请的保护范围应以权利要求的保护范围为准。

权利要求书

1. 一种内存访问热度统计方法，其特征在于，所述方法由控制器执行，包括：

根据获取的访问请求确定第一地址，所述访问请求用于指示所述控制器所在计算机设备中处理器运行的应用程序对所述计算机设备的内存的操作，所述第一地址为所述内存中的物理地址；

统计所述第一地址所在数据块的访问频次，所述数据块的大小为所述处理器可访问的所述内存中单位存储空间의 倍数；

根据所述访问频次确定所述数据块的访问热度。

2. 根据权利要求1所述的方法，其特征在于，统计所述第一地址所在数据块的访问频次，包括：

统计所述第一地址所归属的单位存储空间所在的数据块的访问频次。

3. 根据权利要求2所述的方法，其特征在于，所述方法还包括：

根据所述第一地址所在数据块的地址和地址映射关系识别第二地址，所述第二地址用于指示所述控制器中存储所述数据块的访问频次的位置，所述地址映射关系用于指示所述数据块的地址与存储访问频次的存储空间의 地址的映射关系。

4. 根据权利要求3所述的方法，其特征在于，所述方法还包括：

根据所述处理器指示的第三地址和所述地址映射关系识别所述第二地址，获取所述数据块的访问频次，所述第三地址是由所述第二地址确定的。

5. 根据权利要求1-4中任一项所述的方法，其特征在于，所述数据块的大小为所述处理器可访问的所述内存中一个页面的大小。

6. 根据权利要求1-4中任一项所述的方法，其特征在于，所述数据块的大小为所述处理器采用交织方式可访问的所述内存中交织后数据块的大小，所述交织方式指所述计算机设备中处理器将运行的应用程序对所述计算机设备的内存的操作的数据分布到多个内存进行操作。

7. 根据权利要求1-6中任一项所述的方法，其特征在于，所述单位存储空间的大小为所述处理器访问所述内存时缓存线的大小。

8. 一种内存访问热度统计装置，其特征在于，包括：

通信模块，用于根据获取的访问请求确定第一地址，所述访问请求用于指示控制器所在计算机设备中处理器运行的应用程序对所述计算机设备的内存的操作，所述第一地址为所述内存中的物理地址；

统计模块，用于统计所述第一地址所在数据块的访问频次，所述数据块的大小为所述处理器可访问的所述内存中单位存储空间의 倍数；

所述统计模块，还用于根据所述访问频次确定所述数据块的访问热度。

9. 根据权利要求8所述的装置，其特征在于，所述统计模块统计所述第一地址所在数据块的访问频次时，具体用于：

统计所述第一地址所归属的单位存储空间所在的数据块的访问频次。

10. 根据权利要求9所述的装置，其特征在于，所述统计模块，还用于：

根据所述第一地址所在数据块的地址和地址映射关系识别第二地址，所述第二地址用于指示所述控制器中存储所述数据块的访问频次的位置，所述地址映射关系用于指示所述数据块的地址与存储访问频次的存储空间의 地址的映射关系。

11. 根据权利要求 10 所述的装置，其特征在于，所述统计模块，还用于：

根据所述处理器指示的第三地址和所述地址映射关系识别所述第二地址，获取所述数据块的访问频次，所述第三地址是由所述第二地址确定的。

12. 根据权利要求 8-11 中任一项所述的装置，其特征在于，所述数据块的大小为所述处理器可访问的所述内存中一个页面的大小。

13. 根据权利要求 8-11 中任一项所述的装置，其特征在于，所述数据块的大小为所述处理器采用交织方式可访问的所述内存中交织后数据块的大小，所述交织方式指所述计算机设备中处理器将运行的应用程序对所述计算机设备的内存的操作的数据分布到多个内存进行操作。

14. 根据权利要求 8-13 中任一项所述的装置，其特征在于，所述单位存储空间的大小为所述处理器访问所述内存时缓存线的大小。

15. 一种控制器，其特征在于，所述控制器包括存储单元和处理单元，所述存储单元用于存储一组计算机指令；当所述处理单元执行所述一组计算机指令时，执行上述权利要求 1-7 中任一项所述的方法的操作步骤实现识别内存中数据块被应用程序访问的访问频次。

16. 根据权利要求 15 所述的控制器，其特征在于，所述控制器为计算机设备的内存中的寄存时钟驱动器 RCD。

17. 根据权利要求 15 所述的控制器，其特征在于，所述控制器为与计算机设备的内存中的扩展控制器。

18. 一种芯片，其特征在于，包括：处理器和供电电路；其中，所述供电电路用于为所述处理器供电；所述处理器用于执行权利要求 1 至 7 中任一项所述的方法的操作步骤。

19. 一种内存，其特征在于，所述内存包括存储器和如权利要求 15-17 中任一项所述的控制器，所述存储器用于存储一组计算机指令；当所述控制器执行所述一组计算机指令时，执行上述权利要求 1-7 中任一项所述的方法的操作步骤实现识别内存中数据块被应用程序访问的访问频次。

20. 一种主板，其特征在于，所述主板包括如权利要求 15-17 中任一项所述的控制器，所述控制器执行上述权利要求 1-7 中任一项所述的方法的操作步骤实现识别内存中数据块被应用程序访问的访问频次。

21. 一种计算机设备，其特征在于，所述计算机设备包括如权利要求 20 所述的主板。