

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 9 月 19 日(19.09.2013)



(10) 国際公開番号
WO 2013/137069 A1

- (51) 国際特許分類:
G11C 19/28 (2006.01) *G09G 3/36* (2006.01)
G02F 1/133 (2006.01) *G11C 19/00* (2006.01)
G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2013/056004
- (22) 国際出願日: 2013 年 3 月 5 日(05.03.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-055086 2012 年 3 月 12 日(12.03.2012) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: 堀内 智(HORIUCHI, Satoshi). 田中 信也(TANAKA, Shinya). 田川 晶(TAGAWA, Akira). 岩瀬 泰章(IWASE, Yasuaki). 水永 隆行(MIZUNAGA, Takayuki). 岩本 明久(IWAMOTO, Akihisa).
- (74) 代理人: 特許業務法人原謙三国際特許事務所(HARAKENZO WORLD PATENT & TRADEMARK); 〒5300041 大阪府大阪市北区天神橋 2 丁目北 2 番 6 号 大和南森町ビル Osaka (JP).

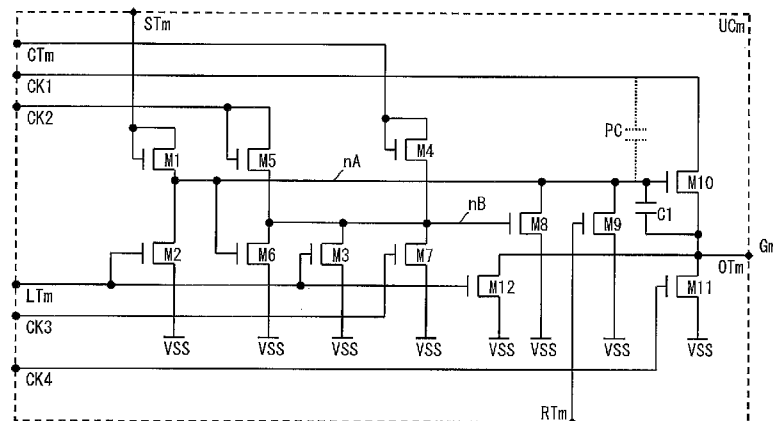
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: SHIFT REGISTER, DRIVER CIRCUIT AND DISPLAY DEVICE

(54) 発明の名称: シフトレジスタ、ドライバ回路、表示装置



(57) Abstract: There are provided: a first input terminal to which clock signals are input respectively by a first and second intermediate stage; a second input terminal to which a clock signal is input that is of different phase from that of the aforementioned clock signal; an output terminal that is connected with the first input terminal through an output transistor; and a setting circuit that is connected with the second input terminal and the output transistor and that sets the potential of the control terminal of the output transistor. A control circuit is provided that inputs a control signal and that is connected to the setting circuit at the second intermediate stage. In this construction, taking as the operating period the period from when the shift start signal that was initially input becomes active until the final-stage output changes from active to inactive, when the clock signal that is input to the first input terminal of the second intermediate stage is first activated after the commencement of the operating period, the clock signal that is input to the second input terminal of the second intermediate stage is inactive. In this way, spurious operation of the shift register when a plurality of clock signals are input in each stage is suppressed.

(57) 要約:

[続葉有]

WO 2013/137069 A1



第1および第2中途段それぞれに、クロック信号が入力される第1入力端子と、上記クロック信号と別位相のクロック信号が入力される第2入力端子と、出力トランジスタを介して第1入力端子に接続された出力端子と、第2入力端子および出力トランジスタに接続し、出力トランジスタの制御端子の電位を設定する設定回路とが設けられ、第2中途段に、上記設定回路に接続し、制御信号が入力される制御回路が設けられ、初段に入力されるシフト開始信号がアクティブになってから末段の出力がアクティブから非アクティブになるまでの期間を動作期間として、第2中途段の第1入力端子に入力されるクロック信号が動作期間開始後に初めてアクティブ化したときに、第2中途段の第2入力端子に入力されるクロック信号が非アクティブである構成とする。これにより、各段に複数のクロック信号が入力されるシフトレジスタの誤動作を抑制する。