明 細 書

シリコン単結晶ウェーハの熱処理方法とその熱処理装置並びにシリコン単結晶ウェーハとその製造方法

技術分野

この発明は、大量のシリコン単結晶ウェーハを同時にかつ均等に熱処理する熱処理方法並びに製造方法に係り、例えば10枚程度のウェーハを積層して1群となして、これを複数群、各々水平より僅かに傾斜させて垂直方向にスタック配置し、同一炉で所要の熱処理を行うことにより、種々の熱処理、例えば、DZ(Denuded Zone)層形成のための酸素外方拡散熱処理、IG(Intrinsic gettering)能を付与するための酸素析出物によるBMD(Bulk Micro Defect)を生成制御する熱処理、表面COP(Crystal Originated Particle)や基板内部のCOP源となるGrown-in欠陥を消失させてデバイス特性の向上を図る熱処理等、いずれの熱処理においても同時に処理する多数のウェーハに均等にかつ効果的に熱処理を施すことが可能なシリコン単結晶ウェーハの熱処理方法並びにこの熱処理方法を用いた製造方法に関する。

背景技術

半導体デバイスに用いられるシリコンウェーハは、ほとんどが引上げ法(チョクラルスキー法、CZ法)で育成されたものである。このCZ法で育成されるシリコン単結晶には、通常、10^{18}個/cm^3程度の酸素不純物が含まれており、そのままの状態でデバイス製造工程に使用すると、工程中に過飽和な酸素が析出する。

また、この酸素析出物の体積膨張による歪みで二次的に転位、積層欠陥等が発生する。これらの酸素析出物(BMD)及びその二次欠陥は半導体デバイスの特性に大きな影響を及ぼすもので、ウェーハ表面及びデバイス活性層に欠陥がある場合、リーク電流の増大、酸化膜耐圧不良等を引き起す。

また、MOS LSIデバイスの高集積化、微細化に伴い16M DRAMまでは問題視されなかったCZ法シリコン単結晶引上げ時に導入されたGrown-in欠陥が、MOSキャパシタの酸化膜耐圧特性を著しく劣化させることから、64M DRAM以降ではシリコン単結晶基板の表面近傍における結晶性の適否がデバイスの信頼性及び歩留りを大きく左右することになる。

そこで、CZ法による単結晶育成時に酸化膜耐圧特性を改善する方法として、結晶成長速度が0.8mm/min以下の低速で結晶育成することにより、シリコン単結晶基板の酸化膜耐圧特性を大幅に改善できることが提案(特開平2-267195号)されている。

また、シリコン単結晶中のGrown-in欠陥の低減方法として、1150℃～1000℃までの温度範囲における冷却速度を2.0℃/min以下として結晶成長を行わせることが提案(特開平8-12493号)されている。

別手法として、CZ法によって引上げられたシリコン単結晶インゴットに直接、1150℃以上1400℃以下の温度で熱処理をして結晶育成時に導入されたGrown-in欠陥を縮小･消滅させ、ゲート酸化膜の信頼性を向上させることができると特開平5-319988号及び特開平5-319987号公報に開示されている。

また、ウェーハ熱処理としては、特開昭60-231365号公報、特開昭61-193456号公報、特開昭61-193458号公報等に開示されるものがあり、シリコン基板を水素雰囲気下、又は水素含有雰囲気中で950℃から1200℃の温度で5分間以上加熱してシリコンウェーハ表層部に酸素外方拡散促進によるDZ層を形成する方法がある。

一方、ULSIデバイス工程では、高温での熱処理プロセス等で、Fe,Ni,Cuに代表される重金属汚染があり、これら重金属汚染により、ウェーハ表面近傍に欠陥や電気的な準位が形成されると、デバイスの特性が劣化するため、この重金属汚染をウェーハ表面近傍から取り除く必要から、IGや各種のEG(Extrinsic gettering)のゲッタリング手法が従来から用いられている。

今後のデバイスプロセスは、更なる高集積化と高エネルギー·イオン注入を用いたプロセスの低温化が進むことが明らかで、その場合、プロセスにおけるBMDの形成が、プロセス低温化のために困難になることが予測される。従って、低温プロセスでは、高温プロセスに比べ十分なIG効果を得ることが困難である。また、プロセスが低温化しても、高エネルギー·イオン注入等での重金属汚染は避け難く、ゲッタリング技術は必須と考えられる。

通常のCZ法によるシリコンウェーハの高品質化については、これまでDZ-IG処理が広く用いられており、この方法は前述のごとく、ウェーハを1100℃から1200℃程度の温度で高温処理をすることにより、ウェーハ表面近傍の酸素を外方に拡散させて微小欠陥の核となる格子間酸素を減少させ、デバイス活性領域に欠陥の無いDZ(Denuded Zone)層を形成させる。その後、600℃から900℃の低温熱処理で、ウェーハバルク(Bulk)中に酸素析出核を形成するという高温＋低温の二段の熱処理が行われている。

しかしながら、CZ法による単結晶育成時に酸化膜耐圧特性を改善する方法として、前述した結晶成長速度が0.8mm/min以下の低速で結晶育成する方法は、引上げ速度を遅くすることにより生産性を大幅に低下させることになる。また、この方法では格子間シリコン原子リッチの結晶となり過剰の格子間シリコン原子に起因した転位ループ発生の問題もある。一方、シリコン単結晶引上げ時に1150~1000℃までの温度範囲における冷却速度を2.0℃/min以下とする手法もgrown-in欠陥を完全に無くすことは不可能である。

シリコンインゴットに直接1150℃以上1400℃以下の温度で熱処理する方法は、インゴット全体に転位やスリップが発生し製品として利用できない。一方、シリコン基板を水素雰囲気下又は水素含有雰囲気中で900℃から1200℃の温度で熱処理する方法は、確かに表面もしくは表面近傍2μm深さ程度まではgrown-in欠陥は消滅しているものの、熱処理過程でウェーハ表面上に付着し

たパーティクルや、ウェーハ移載に起因する表面キズの除去のため、再度ウェーハ表面を鏡面研磨するとその効果が著しく低減する。

また、トレンチキャパシタのようにウェーハ表面下に8~10μm程度の穴を掘る構造ではgrown-in欠陥は消滅していないので、grown-in欠陥の存在によるリーク電流が生じ、デバイス特性の向上は望めない。

さらに、ウェーハの熱処理の場合、一般的に横型もしくは縦型炉を使用しており、熱処理を受けるウェーハはSiCもしくは石英材質等のボートにより1つのボート支持溝に対してウェーハを1枚搭載する構造になっており、大量のウェーハを同時に処理することは容易でなかった。

そこで、シリコン単結晶ウェーハを大量に熱処理する方法及びその装置として、特開昭57-97622号公報及び特開昭53-25351号公報に開示されるものがあり、これを図18に示す。

これは、シリコン単結晶ウェーハ1を垂直に立てた状態で横方向に複数枚重ね合わせてシリコンボート2上に載置し、この重ね合わされたシリコン単結晶ウェーハ1の両側に押え板3を押圧して支持し、このシリコンボート2上で押圧支持されたシリコン単結晶ウェーハ1を熱処理炉4内で加熱処理する構成である。このように横方向に複数枚重ね合わせたシリコン単結晶ウェーハ1を押え板3で両側から全面に亘って均等に加圧保持しているので、高濃度の深い不純物拡散において反りが小さく且つ拡散深さ、表面濃度等のバラツキを少なくすることができる。

一般に、シリコンウェーハにスリップ転位が発生すると、このシリコン基板で作成したデバイスはスリップ転位部よりリーク電流の増加等の悪影響があり実用に耐えられない。図18に示す熱処理装置においては、シリコンボート2上に横方向に重ね合わされたシリコン単結晶ウェーハ1が載置され、シリコン単結晶ウェーハ1の側端部分がシリコンボート2に接触していることから、重ね

合わされた全てのシリコン単結晶ウェーハ1の各接触部位に熱処理中に転位、及びスリップが生じる問題があり、現在まで、実生産に適用されていない。

上述したように、CZ引上げ時に育成したgrown-in欠陥を完全に消滅させる手法はなく、その対策としてCZシリコン基板表面にシリコンエピタキシャル成長を施す動きが活発になっている。エピタキシャル成長膜は酸化膜耐圧特性は非常に良好であるが、シリコンソース源として$SiHCl_3$、SiH_2Cl_2、さらにウェーハクリーニングのためにHClガスを使用しており、この塩素原子が配管等の腐食を促進し、重金属汚染の問題が生じ易く、また、その製造コストも高くデメリット部分も大きい。

また、酸化膜耐圧特性に影響を及ぼすas grown欠陥の形状は結晶内部に存在する場合には、図17Bに示すごとく、内部が空洞で八面体を基本構造とした多面体であること、及びウェーハの状態に加工した後に表面に露出した場合には、図17Aに示すごとく、四角錐形状の凹形状のピットであり、直径が0.1~0.2μmであること、ウェーハへ切り出した後、鏡面研磨、ウェーハ洗浄を施して表面に現れる欠陥ピット(COP(Crystal Originated Particle))が酸化膜耐圧特性に影響を及ぼしていたことが報告されている。しかし、従来のいずれの熱処理にてもウェーハの表層のCOP 並びに内部のCOPの元となるGrown-in欠陥を低減することはできなかった。

発明の開示

この発明は、DZ層形成のための酸素外方拡散熱処理、IG能を付与するためのBMDを生成制御する熱処理、表面COPやウェーハ内部のgrown-in欠陥を消失させてデバイス特性の改善向上を図る熱処理等、シリコン単結晶ウェーハに施される多様な熱処理に際して、単一の熱処理工程でシリコン単結晶ウェーハの処理枚数を増大させるとともに、高温熱処理雰囲気内で転位及びスリップを

抑制することができるシリコン単結晶ウェーハの熱処理方法の提供を目的としている。

発明者は、シリコン単結晶ウェーハの熱処理に際して、例えば、同一炉内に10枚程度を同時に装入、あるいは100枚を越える大量枚数のウェーハを同時に装入して、いずれのウェーハにも高温熱処理雰囲気内での転位及びスリップを防止して、均一に同じ熱処理効果を及ぼすことが可能な熱処理方法を目的に種々検討した結果、ウェーハを10枚程度積層してこの一群を単位として、水平にあるいは0.5~5°程度、僅かに傾斜させてウェーハの外周の複数箇所を接触支持するボートに載置し、例えば、酸素外方拡散を促進させるための1100℃以上の熱処理を行うと、ボートに載置する一番下のウェーハに転位又はスリップが生じたとしても、これに隣接するウェーハへの伝搬を阻止でき、同時にいずれのウェーハにもDZ層を形成することが可能であることを知見した。

また、発明者は、積層した多数枚を一群としてウェーハを垂直方向に多段に複数群を、装填した熱処理炉の均熱域の範囲内でスタック配置して熱処理すると、転位及びスリップを防止して各ウェーハに均一に同じ熱処理効果を及ぼすことが可能であり、大量のウェーハの熱処理が可能であることを知見した。

すなわち、従来の熱処理炉を用いて従来の3倍以上の数量のウェーハを同時に同一の熱処理を施すことが可能であり、従来の所謂インゴットアニールの熱処理工程で生じるような全体的な転位やスリップの拡大がなく、高生産性、高歩留を達成できることを知見した。

発明者は、さらに種々検討を加えた結果、

1) 前記の傾斜付きボートの奥支柱部にバッファー板(層)及び多数枚を一群とするウェーハ最下層に高温強度に優れた材質、例えばSi、SiC、セラミックス、アルミナ等の円板もしくはリングを設置することにより、転位又はスリップを発生させることがないこと、

2) 酸素単独、もしくは酸素含有雰囲気で熱処理するとウェーハ同士の接着が防止されること、

3) 必要に応じて熱処理するウェーハが研磨処理されていない、あるいは仕上げ研磨処理されていないものを用いた場合は、特にウェーハ同士の接着が防止されることを知見した。

さらに、発明者は、上述のこの発明による熱処理において、1100℃以上に加熱処理する、例えば、昇温時または降温時に1100℃～1350℃で5分～6時間処理することにより、大量のウェーハの表層に各々無欠陥領域(DZ層)を形成させることが可能であることを知見した。

発明者は、無欠陥領域(DZ層)を形成させる熱処理条件の最適化を目的に検討を加えたところ、

1) 1100℃以上までの昇温過程で500℃～900℃の範囲で10分以上4時間以内の定温保持または複数の定温保持等の熱処理を行うとBMDを形成させてIG能を付与できること、

2) 500℃～900℃の範囲の昇温速度を0.5℃/min～5℃/minとして昇温するとBMDを形成させてIG能を付与できること、

3) 1100℃以上に加熱保持した後の降温過程で、500℃～900℃の範囲で10分以上16時間以内の定温保持または複数の定温保持等の熱処理を行うとBMDを形成させてIG能を付与できること、

4) 1100℃以上に加熱保持した後の降温過程で、500℃～900℃の範囲の降温速度を0.5℃/min～5℃/minとして降温するとBMDを形成させてIG能を付与できること、を知見した。

さらに、発明者は、上述のこの発明による熱処理において、1250℃以上、例えば、1280℃～1380℃で5分～6時間、加熱処理することにより、大量のウェーハを同時に処理でき、各々のウェーハの表層COP並びに内部のCOP源となるgrown-in欠陥を低減または消滅できること、また、上記の1250℃以上

の熱処理を施す際に、上述の無欠陥領域(DZ層)を形成させる熱処理、あるいはさらにIG能を付与するための熱処理を併用して、高品質のシリコン単結晶ウェーハを製造できることを知見し、この発明を完成した。

図面の説明

図1Aはこの発明による熱処理方法に使用する熱処理ボートの上面説明図、図1BはAの矢印線における縦断説明図である。

図2は、この発明の熱処理方法によるウェーハの酸化膜耐圧特性の評価を行った結果を示す熱処理温度と良品率との関係を示すグラフである。

図3は、この発明による熱処理方法に使用する熱処理ボートの他の実施例を示す斜視説明図である。

図4は、図3に示す熱処理ボートの縦断説明図である。

図5は、この発明による熱処理方法に使用する熱処理ボートの他の実施例を示す斜視説明図である。

図6は、従来のウェーハの枚葉式ウェーハ移載用のロボットの構成を示す説明図であり、Aは吸着式、Bはすくい上げ方式の構成を示す。

図7は、この発明に使用するウェーハ移載用のロボットの構成を示す上面説明図である。

図8Aは、この発明に使用するウェーハ移載用のロボットの他の構成を示す正面説明図であり、Bはその上面説明図であり、Cは他の実施例を示す上面説明図である。

図9Aは、この発明に使用する熱処理ボートの使用状況の一例を示す説明図であり、Bはその上面説明図である。

図10Aは、この発明に使用する熱処理ボートの構成の一例を示す説明図であり、Bはその上面説明図である。

図11は、ウェーハの表面深さと酸素濃度との関係を示すグラフである。

図12は、ウェーハの表面深さと酸素濃度との関係を示すグラフである。

図13AとBは熱処理条件の一例を示すヒートパターン図である。

図14は、この発明による熱処理方法を施したウェーハの酸素濃度の違いとBMD密度との関係を示すグラフである。図中、Aは初期酸素濃度12.5~13×10^{17}atoms/cm^3の低酸素濃度ウェーハ、Bは初期酸素濃度13.5~14×10^{17}atoms/cm^3の中酸素濃度ウェーハ、Cは初期酸素濃度14.5~15×10^{17}atoms/cm^3の高酸素濃度ウェーハを示す。

図15は、この発明による熱処理方法を施したウェーハの酸素濃度の違いとDZ層幅との関係を示すグラフである。

図16は、繰り返し洗浄回数とLPD数との関係を示すグラフである。

図17Aは、ウェーハ表面のCOP欠陥のAFM像より図示した斜視図であり、図17BはA図より推定した内部が空洞で八面体を基本構造とした多面体形状からなる欠陥の斜視図である。

図18は、従来のシリコン単結晶ウェーハの熱処理装置の概略構成を示す一部破断斜視説明図である。

発明を実施するための最良の形態

図1にこの発明による熱処理方法に使用する熱処理装置の一例を示す。この熱処理装置は図示しないが、円筒状の熱処理炉であって、図では10枚のシリコン単結晶ウェーハ1を積層してこれを一群となし、シリコン単結晶ウェーハ1の複数群を各々支持可能にした多孔質SiC、Si含侵SiC等の高温強度に優れた材質からなる熱処理ボート10を備え、この熱処理ボート10で支持された各シリコン単結晶ウェーハ1群を、例えば、DZ-IG処理のために、1000℃までの昇温速度1℃/min、1280℃で2時間保持後、1000℃からの降温速度1℃/minで冷却する熱処理、また、DZ処理のために、1150℃以上1380℃以下の温度範囲内

で5分以上6時間以下の範囲内で熱処理するなど、種々の熱処理を行なう構成である。

この熱処理ボート10は、円盤状の下板11及び上板12と3本の支柱板13,14,15とで構成され、下板11及び上板12の間に円筒状の空間を形成するための3本の支柱板が円盤の略直径方向の両端に一対とこれに直行する直径方向の一方端に、それぞれ下板11及び上板12の間に両端を固着して前側支柱板13,14と後側支柱板15とが配置され、この後側支柱板15の所定の高さの複数箇所に突設する後側支持ホルダー15a,15b…と、前側支柱板13,14にも前記後側支持ホルダー15aより僅かに高い位置に突設する前側支持ホルダー13a,13b…,14a,14b…とを備え、前記一対の前側支持13a,13b…,14a,14b…間で開口部16を形成し、この開口部16から積層したシリコン単結晶ウェーハ1群を挿入する構成である。

前記後側支持ホルダー15a,15b…は、その上面が前記開口部16側に向かって前上がりとなるように後側支柱板13面から突出して形成され、前記前側支持ホルダー13a,13b…,14a,14b…は、その上面が前記後側支持ホルダー13a,13b…の上面に延長線上に一致する傾斜面として形成されている。

このように前側及び後側の各支持ホルダー13a,14a,15a、13b,14b,15b上に、それぞれ積層したシリコン単結晶ウェーハ1群を載置するようにしているため、各ウェーハ1群の最下層のシリコン単結晶ウェーハ1のみにスリップが発生するが、その上に積層されるシリコン単結晶ウェーハ1はウェーハ相互が接触するのみで他には一切接触することがなく、スリップフリーを実現できる構成である。

上述のごとく、各支持ホルダーに積層したシリコン単結晶ウェーハ1を直接載置することもできるが、さらに、各支持ホルダーの上に高温強度の優れた材質、例えばSiC、セラミックス等で円板もしくはリングを設置してその上に積層したシリコン単結晶ウェーハ1群を搭載するか、あるいは前記円板もしくは

リングの上にシリコン単結晶ウェーハを積層してこれを一群として各支持ホルダーの上に載置する構成が採用できる。

すなわち、各ウェーハ1群の最下層のシリコン単結晶ウェーハ1のみが設置された円板もしくはリング精度の影響でスリップが発生するが、その上に積層されるシリコン単結晶ウェーハ1はウェーハ相互が接触するのみで他には一切接触することがなく、スリップフリーを実現できる構成である。ここで、シリコン単結晶ウェーハ1群の下に設置する円板もしくはリング厚みは、2mm~7mm程度の厚みをもったものが好ましい。また熱処理ボート10の支持ホルダーの厚み17は4mm~6mm程度が好ましい。

図3、図4に示すこの発明による熱処理方法に使用する熱処理装置は、積層したシリコン単結晶ウェーハ1群を水平に載置する熱処理ボート20を備えた一例であり、熱処理ボート20は円筒体からなり、内周面に所定間隔でリング状の支持ホルダー21,22,23…を周設配置し、外周面の一方面側には所要の複数枚を積層したシリコン単結晶ウェーハ1群を載置した治具(図示せず)ごと円筒体内に挿入するための開口部24と垂直方向の挿入溝25が形成してあり、ウェーハ1群は前記のリング状の支持ホルダー21,22,23上にそれぞれ載置される構成からなる。

また、最上段の支持ホルダー23にはボート20の上面開口部と挿入溝25を使用してウェーハ1群を挿入載置する。なお、上記熱処理ボート20においても、各支持ホルダーの上に高温強度の優れた材質、例えばSiC、セラミックス等で円板もしくはリングを設置してその上に積層したシリコン単結晶ウェーハ1群を搭載するか、あるいは前記円板もしくはリングの上にシリコン単結晶ウェーハを積層してこれを一群として各支持ホルダーの上に載置する構成が採用できる。

図5に示すこの発明による熱処理方法に使用する熱処理ボート30は、高さの低い円筒体のボートユニット31からなり、ボートユニット31には内周面にリ

ング状の支持ホルダー32を周設配置し、外周面の一方面側に垂直方向の挿入溝33を形成してあり、所要の複数枚を積層したシリコン単結晶ウェーハ1群を載置した治具(図示せず)ごと、ボートユニット31の上面開口部と挿入溝33を使用して挿入載置可能に構成してあり、このシリコン単結晶ウェーハ1群を収納載置したボートユニット31を垂直方向に複数段、段積みすることよって、図3、図4の熱処理ボート20と同様に複数のシリコン単結晶ウェーハ1群を収納載置して、同時に大量のウェーハに熱処理を施すことができる。

図5の熱処理ボート30においても、支持ホルダー32を円板で形成してもよく、さらに各支持ホルダーの上に高温強度の優れた材質、例えばSiC、セラミックス等で円板もしくはリングを設置してその上に積層したシリコン単結晶ウェーハ1群を搭載するか、あるいは前記円板もしくはリングの上にシリコン単結晶ウェーハを積層してこれを一群として各支持ホルダーの上に載置する構成が採用できる。

上述した各熱処理ボート10,20,30における支持ホルダーにおいて、そのシリコン単結晶ウェーハ1の載置面にウェーハ1の外周辺に周接する程度の内径寸法とする段差部を形成することもできる。この段差部により支持ホルダー上に載置するシリコン単結晶ウェーハ1の位置決めが容易に実施でき、また、最下層より二枚目以降のシリコン単結晶ウェーハ1の外周辺部分が熱処理ボート本体部分に接触するのを防止することができる。

この発明は、例えば、従来のDZ層形成熱処理では、ボート1溝に対してウェーハ1枚を設置していたのに対して、多数枚のウェーハを積層して、1100℃以上の熱処理を施すことで、隣接するウェーハ間同士でも表面近傍は格子間酸素のアウトディフュージョンが形成でき、ウェーハ面内のアウトディフュージョン分布も良好であることを知見して、提案するものである。従って、ウェーハを多数枚積層してこれを1群として一度に移載することが必要となる。

従来のシリコンウエーハの移載方法は、図6Aに示すごとく、アーム40に吸引プレート41を設けた吸着式移載ロボット、同Bに示すごとく、アーム40に載置プレート42を設けたすくい上げ方式のいずれのウェーハ移載用のロボットも枚葉式であるが、従来の枚葉式ウェーハ移載用のロボットで熱処理ボートの1つの溝上にウェーハを積重ねることは、装置自体が複雑化し非常に高価となる。

そこで、複数枚の積重ねウェーハを一度に移載する装置として、図7に示す構成例は、図1に示す熱処理ボート10、すなわち、3点支持ボートに対するすくい上げ方式のウェーハ移載用のロボットであり、湾曲した短冊状の底板部の両端に小円弧状支持壁を設けて、一対の小円弧状支持壁間にウェーハ1を水平に積層収納可能にした治具43にアーム40を設け、一方の小円弧状支持壁には装填時に支持ボート(想像線で図示)をクリアするための切欠部44を設けた構成からなる。この治具43上に複数枚のウェーハを積層してから(図7A参照)、熱処理ボートに多数枚を積層したウェーハ群として移載することができる。

次に、複数枚の積重ねウェーハを一度に移載する装置として、図8A,Bに示す構成例は、4点支持ボートに対するすくい上げ方式のウェーハ移載用のロボットであり、湾曲した短冊状の底板部の両端に小円弧状支持壁を設けて、一対の小円弧状支持壁間にウェーハ1を水平に積層収納可能にした治具45にアーム40を設けた構成からなる。この治具43上に複数枚のウェーハを積層してから、熱処理ボートに多数枚を積層したウェーハ群として移載することができる。また、図8Cに示すように先の一対の小円弧状支持壁に換えて小径の支持柱を2本1組、一対を設けた治具46を用いた構成とすることもできる。さらに、ウェーハの移載を簡略化するために、前記円板もしくはリングの上にシリコン単結晶ウェーハを積層してこれを一群としてすくい上げ方式のウェーハ移載用のロボットにて移載することができる。

図9に示すこの発明による熱処理方法に使用する熱処理ボート50は、図1に示す熱処理ボート10と同様構成の3本の前後支柱板13,14,15を有した構成を示し、図では積層した複数のウェーハの図示を省略して1枚のシリコン単結晶ウェーハ1のみを図示している。この熱処理ボート50へすくい上げ方式のウェーハ移載用のロボットを用いて、ウェーハの移載を行う際に、上述の前側及び後側の各支持ホルダー13a,14a,15a、13b,14b,15b、13c,14c,15c……上に多数枚を積層したウェーハ群を載置するが、例えば、支持ホルダー上で滑りが生じて後側支柱板15に接触すると、接触部分は高温熱処理時にウェーハ端面とボート間で局所的温度差が生じ、スリップが発生する。

そこで、図10に示すごとく、例えば、SiCまたはSi、アルミナ等の高温強度に優れた材質からなる熱処理ボート50の傾斜始端側の後側支柱板15に短冊状のバッファー材51を設置することにより、ウェーハ滑りが生じても、ウェーハ端面がバッファー材51に接触することになり、バッファー材51が存在することにより、熱伝導、熱伝達が変化し、局所的温度差が低減してスリップ発生が抑制される。

この発明において、多数枚を積層したウェーハ群を熱処理ボートに傾斜させて載置するが、この傾斜角度としては、水平より45°以下、好ましくは0.5~5°程度が良い。0.5°以上であれば熱処理中、もしくはウェーハ移載時にウェーハ間滑りによるボートからの落下を防止することが可能である。また、45°より傾斜角度が大きくなるとウェーハ移載が困難になる。

この発明において、熱処理を施すシリコン単結晶ウェーハは、エッチング処理を行ったウェーハ、種々の鏡面研磨や仕上げ鏡面研磨を行ったウェーハの他、未研磨のウェーハのいずれをもその対象とするが、未研磨のウェーハの場合は、ウェーハ相互間の接着を未然に防止できるため好都合である。また、ウェーハ熱処理での金属汚染などを考慮すると、熱処理前のウェーハに一般的

なRCA洗浄、例えばSC-1+SC-2洗浄などの投入前洗浄を行うことが好ましい。

熱処理後のウェーハ表面研磨の加工代は少ないほうが好ましく、0.1μmから20μm程度とすることが望ましい。前記加工代が0.1μm未満では、表面精度を向上させることが困難であり、また、加工代が20μmを越えると、加工ロスが大きく、鏡面研磨の時間等の問題により生産性が低下する。従って、加工代は0.1μmから20μm程度とする。さらに好ましくは1μmから5μm程度である。

また、この発明方法はウェーハ同士を積層して熱処理するため、例えば、非酸化性ガス雰囲気下(Ar、H_2ガス等)での熱処理は、ウェーハ表面上に成長した自然酸化膜が950℃~1000℃の範囲でエッチオフ(昇華)されて、隣接するエッチオフされたウェーハと強固に接着しやすくなる。このウェーハ間の接着は強固なため、熱処理後に剥離が困難となる。従って、この発明において、熱処理雰囲気は、酸素ガスあるいは希釈酸素雰囲気下、例えばO_2/ArまたはO_2/N_2での熱処理であれば、熱処理後にウェーハ同士の離反が容易でかつ割れが生じないため好都合である。

また、水素やアルゴンガス雰囲気下であっても、予め熱酸化膜を生成させたウェーハと熱酸化なしのウェーハを交互に10枚程度重ね合わせておくことにより、熱処理後のウェーハ同士の離反が容易になり、もちろん、積層する全数のウェーハに、前工程で酸化膜が生成しているウェーハを用いるか、あるいは予め酸化膜を形成したウェーハを用いることができる。

この発明において、無欠陥領域(DZ層)を形成させるための好ましい熱処理条件は、1100℃以上までの昇温過程で500℃~900℃の範囲で10分以上4時間以内の熱処理を行うと、BMDを形成させてIG能を付与できる。また、500℃~900℃の範囲の昇温速度を0.5℃/min~5℃/minとして昇温するとBMDを形成させてIG能を付与できる。特に好ましい条件は、600~800℃程度で30

分以上1時間以内の熱処理、あるいは600～800℃の範囲の昇温速度を2～3℃/minとして昇温することである。

上述の条件は、昇温時であるが、発明者らは1100℃以上に加熱保持した後の降温過程で、500℃～900℃の範囲で10分以上4時間以内の定温保持を行うことにより、BMDを形成させてIG能を付与できること、同様に500℃～900℃の範囲の降温速度を0.5℃/min～5℃/minとして降温するとBMDを形成させてIG能を付与できることを確認した。特に好ましい条件は、降温過程で600～700℃で4～8時間定温保持を行うものである。

この発明による積層·段積みの熱処理は、1250℃以上、例えば、1280℃～1380℃で5分～6時間、熱処理することにより、大量のウェーハを同時に処理でき、各々のウェーハの表層のCOP並びに内部のCOPの元となるGrown-in欠陥を低減あるいは消滅させることができる。例えば、実施例に明らかなように1280℃で2時間の熱処理でCOPは大幅に消滅し、特に1280℃×4時間並びに1300℃×2時間の条件の如く、1300℃程度の高温保持の熱処理においてCOPは完全消滅していることを確認した。特に好ましい条件は、1300～1350℃で2～3時間程度である。

この発明による積層·段積みの熱処理において、上記のウェーハの表層のCOPを消滅させるための熱処理に際して、前述の無欠陥領域(DZ層)を形成させるための種々の熱処理条件、あるいはさらにBMDを形成させてIG能を付与するための種々の熱処理条件を、1250℃以上への昇温時または降温過程で併用することにより、ウェーハの表層のCOPを低減消滅させるほか、DZ-IG能を具備した高品質のシリコン単結晶ウェーハを容易に量産することができる。熱処理条件の併用は、上述の範囲で任意に組み合せられることを確認した。

実施例

実施例1

CZ法により育成された直径200mm、酸素濃度13~15×10^{17}atoms/cm^3[old ASTM]のシリコンインゴットを丸目加工し、その後スライス加工を施し、さらに沸酸·硝酸混合水溶液もしくはKOH水溶液にて表面をエッチングしたシリコン単結晶ウェーハを対象に、前述した図1の熱処理ボートを用いて、10枚のシリコン単結晶ウェーハを一群として30群を順次縦方向に段積みすることにより搭載枚数を300枚とした。

この熱処理ボートの円筒状の熱処理炉への投入温度は700℃とし、1000℃までを8℃/分、1300℃までを1℃/分の速度で昇温させ、1300℃で2時間保持しその後1000℃までを1℃/分、700℃までを2.5℃/分で降温させて熱処理ボートを熱処理炉外に取り出した。炉内雰囲気は、20%O_2-80%N_2雰囲気であった。

このようにして熱処理が実行されたシリコン単結晶ウェーハに対してスリップ、転位の発生状況をX線トモグラフィー(XRT)により確認した。このXRTにより重ね合わせた10枚のシリコン単結晶ウェーハのうち、各支持ホルダー上の最下部のシリコン単結晶ウェーハのみが支持ホルダーからのスリップの発生が観察された。最下層より2枚目以降の積層されたシリコン単結晶ウェーハにはスリップ、転位の発生は観察されなかった。この状況は、いずれの各ウェーハ群においても同じ状況であった。

次に、このウェーハをHF水溶液で熱処理中に成長した酸化膜をエッチングし、その後表面に10μm程度の鏡面加工研磨を行い、その後乾燥酸素ガス雰囲気下でゲート酸化膜形成(厚み25nm)を行い、多結晶シリコン膜を堆積させ、この多結晶シリコンにリンドープを行い電極とし、リソグラフィーにより電極面積8mm^{2}のMOS Cap構造デバイスを作製した。このMOS Cap構造デバイスが作製されたシリコン単結晶ウェーハに対して酸化膜耐圧特性の評価試験を行なった。なお、評価条件は電界強度8MV/cm以上のチップを良品とした。

また、上記と同じ試料(ウェーハ)を用い1150℃、1250℃、1300℃、1350℃各々の条件で2時間熱処理を施した。また比較のために熱処理を施していない

同試料(ウェーハ)も含めシリコン単結晶ウェーハ1の表面に鏡面加工を行い上述のMOS Cap構造デバイスを作製した。

前記評価試験における評価結果を図2に示す。熱処理を施していない試料は60%の良品率、1150℃熱処理の試料は70%の良品率、1200℃以上の熱処理では良品率90%以上であった。

実施例2

実施例1と同様に外径8インチのシリコン単結晶ウェーハを10枚積層して熱処理ボートに載置して、1000℃から1280℃までの昇温速度1℃/min、1280℃で2時間保持後、1000℃までの降温速度1℃/minで冷却する熱処理を施した。なお、シリコン単結晶ウェーハには初期酸素濃度15×10^{17}atoms/cc(old ASTM)を使用した。

熱処理後、ある1つのウェーハ群全数、他のウェーハ群の4枚目と8枚目をSIMSによりウェーハ表層から深さ方向の酸素濃度を測定した結果、どの位置のウェーハもDZ層が確保できていた。あるウェーハ群の上から4枚目、及び8枚目のウェーハにおける酸素濃度の測定結果を表面深さと酸素濃度との関係を示すグラフの図11及び図12に表す。

複数のウェーハを積層して熱処理ボートに載置して複数群の段積みを行うこの発明による熱処理は、同時に処理した全てのウェーハにそれぞれ均等に酸素外方拡散を発生させることが可能であることが分かる、また、この酸素外方拡散の進行は熱処理温度と時間に依存する。

実施例3

酸素濃度$14\sim15.5\times10^{17}$atoms/cm^3(old ASTM)の外径8インチのボロンドープしたウェーハを10枚ずつ重ねて、実施例1と同様の熱処理炉にて図13Aに示すヒートパターンの熱処理を施した。また、併せて図13Bに示すヒートパターンの熱処理を実施した。

図13Aに示すヒートパターンは、700℃まで昇温速度50℃/min昇温し、700℃で30分保持後に昇温速度10℃/minで1000℃まで昇温し、さらに1280℃まで昇温速度1℃/minで昇温し、1280℃で2時間保持後、1000℃まで降温速度1℃/minで降温し、さらに降温速度2.5℃/minで700℃まで降温する熱処理を示す。

図13Bに示すヒートパターンは、室温から昇温速度10℃/minで1000℃まで昇温し、さらに1280℃まで昇温速度1℃/minで昇温し、1280℃で2時間保持後、1000℃まで降温速度1℃/minで降温し、さらに降温速度2.5℃/minで700℃まで降温する熱処理を示す。

2種の熱処理後、どちらも1000℃×16時間の評価熱処理を行った。その後、ウェーハを劈開して選択エッチングを施した。この際のエッチング代は約2μmであった。次に、光学顕微鏡によりウェーハ断面の酸素析出物密度を測定した。

光学顕微鏡によるウェーハ断面観察の結果、図13Bに示す熱処理を施したサンプルウェーハは酸素析出物は観察されず、図13Aに示す熱処理を施したサンプルウェーハはウェーハ表面から30μm深さまでDZ層が形成され、かつそれより深い領域では酸素析出物が10^5~10^6/cm^{2}程度成長していた。また、図13Bに示すヒートパターンで得られたウェーハはIG効果が期待できないため、その後Poly Si膜堆積によるEG効果を付与させてもよい。

実施例4

実施例1と同様にエッチング後の外径8インチのシリコン単結晶ウェーハを10枚ずつ積層して熱処理ボートに複数段を載置して、1280℃×1時間の熱処理を施すに際して、雰囲気がアルゴンガス雰囲気、100%dryO_2雰囲気、100%N_2雰囲気及び3%O_2/N_2雰囲気の各雰囲気条件で実施した。また、鏡面研磨を施したシリコン単結晶ウェーハを用いて同様に上記の各雰囲気条件で熱処理を行った。

アルゴンガス雰囲気下ではウェーハ外周部が局所的に接着していたが、他の雰囲気では積層したウェーハの接着は全く見られなかった。

実施例5

CZ法により育成された酸素濃度12.5~15×10^{17}atoms/cm^3[old ASTM]のシリコンインゴットを丸目加工し、その後スライス加工を施し、さらに沸酸·硝酸混合水溶液またはKOH水溶液にて表面をエッチングし、その後SC-1及びSC-2洗浄を行ったシリコン単結晶ウェーハを対象に、前述した図1の熱処理ボートを用いて、10枚のシリコン単結晶ウェーハを一群として30群を順次縦方向に段積みすることにより搭載枚数を300枚とした。

この熱処理ボートの円筒状の熱処理炉への投入温度は700℃とし、1000℃までを8℃/分、1280℃まで1℃/分の速度で昇温させ、1280℃で2時間保持しその後1000℃までを1℃/分で降温させ、さらに700℃まで2.5℃/分で降温させて、熱処理ボートを熱処理炉外に取り出した。炉内雰囲気は、5%O_2-95%Ar雰囲気であった。

上記の熱処理を施したサンプルウェーハを横型炉を用い、600℃×4時間または700℃×4時間の析出熱処理を実施した後、1000℃×16時間の評価熱処理を行った。その後、ウェーハを劈開して選択エッチングを施した。この際のエッチング代は約2μmであった。次に、光学顕微鏡によりウェーハ断面の酸素析出物密度(BMD密度)を測定した。

図14、図15において、初期酸素濃度12.5~13×10^{17}atoms/cm^3の低酸素濃度ウェーハをAグループ、初期酸素濃度13.5~14×10^{17}atoms/cm^3の中酸素濃度ウェーハをBグループ、初期酸素濃度14.5~15×10^{17}atoms/cm^3の高酸素濃度ウェーハをCグループとし、積層·段積みの熱処理後のものを○印、析出熱処理が600℃×4時間のものを△印、析出熱処理が700℃×4時間のものを□印で示す。図15に示すごとく、いずれのサンプルウェーハもDZ層が30μm以上存在

しており、図14に示すごとく、バルク中には初期酸素濃度と後熱処理温度との組合せで$1\times10^5cm^2$以上のBMD密度を確保することが可能である。

また、低酸素濃度のサンプルウエーハでは、700℃熱処理より600℃熱処理の方が析出物密度は多いことが分かった。従って、酸素析出処理温度はウエーハの初期酸素濃度に依存するが、500℃~900℃の範囲で適用可能と判断できる。

実施例6

CZ法により育成された酸素濃度$12.5\sim15\times10^{17}atoms/cm^3$[old ASTM]のシリコンインゴットを丸目加工し、その後スライス加工を施し、さらに沸酸·硝酸混合水溶液にて表面をエッチングしたシリコン単結晶ウエーハを対象に、前述した図1の熱処理ボートを用いて、10枚のシリコン単結晶ウエーハを一群として30群を順次縦方向に段積みすることにより搭載枚数を300枚とした。

この熱処理ボートの円筒状の熱処理炉への投入温度は700℃とし、1000℃までを10℃/分、1280℃まで1℃/分の速度で昇温させ、1280℃で2時間保持しその後1000℃までを1℃/分、700℃まで2.5℃/分の速度で降温させて熱処理ボートを熱処理炉外に取り出した。炉内雰囲気は、5%O_2-95%N_2雰囲気であった。

熱処理後、各ウエーハ表面に研磨代が約10μm程度の鏡面研磨を施し、RCA洗浄のSC-1洗浄を繰り返した後の粒径0.12μm以上のLPD(Light point deffect)測定をレーザー面検機(テンコール製サーフスキャン6200使用)にて行った。また、一部のウエーハに対してLPDのAFM観察も実施した。上述のこの発明による熱処理を施さないウエーハに対しても洗浄並びに測定を行った。

SC-1洗浄を繰り返した後のLPD観察結果を図16に示すが、初期酸素濃度$12.5\times10^{17}atoms/cm^3$の低酸素濃度ウエーハが○印、初期酸素濃度$13.5\times10^{17}atoms/cm^3$の中酸素濃度ウエーハが△印、初期酸素濃度

14.5×10^{17}atoms/cm^{3}の高酸素濃度ウェーハが□印であり、特にこの発明による熱処理を施さないウェーハは、それぞれ黒○印、黒△印、黒□印で示す。

この発明による熱処理を施さないウェーハは、洗浄回数1回でもウェーハ面内に300個程度のLPDが存在、繰り返しSC-1洗浄で大幅なLPD数の増加が確認された。ところがこの発明による熱処理を施したウェーハは、大幅なLPD数の減少を確認し、かつ繰り返しSC-1洗浄後でもLPDの増加数が少ないことが分かった。

このLPDの正体を解明するためにAFMにより形状観察を行ったが、この発明による熱処理を施したウェーハでは、LPDの全てがパーティクルであり、COPフリーを確認した。

実施例7

実施例6において、1280℃で2時間の熱処理を1280℃×4時間並びに1300℃×2時間の条件に変更して、同様に熱処理を施したサンプルウェーハを実施例6と同様方法でCOP存在確率を調査した結果、上記2種のいずれの熱処理においてもCOPは完全消滅していることを確認した。従って、この発明による積層·段積みの熱処理において、1280℃で2時間以上の高温保持を行うことにより、大幅なCOPの低減効果のあることが確認できた。

産業上の利用可能性

この発明による熱処理方法は、ウェーハを10枚程度積層してこの一群を単位として、水平にあるいは0.5~5°程度、僅かに傾斜させてウェーハの外周の複数箇所を接触支持するボートに載置し、さらに多段に複数群をスタック配置して熱処理するもので、実施例に示すごとく、シリコン単結晶ウェーハに施される多様な熱処理の適用が可能で、転位及びスリップを防止して各ウェーハに均一に同じ熱処理効果を及ぼすことができる。

この発明は、多数のウェーハを積層して熱処理するが、積層したウェーハの最下層のウェーハをダミーウェーハとすることにより、転位及びスリップの発生が完全に防止できるとともに、対象ウェーハとして、仕上げ鏡面研磨を施していないものを熱処理するか、表面に保護膜が形成される雰囲気で行い、熱処理後に鏡面研磨を施すように製造工程を工夫できるため、積層したウェーハが接着して歩留りが低下することがない。

特に、この発明による熱処理方法は、同一のシリコン単結晶インゴットよりウェーハ化された全てのウェーハに同時に同一の熱処理を施すことが可能であり、従来の所謂インゴットアニールの熱処理工程で生じるような全体的な転位やスリップの拡大がなく、シリコン単結晶ウェーハの歩留まりを向上させることができる。

また、この発明による熱処理方法は、1100℃以上に加熱保持する熱処理で、昇温過程で500℃~900℃の範囲で定温保持を行うか、所定の昇温速度で昇温する、あるいは1100℃以上に加熱保持した後の降温過程で前記の定温保持を行うか、降温処理することにより、大量のウェーハを同時にBMDを形成させてIG能を付与できるとともに無欠陥領域(DZ層)を形成させることが可能になり、大量のウェーハの熱処理が効率よくかつ短時間で完了する。

さらに、この発明による熱処理方法は、例えば、大量のウェーハを同時に1280℃~1380℃で保持することが可能で、この熱処理にてウェーハの表層並びに内部のCOPを低減又は消滅できるため、高品質のウェーハを安定的に供給できる利点がある。

請求の範囲

1. シリコン単結晶ウエーハを少なくとも2枚以上積層して一群となし、一群以上のシリコン単結晶ウエーハを垂直方向にスタック配置し、前記一群のウエーハを水平もしくは一方側を水平より上方へ傾斜させて、熱処理するシリコン単結晶ウエーハの熱処理方法。
2. 請求項1において、傾斜角度が0.5~5°であるシリコン単結晶ウエーハの熱処理方法。
3. 請求項1において、仕上げ研磨前のウエーハを対象とするシリコン単結晶ウエーハの熱処理方法。
4. 請求項1において、酸素ガス、酸素含有雰囲気または不活性あるいは還元性ガス雰囲気で熱処理するシリコン単結晶ウエーハの熱処理方法。
5. 請求項1において、高温強度にすぐれた材質からなる円板またはリング材を介して一群のウエーハを熱処理ボートに載置して熱処理するシリコン単結晶ウエーハの熱処理方法。
6. 請求項1において、1100℃以上に加熱して、ウエーハの表層に無欠陥領域(DZ層)を形成させるシリコン単結晶ウエーハの熱処理方法。
7. 請求項6において、昇温時または降温時に1100℃~1380℃で5分~6時間熱処理するシリコン単結晶ウエーハの熱処理方法。
8. 請求項7において、昇温過程で500℃~900℃の範囲で10分以上4時間以内の熱処理を行い、酸素析出物を形成させてIG能を付与し、その後1100℃以上に加熱処理するシリコン単結晶ウエーハの熱処理方法。
9. 請求項7において、500℃~900℃の範囲の昇温速度を0.5℃/min~5℃/minとして昇温し、酸素析出物を形成させてIG能を付与し、その後1100℃以上に加熱処理するシリコン単結晶ウエーハの熱処理方法。

* C L M S *

10. 請求項7において、1100℃以上に加熱処理した後の降温過程で、500℃～900℃の範囲で10分以上16時間以内の熱処理を行い、酸素析出物を形成させてIG能を付与するシリコン単結晶ウエーハの熱処理方法。

11. 請求項7において、1100℃以上に加熱処理した後の降温過程で、500℃～900℃の範囲の降温速度を0.5℃/min～5℃/minとし、酸素析出物を形成させてIG能を付与するシリコン単結晶ウエーハの熱処理方法。

12. 請求項1において、1250℃以上に加熱処理して、ウエーハの表層のCOP並びに内部のCOPの元となるGrown-in欠陥を低減するシリコン単結晶ウエーハの熱処理方法。

13. 請求項12において、1280℃～1380℃で5分～6時間熱処理するシリコン単結晶ウエーハの熱処理方法。

14. 請求項13において、昇温時または降温時に1100℃～1380℃で5分～6時間熱処理してウエーハの表層に無欠陥領域(DZ層)を形成させるシリコン単結晶ウエーハの熱処理方法。

15. 請求項14において、昇温過程で500℃～900℃の範囲で10分以上4時間以内の熱処理、あるいは500℃～900℃の範囲の昇温速度を0.5℃/min～5℃/minとして昇温して、酸素析出物を形成させてIG能を付与するシリコン単結晶ウエーハの熱処理方法。

16. 請求項14において、降温過程で、500℃～900℃の範囲で10分以上16時間以内の熱処理、あるいは500℃～900℃の範囲の降温速度を0.5℃/min～5℃/minとし、酸素析出物を形成させてIG能を付与するシリコン単結晶ウエーハの熱処理方法。

17. 垂直方向の支柱にウエーハの周縁部と接触可能な突起又は凹部からなる支持ホルダーを所定間隔で複数配置した少なくとも3本の支柱を有し、

所要の水平または傾斜平面上に位置するよう配置された各支柱の支持ホルダーに、積層した複数のウェーハを一群として載置し、複数群を載置可能にした熱処理ボートを収納しこれを加熱可能にした請求項1の熱処理方法で使用するシリコン単結晶ウェーハの熱処理装置。

18. 請求項17において、傾斜の始端側に当たる支柱に高温強度に優れた材質からなるバッファー層を配置したシリコン単結晶ウェーハの熱処理装置。

19. 円筒体の内周面に水平にウェーハの周縁部と接触可能なリング状もしくは円板状からなる支持ホルダーを円筒体の軸方向に所定間隔で複数配置し、各支持ホルダーに、積層した複数のウェーハを一群として載置し、複数群を載置可能にした熱処理ボートを収納しこれを加熱可能にした請求項1の熱処理方法で使用するシリコン単結晶ウェーハの熱処理装置。

20. 円筒体の内周面に水平にウェーハの周縁部と接触可能なリング状もしくは円板状の支持ホルダーを周設配置し、外周面の一方面側の垂直方向に積層した複数のウェーハを一群として載置した治具の挿入溝を有した円筒体のボートユニットからなり、ウェーハ群を収納載置したボートユニットを垂直方向に複数段、段積みして円筒体を構成した熱処理ボートを収納し加熱可能にした請求項1の熱処理方法で使用するシリコン単結晶ウェーハの熱処理装置。

21. 請求項1の熱処理方法において、1280℃～1380℃で5分～6時間の熱処理をして、ウェーハにスリップの発生がなく、ウェーハの表層のCOP並びに内部のCOPの元となるGrown-in欠陥のないウェーハを得るシリコン単結晶ウェーハの製造方法。

22. X線トモグラフィー(XRT)法によりスリップが観察されず、ウェーハの表層のCOPがないシリコン単結晶ウェーハ。

図1

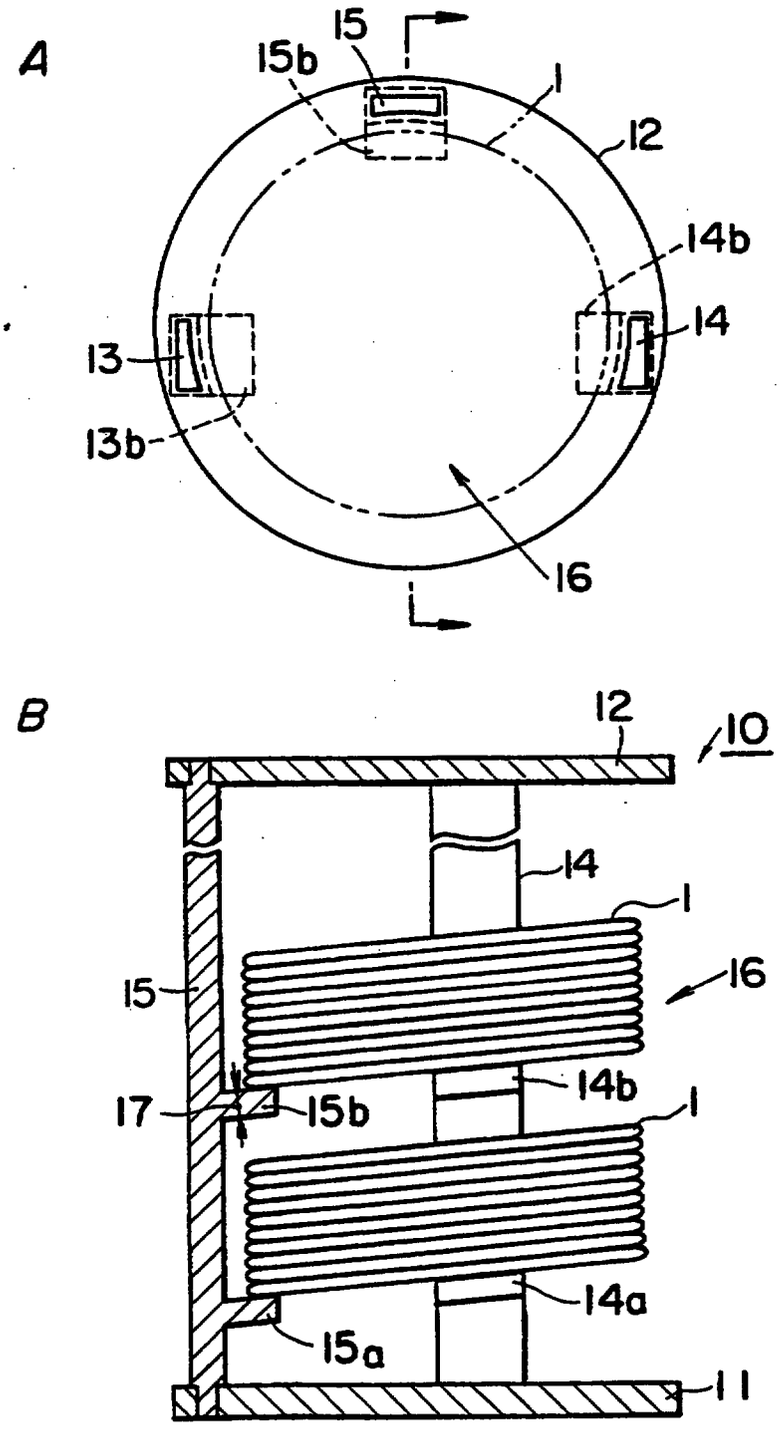

A
15
15b
1
12
14b
14
13
13b
16
B
12
10
14
1
16
15
14b
17
15b
1
14a
15a
11

図2

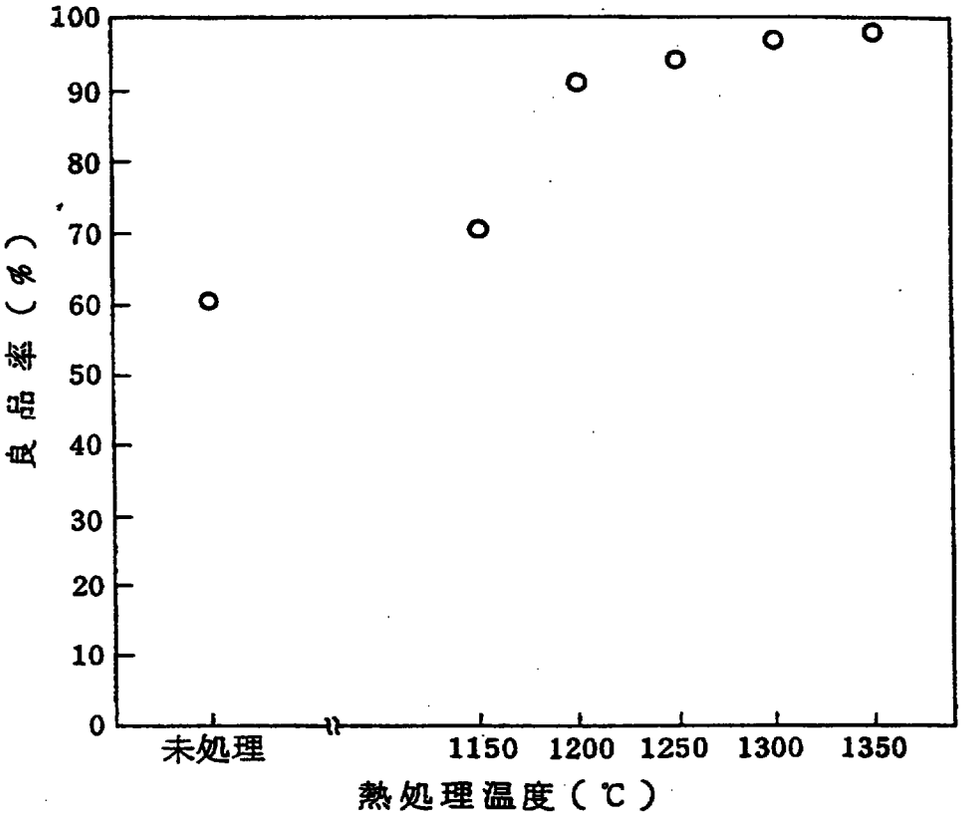

100
90
80
70
60
50
40
30
20
10
0
良品率（%）
未処理
1150
1200
1250
1300
1350
熱処理温度（℃）

図3

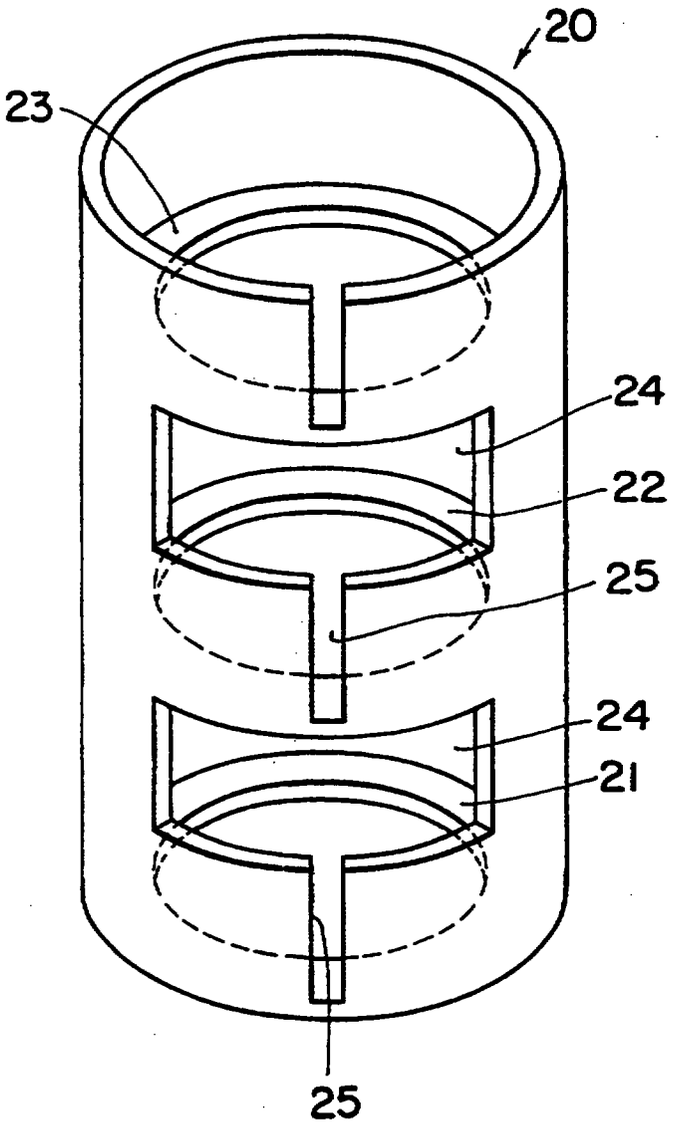


図4

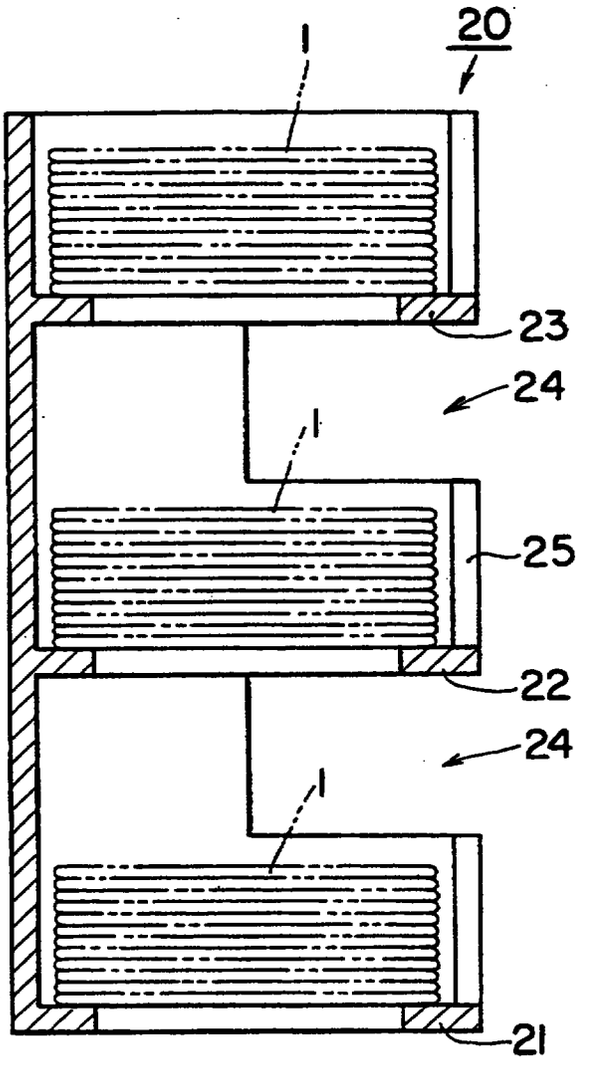


図5

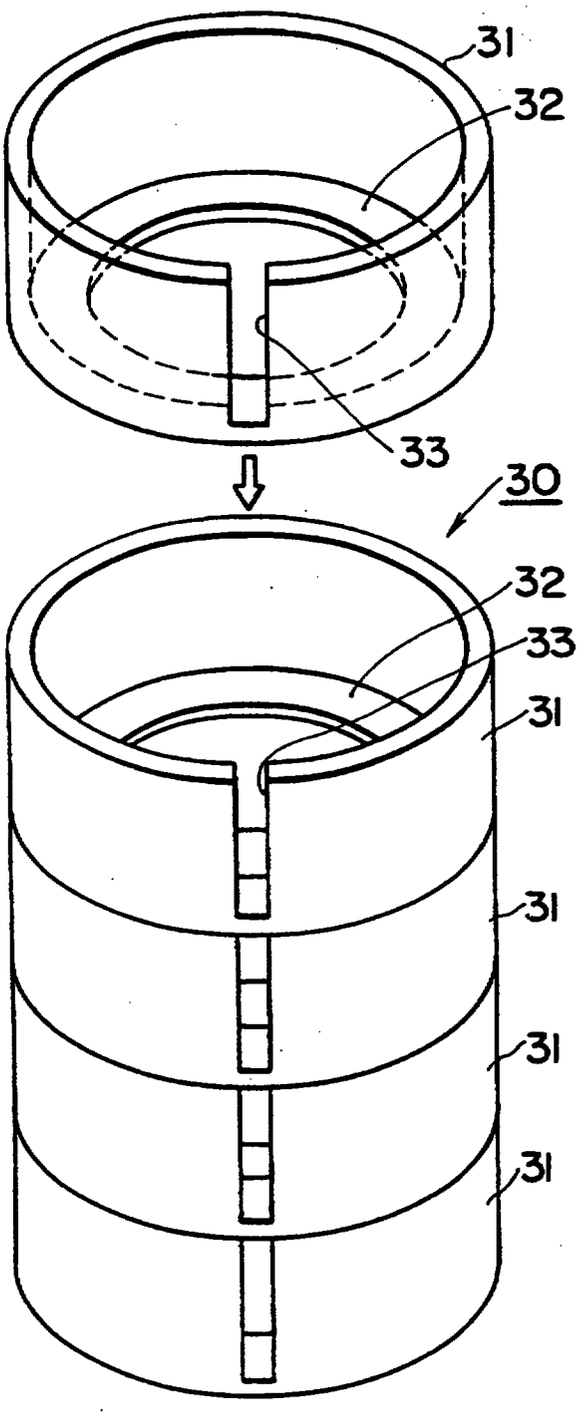


図6

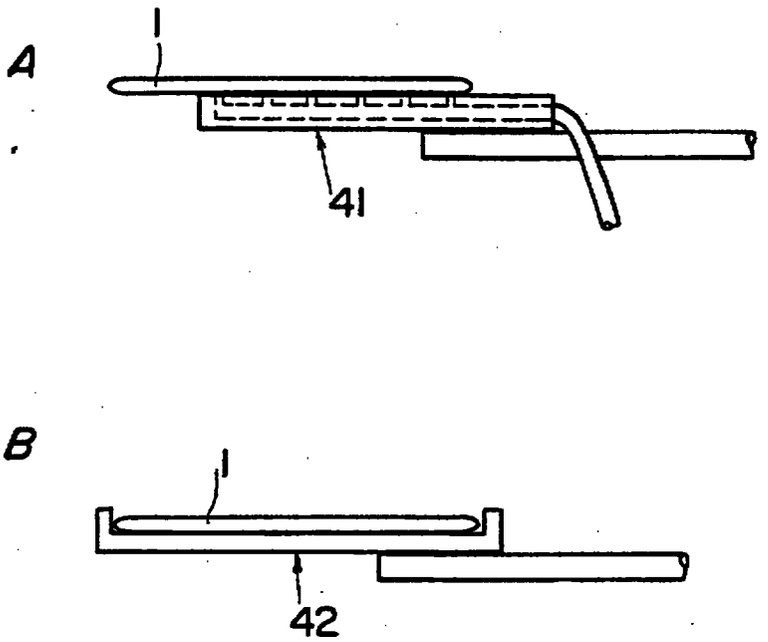


図7

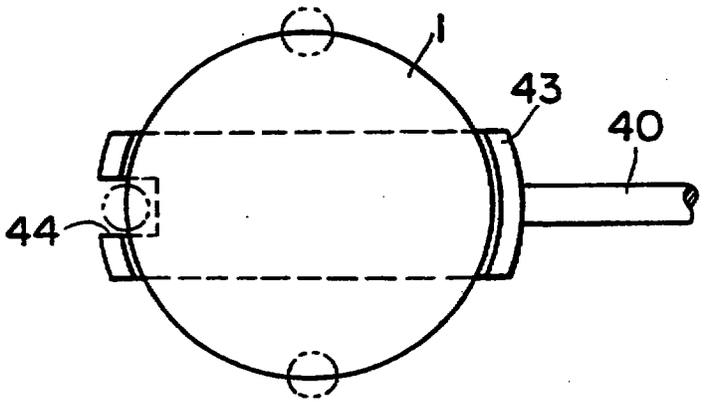


図8

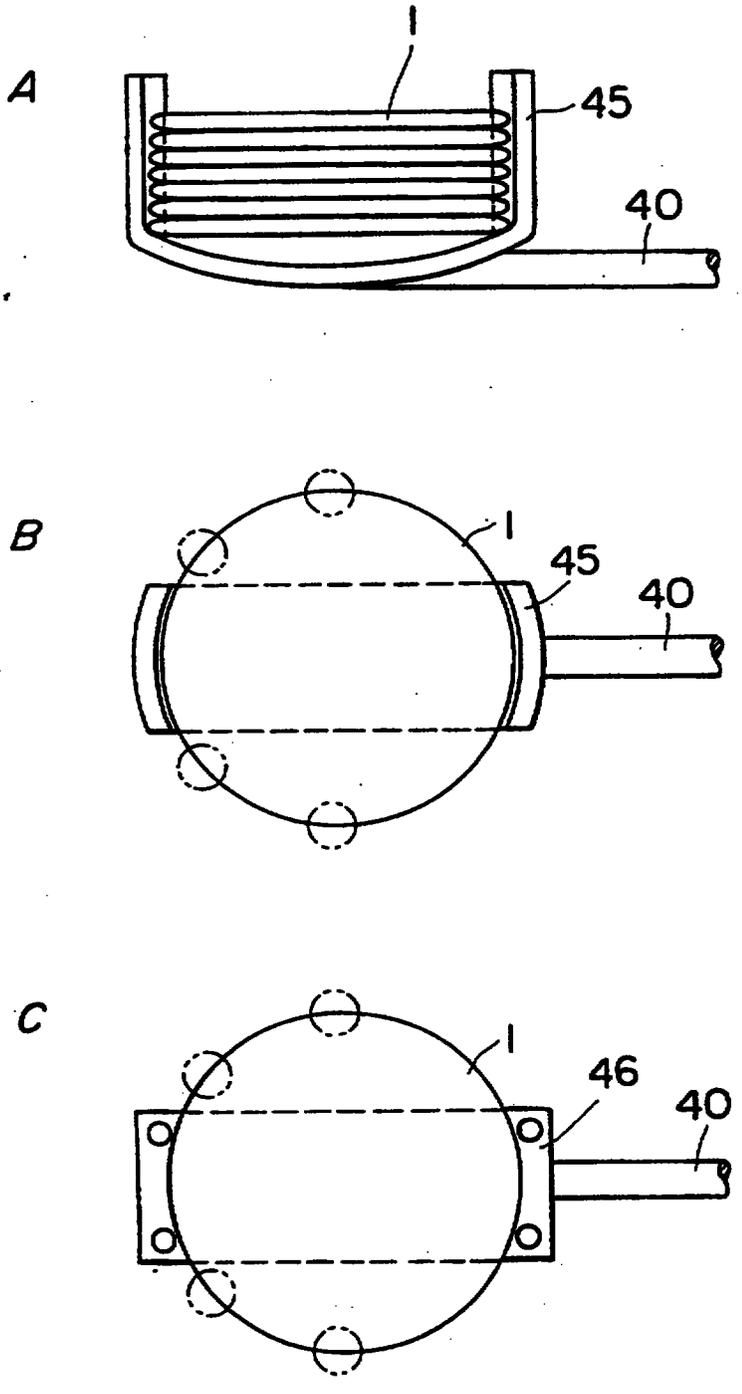


図9

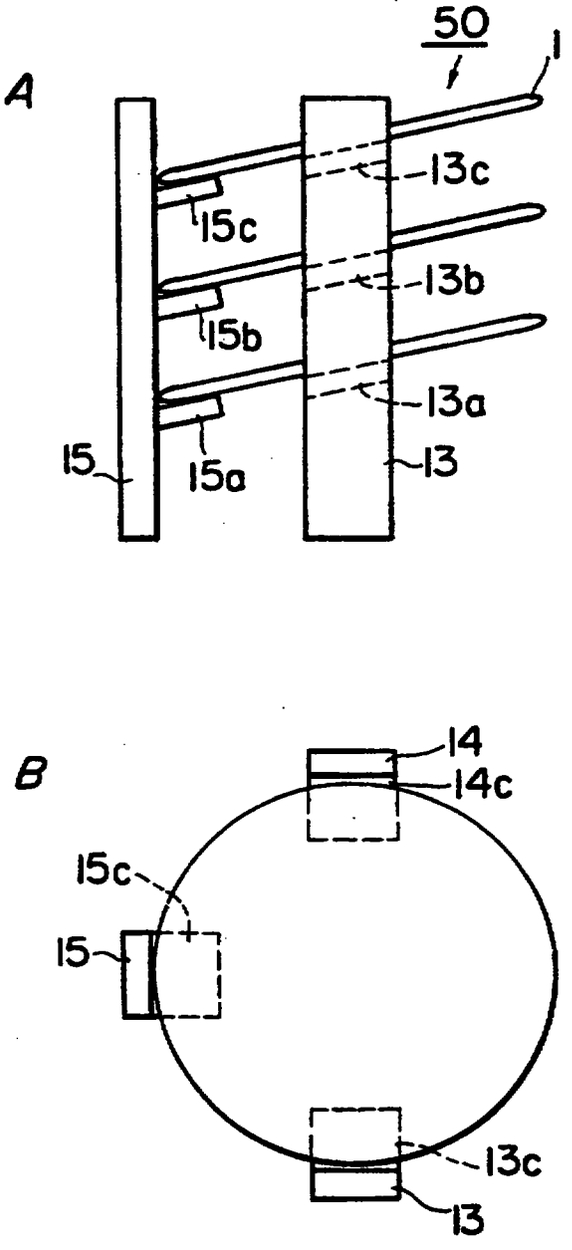


図10

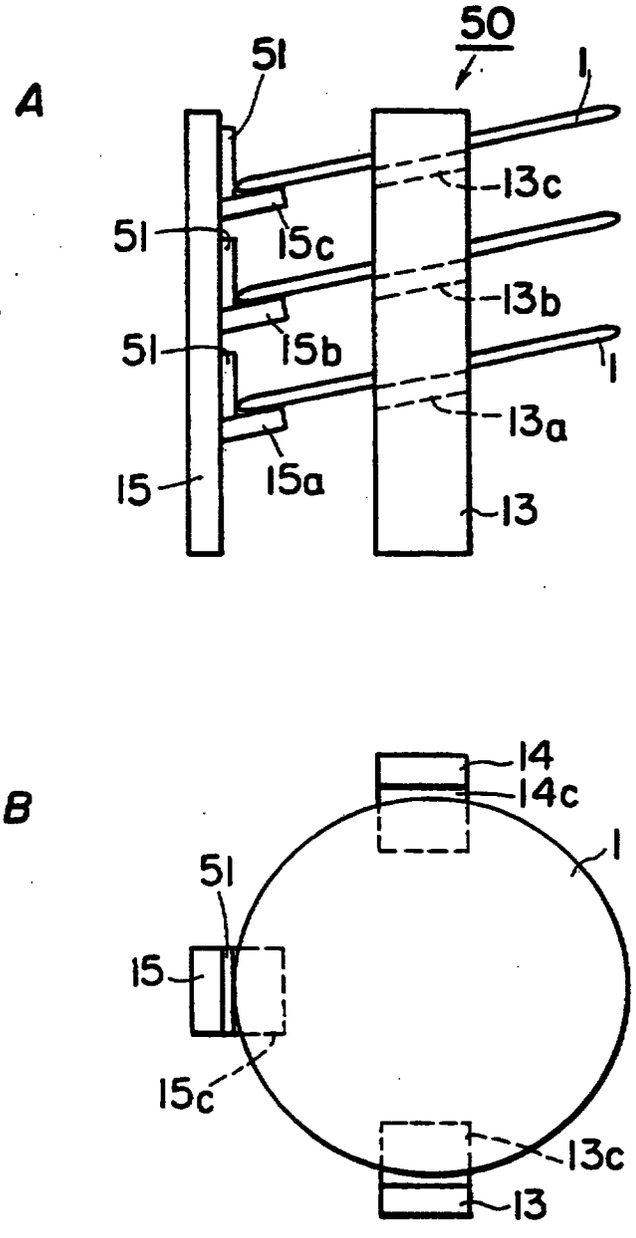

A
50
51
1
13c
51
15c
13b
51
15b
1
13a
15
15a
13
B
14
14c
1
51
15
15c
13c
13

図11

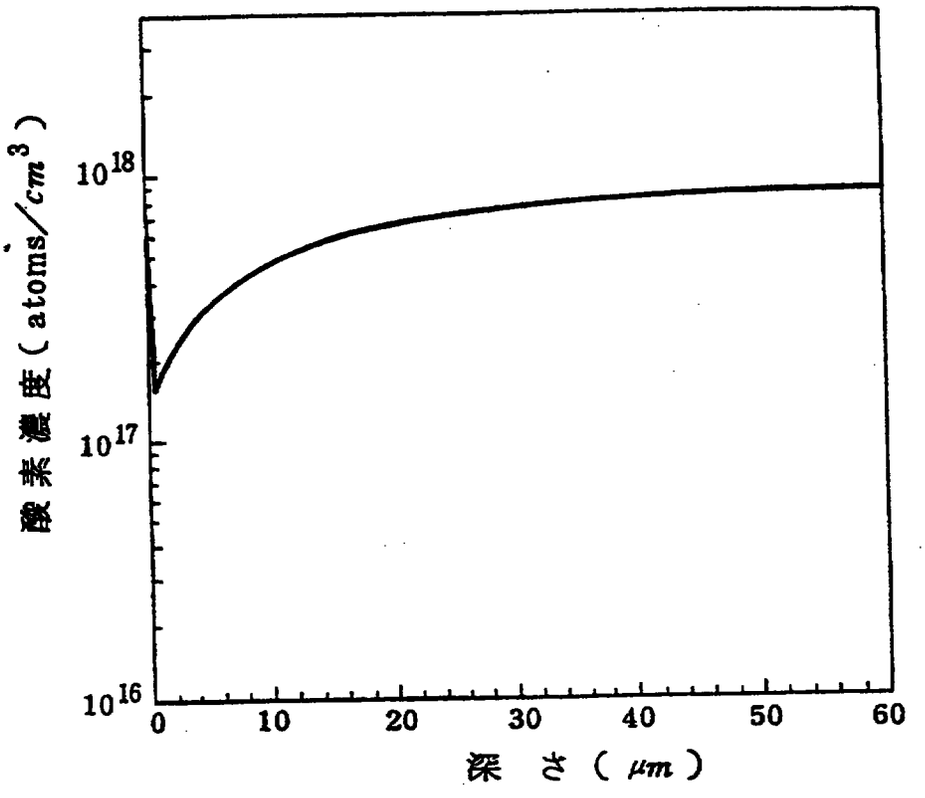


図12

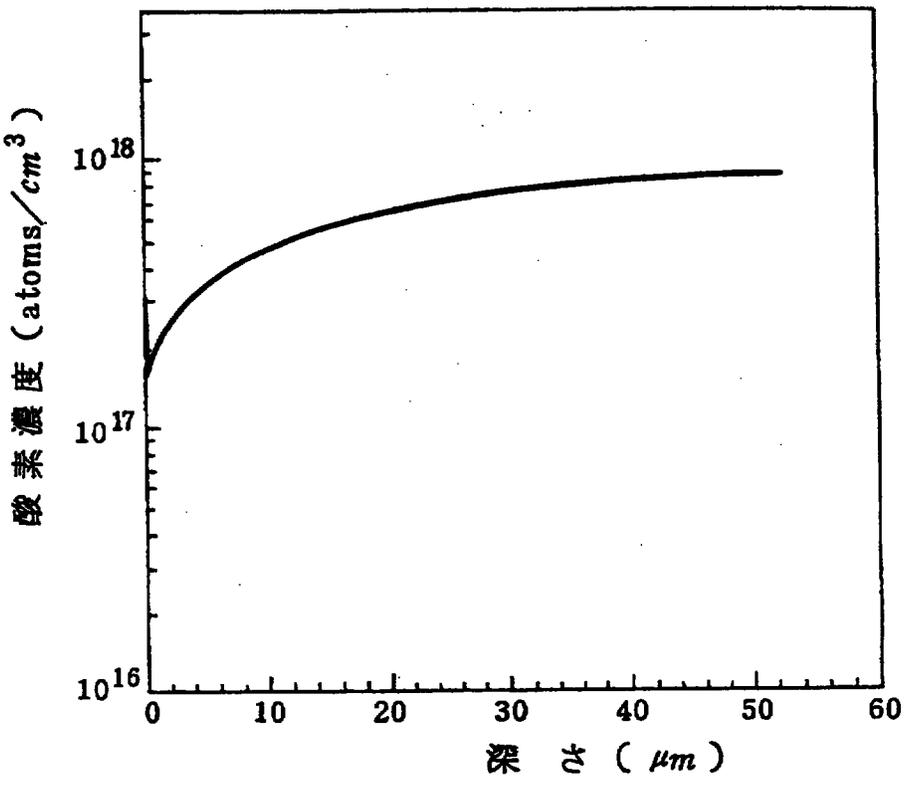
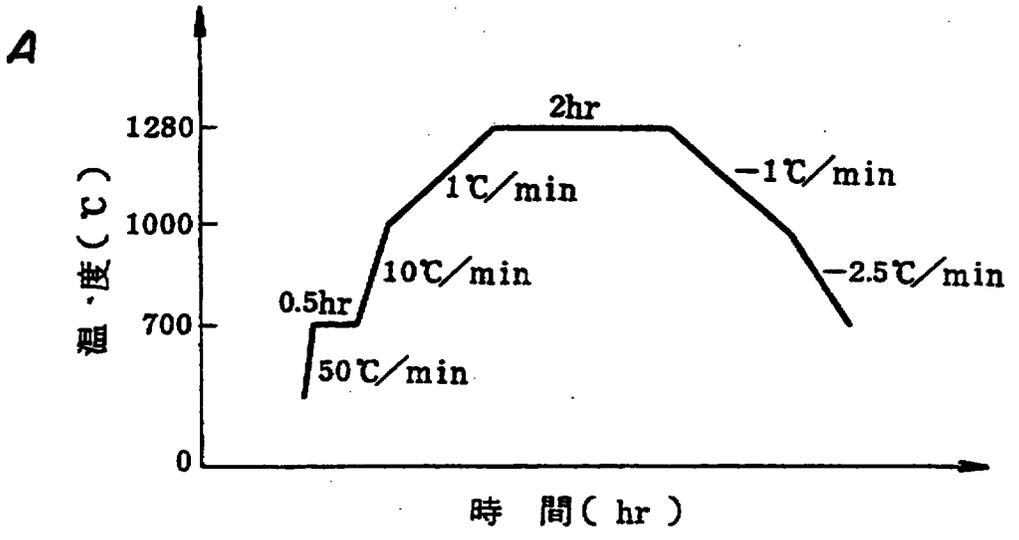


図13


A
1280
1000
700
0
温・度(℃)
2hr
1℃/min
10℃/min
0.5hr
50℃/min
−1℃/min
−2.5℃/min
時 間(hr)

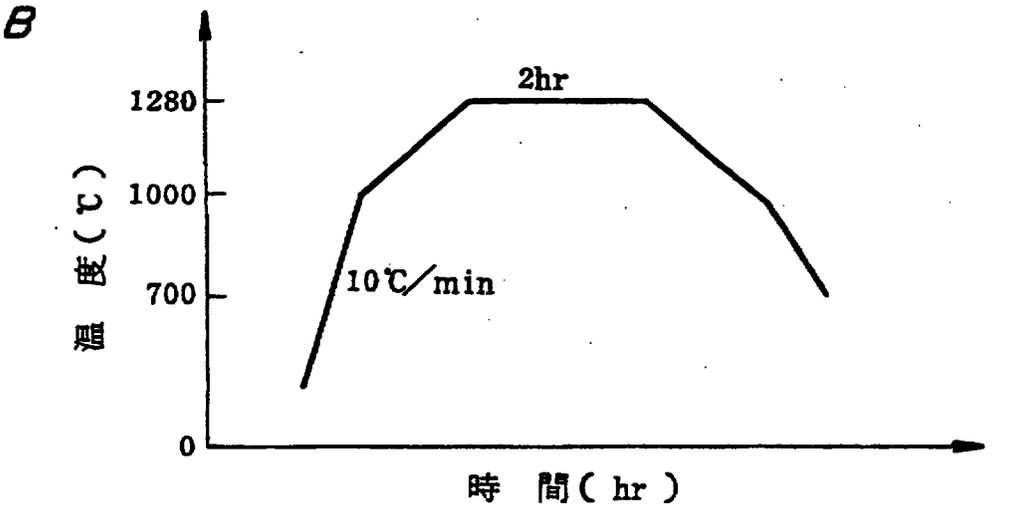

B
1280
1000
700
0
温 度(℃)
2hr
10℃/min
時 間(hr)

図14

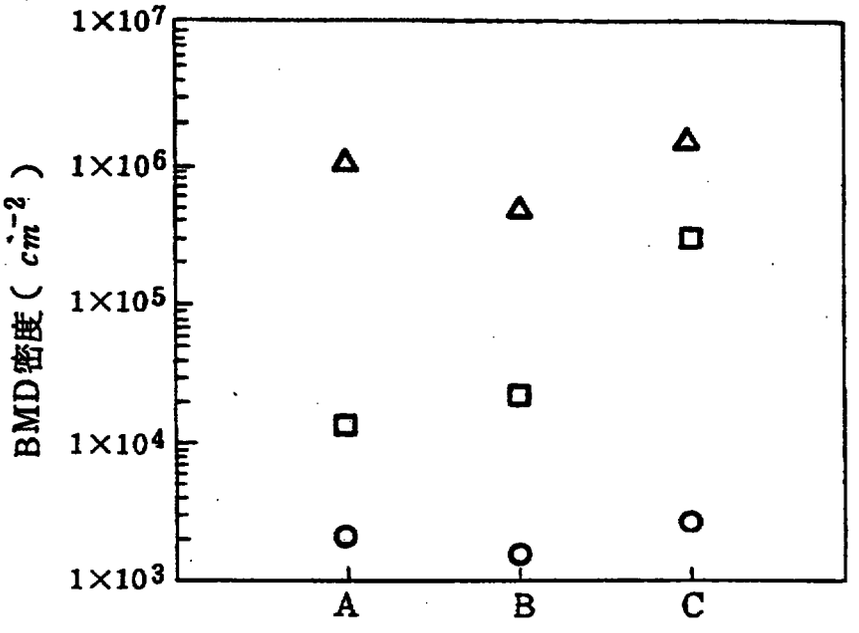


図15

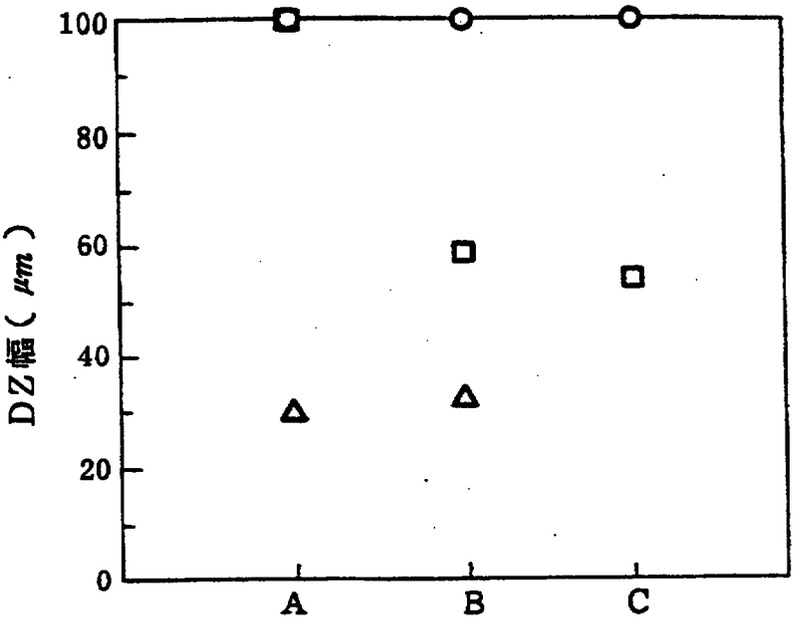


図16

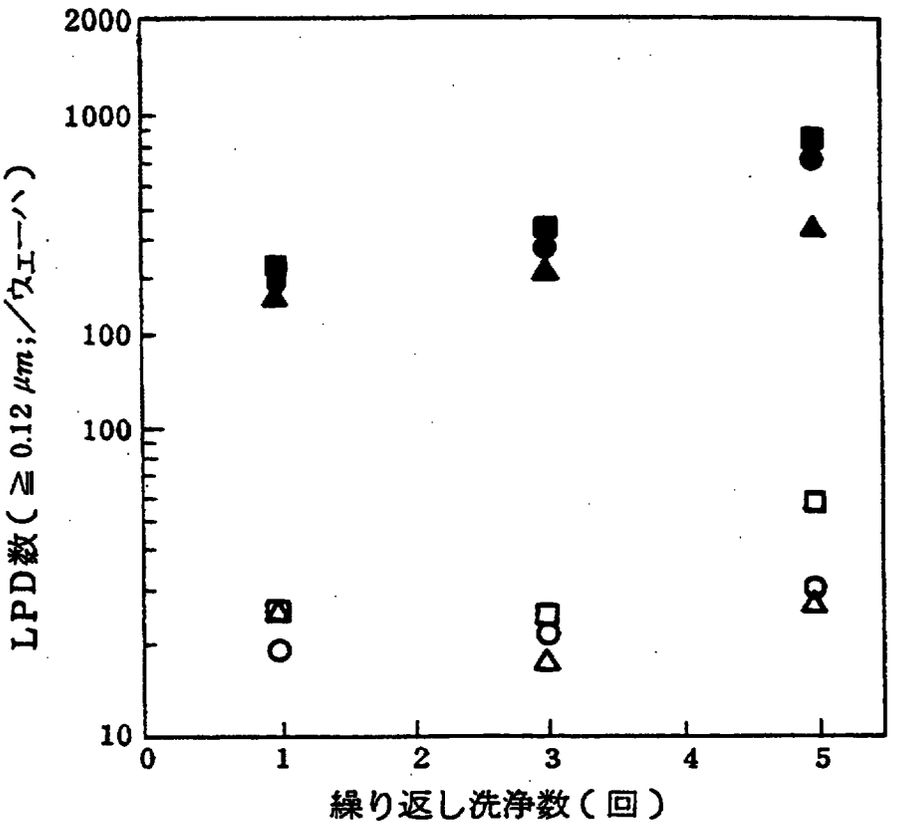
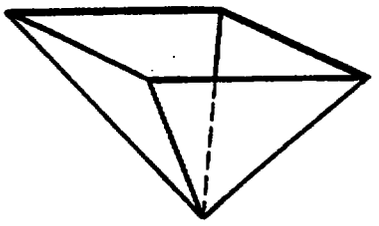


図17

A



B

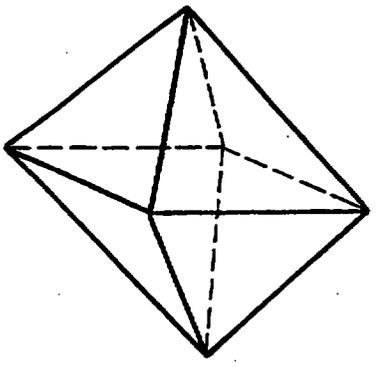
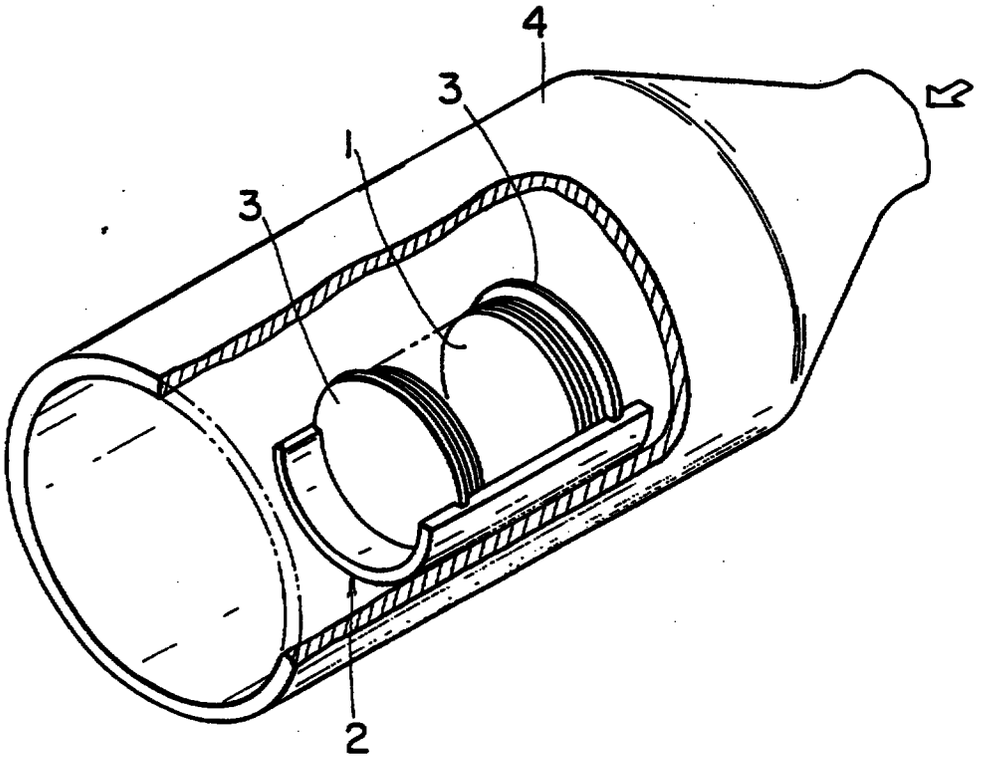


図18



DESCRIPTION

TITLE

SILICON SINGLE CRYSTAL WAFER ANNEALING METHOD AND EQUIPMENT, AND SILICON SINGLE CRYSTAL WAFER AND MANUFACTURING METHOD RELATED THERETO

TECHNICAL FIELD

The present invention involves an annealing method as well as a manufacturing method whereby a large volume of silicon single crystal wafers are simultaneously and uniformly annealed, and is related to a silicon single crystal wafer annealing method as well as a manufacturing method that uses this annealing method, which enables annealing to be performed uniformly and effectively on large numbers of wafers processed simultaneously using a variety of annealing, to include, for instance, oxygen outward diffusion annealing for forming a denuded zone (DZ) layer, annealing that generates and controls oxygen precipitate-induced bulk micro defect (BMD) for the provision of intrinsic gettering (IG) functions, and annealing that endeavors to enhance device characteristics by eliminating grown-in defects, which give rise to surface crystal originated particles (COP) and internal COP, by stacking up approximately 10 wafers, for example, to form a group, and stacking this group of wafers up vertically with a plurality of wafer groups by inclining each group slightly from the horizontal, and subjecting them to the required annealing in the same furnace.

BACKGROUND ART

Silicon wafers used in MOS ULSI devices are almost all grown via Czochralski (CZ) crystal pulling method. Silicon single crystals grown via this CZ process ordinarily contain around 10^{18} atoms/cm^3 of oxygen impurities, and if used as-is in device fabrication processes, the supersaturated oxygen atoms precipitate during processing.

Further, the volume expansion of this oxygen precipitate causes secondary defects such as dislocations and stacking faults. These oxygen precipitates (BMD) and their secondary defects greatly impact the characteristics of a semiconductor device, and when defect occurs on the wafer surface or in the device active layer, it causes increases in leakage current and poor gate oxide integrity (GOI).

Further, grown-in defects introduced during the growth of silicon single crystal using the CZ process were not considered problems in line with the increased integration and downscaling of metal oxide semiconductor (MOS) large scale integration (LSI) up to the 16 megabit dynamic random access memory (16M DRAM) stage. However, because it markedly degrades the GOI characteristics of an MOS capacitor, for 64M DRAM and subsequent devices, the suitability of the near-surface crystallinity of a silicon single crystal substrate will be a major factor in determining device reliability and yield.

Therefore, as a method of improving GOI characteristics during the growth of single crystals via the CZ process, it has been proposed (Kokai No. 2-267195) that a crystal growth rate wherein a crystal is pulled at a slow speed of less than 0.8mm/min can greatly improve the GOI characteristics of a silicon single crystal substrate.

Further, as a method for reducing grown-in defect in silicon single crystals, it has been proposed (Kokai No. 8-12493) that crystal growth be carried out by setting the cooling rate in the temperature range between 1,150℃ and 1,000℃ to less than 2.0℃/min.

As a separate procedure, it was disclosed in Kokai No. 5-319987 and Kokai No. 5-319988 that grown-in defect introduced during crystal growth can be shrinked and eliminated, and the reliability of a gate oxide layer can be improved by annealing a silicon single crystal ingot at between 1,150℃ and 1,400℃ immediately after it has been pulled via the CZ process.

Further, as [a means of] wafer annealing, Kokai No. 60-231365, Kokai No. 61-193456, and Kokai No. 61-193458 and others disclosed a method for forming a DZ layer by promoting the outward diffusion of oxygen near a silicon wafer surface layer by annealing a silicon substrate for 5 minutes or longer at temperatures ranging from 950℃ and 1,200℃ in a hydrogen environment or a hydrogen-containing environment.

Meanwhile, heavy metal contaminants typified by iron (Fe), nickel (Ni) and copper (Cu) occur in a high-temperature annealing process in the processing of an ultra large scale integration (ULSI) device. When these heavy metal contaminants cause the formation of wafer near-surface defects and deep level in forbidden band, which degrades a carrier lifetime, device characteristics deteriorate. It is therefore necessary to remove these heavy metal contaminants from the wafer near-surface, a task that has been accomplished for some time now using IG and various extrinsic gettering (EG) procedures.

It is clear that device processing in the future will achieve yet higher levels of integration and lower the temperature of processes that use high energy ion implants. When this happens, it is predicted that the growth of BMD during processing will become difficult in low temperature processes. Therefore, it will be difficult to achieve the same adequate IG effects with low temperature processes as are possible with high temperature processes. Further, even if processing temperatures are lowered, it will be difficult to avoid heavy metal contaminants such as those in high-energy ion implant processes, thus making gettering technology imperative.

Up until now, DZ-IG processing has been widely used to heighten the quality surface active region of silicon wafers grown using an ordinary CZ process. As explained above, this method reduces interstitial oxygen, which comprises the core of a micro-defect, and forms a oxygen precipitate-free denuded zone (DZ) layer in the device active region by outwardly diffusing oxygen in the wafer near-surface by subjected the wafer to high-temperature processing at temperatures ranging between 1,100℃ and 1,200℃. Thereafter, low-temperature annealing is performed at between 600℃ and 900℃ in order to form oxygen precipitate nuclei in the wafer bulk.

However, as a method for improving GOI characteristics during growth of a single crystal via the CZ process, the above-described method of slowing down the crystal growth rate to less than 0.8mm/min greatly lowers productivity by slowing down the crystal pulling rate. Another problem with this method is that it produces a crystal that is rich in interstitial silicon atoms, and generates a dislocation loop attributable to excess interstitial silicon atoms. On the other hand, it is also impossible to eliminate grown-in

defect by lowering the cooling rate in the temperature range from 1,150~1,000℃ to less than 2.0℃/min when pulling a silicon single crystal.

The method for annealing a silicon ingot directly at a temperature higher than 1,150℃ but lower than 1,400℃ generates dislocation and slip throughout the ingot, rendering the product unusable. On the other hand, although the method of annealing a silicon wafer at between 900℃ and 1,200℃ in a hydrogen environment or hydrogen-containing environment certainly eliminates grown-in defects on the surface or near-surface silicon regions to a depth of about 2μm, the need to once again mirror polish the wafer surface to remove the particles that adhere to the wafer surface during the annealing process, and the surface scratches resulting from wafer transport, drastically reduces the effects of that annealing method.

DRAM devices with trench capacitors can not expect enhancing device characteristics at all, since the trench capacitors extend to about 8 ~10 μm depth from the surface and the existence of grown-in defect causes leakage current.

Furthermore, wafer annealing is generally done either in a horizontal or vertical furnace, and the wafers undergoing annealing are placed one-wafer-per-slot in a boat made of either silicon carbide (SiC) or quartz, making it difficult to process large numbers of wafers at the same time.

Accordingly, a method for annealing large numbers of silicon single crystal wafers and the equipment therefor have been disclosed in Kokai No. 57-97622 and Kokai No. 53-25351, and are depicted in Fig. 18.

This configuration calls for placing a plurality of silicon single crystal wafers 1 one beside the other transversely in a perpendicular state inside a silicon boat 2, supporting this stack of silicon single crystal wafers 1 by pressure applied via backslides 3 at both ends of the stack, and heat processing the supported silicon single crystal wafers 1 in this silicon boat 2 inside an annealing furnace 4. Since the backslides 3 maintain even pressure from both ends on all of the plurality of silicon single crystal wafers 1 lined up transversely like this, it is possible to diffuse high concentrations of impurities deep within the wafers with little warpage and slight variations in diffusion depth and surface concentrations.

Generally, when a slip dislocations occurs in a silicon wafer, devices fabricated on that silicon substrate are adversely affected by increased leakage current generated from the slip dislocations, and can not stand up to practical use. With the annealing equipment depicted in Fig. 18, silicon single crystal wafers 1 are lined up side-by-side transversely in a silicon boat 2, and since the edges of these silicon single crystal wafers 1 come in contact with the silicon boat 2, there has been a problem of slip dislocation formation occurring during annealing at all the contact points of all the stacked silicon single crystal wafers 1. [This equipment] has not yet been used in actual production operations.

As explained above, there is no method for completely eliminating grown-in defect induced during CZ crystal pulling. As a countermeasure, there is a strong movement in support of growing silicon epitaxially on the surface of CZ-grown silicon wafers. This epitaxial layer exhibits extremely good GOI characteristics. But there are numerous drawbacks to this

approach. First of all, epi wafers imply high manufacturing cost. $SiHCl_3$ and SiH_2Cl_2 are used as the silicon source materials, and HCl gas is used in the wafer cleaning process. The chlorine atoms therein promote the corrosion of piping, facilitate the generation of heavy metal contaminants.

The nature of the grown-in defects in a octahedral void defect surrounded by (111) surface with a few nm oxide film, as shown in Fig. 17B. When the grown-in defects are exposed on the surface in following wafer shaping processes, as shown in Fig. 17A, quadrangular pyramid-shaped concave pits with a diameter of between 0.1~0.2μm, so called COP (crystal originated particle), appear and have adversely affected GOI characteristics. However, in the past, no matter what conventional annealing method was used, it was impossible to reduce grown-in defects from surface active region.

DISCLOSURE OF THE INVENTION

An object of the present invention is to provide a silicon single crystal wafer annealing method capable of increasing the number of silicon single crystal wafers processed during a single annealing process, and of avoiding slip formation in high-temperature annealing environments when carrying out a variety of annealing processes on silicon single crystal wafers, to include oxygen outward diffusion annealing for forming a DZ layer, annealing that generates and controls BMD for furnishing IG functions, and annealing that endeavors to improve and enhance device characteristics by eliminating surface COPs and internal grown-in defects.

The inventors carried out various studies aimed at developing an annealing method capable of preventing dislocation and slip in high-temperature annealing environments, and of uniformly exerting the same

annealing effect on wafers when annealing silicon single crystal wafers, no matter whether 10 wafers were placed into the same furnace at the same time, or whether a large volume of wafers, say over 100, were placed into the same furnace at the same time. As a result, they learned that it is possible to stack up around 10 wafers, and, treating this group as a unit, to place this group, either horizontally or slightly inclined at roughly 0.5~5°, into a boat, which makes contact with and supports the outer circumferences of the wafers at a plurality of locations, and when annealing is performed at over 1,100℃ to promote the outward diffusion of oxygen, for instance, even if a dislocation or slip should occur in the bottommost wafer in the boat, the propagation of this defect to the wafer adjacent to this one can be prevented, and DZ layers can be formed on all the wafers at the same time.

The inventors also learned that when annealing is carried out by treating a large number of stacked wafers as a group, and stacking a plurality of such groups in multiple levels with the wafers in the vertical direction within the soaking zones of a loaded annealing furnace, a large volume of wafers can be annealed at the same time, dislocation and slip can be prevented, and the same annealing effect can be exerted uniformly on all wafers.

That is, it was learned that over three times the usual number of wafers can be annealed simultaneously in the same process using a conventional annealing furnace, and there is no increase in overall dislocation and slip as in the annealing process formerly known as ingot annealing, making it possible to achieve high productivity and high yields.

As a result of various additional studies, the inventors learned that:

1) By installing a buffer plate (layer) on the inner supports of the above-described incline-capable boat, and installing a disc or ring made of a material with outstanding strength at elevated temperatures, such as Si, SiC, ceramics or alumina, at the lowest layer of a large number of wafers treated as a group, dislocation and slip do not occur;

2) When annealing is performed in an oxygen environment, or an oxygen-containing environment, wafers do not adhere to one another; and

3) When, as needed, the wafers to be annealed have not been polished, or have not undergone final (finishing) polishing, the wafers definitely do not adhere to one another.

Furthermore, the inventors learned that when annealing using the above-described invention, by heat treating [wafers] at over 1,100℃, for example, by processing [wafers] for between five minutes and six hours at temperatures ranging from 1,100℃ to 1,350℃ during ramp up or ramp down, defect-free regions (DZ layers) can be formed in the surface layers of each of a large volume of wafers.

When the inventors carried out additional studies aimed at optimizing annealing conditions for forming defect-free regions (DZ layers), it was learned that:

1) During the ramp up process to a temperature in excess of 1,100℃, when annealing is performed by maintaining a fixed temperature or a plurality of fixed temperatures for more than 10 minutes but less than four hours within

a temperature range from 500℃ to 900℃, IG functions can be provided by the formation of BMD;

2) When the ramp up rate within the temperature range from 500℃ to 900℃ is set between 0.5℃/min and 5℃/min, BMD can be formed to provide IG functions;

3) During the ramp down process following sustained heating at a temperature in excess of 1,100℃, when annealing is performed by maintaining a fixed temperature or a plurality of fixed temperatures for more than 10 minutes but less than 16 hours within a temperature range from 500℃ to 900℃, BMD can be formed to provide IG functions;

4) During the ramp down process following sustained heating at a temperature in excess of 1,100℃, when the ramp down rate within the temperature range from 500℃ to 900℃ is set between 0.5℃/min and 5℃/min, BMD can be formed to provide IG functions.

Furthermore, the inventors learned that, when annealing is performed using the above-described invention, large volumes of wafers can be processed simultaneously, and that grown-in defect, which are the source of surface layer COP, as well as internal grown-in defects, can be reduced or even eliminated in each wafer by heat treatment at over 1,250℃, for example, at temperatures ranging from 1,280℃ to 1,380℃ for between five minutes and six hours, and that, when annealing at the above-mentioned temperature of over 1,250℃, annealing which forms the above-described defect-free regions (DZ layers) can be combined with annealing for the

provision of IG functions, enabling the manufacture of high-quality silicon single crystal wafers. [The inventors then] perfected the present invention.

BRIEF DESCRIPTION OF THE DRAWINGS

Fig. 1A depicts a top view of an annealing boat used in an annealing method of the present invention, and Fig. 1B is a schematic diagram depicting a longitudinal (side) view [of this annealing boat] [from the perspective indicated] by the arrows in Fig. 1A;

Fig. 2 is a graph depicting the relationship between annealing temperatures and GOI yield more than electric field strength of 8MV/cm, which indicates the results of the evaluation of GOI characteristics of wafers annealed via the annealing method of the present invention;

Fig. 3 depicts an oblique view of another embodiment of an annealing boat used in an annealing method of the present invention;

Fig. 4 depicts a longitudinal (side) view of the annealing boat depicted in Fig. 3;

Fig. 5 depicts an oblique view of another embodiment of an annealing boat used in an annealing method of the present invention;

Fig. 6 depicts schematic diagrams of the configurations of conventional single-wafer-style transport robots, with A depicting a vacuum chacking-type configuration and B depicting a ladle-type configuration;

Fig. 7 depicts a top view of the configuration of a wafer transport robot used in the present invention;

Fig. 8A depicts a front view of another configuration of a wafer transport robot used in the present invention, B depicts a top view of this robot, and C depicts a top view of another embodiment [of this robot];

Fig. 9A depicts a schematic diagram of one example of the usage of an annealing boat used in the present invention, and B depicts a top view of this boat;

Fig. 10A depicts a schematic diagram of one example of a configuration of an annealing boat used in the present invention, and B depicts a top view of this boat;

Fig. 11 is a graph depicting the relationship between depth from wafer surface and oxygen concentration;

Fig. 12 is a graph depicting the relationship between depth from wafer surface and oxygen concentration;

Fig. 13A and B depict heat pattern diagrams showing examples of annealing conditions;

Fig. 14 is a graph depicting the relationship between differences in oxygen concentration and BMD density in wafers for which annealing was performed using the annealing method of the present invention. In this figure, A depicts a low-oxygen concentration wafer with an initial oxygen concentration of $12.5\sim13 \times 10^{17}$ atoms/cm^3, B depicts a medium oxygen concentration wafer with an initial oxygen concentration of $13.5\sim14 \times 10^{17}$ atoms/cm^3, and C depicts a high oxygen concentration wafer with an initial oxygen concentration of $14.5\sim15 \times 10^{17}$ atoms/cm^3;

Fig. 15 is a graph depicting the relationship between differences in oxygen concentration and DZ layer width in wafers for which annealing was performed using the annealing method of the present invention;

Fig. 16 is a graph depicting the relationship between the frequency of repeated (SC-1) cleanings and the number of LPD;

Fig. 17A is an oblique view drawn from an atomic force microscope (AFM) image of a wafer surface COP defect, and Fig. 17B is an oblique view of a defect inferred from the drawing in A, comprising a polyhedron shape that has an octahedron as its basic structure, and which is hollow inside; and

Fig. 18 is a partially exposed oblique view of a rough configuration of conventional silicon single crystal wafer annealing equipment.

BEST MODE FOR CARRYING OUT THE INVENTION

Fig. 1 depicts one example of annealing equipment used in an annealing method of the present invention. This annealing equipment comprises a vertical annealing furnace, not shown in the figure, plus an annealing boat 10, which is made of a material that possesses outstanding strength at elevated temperatures, such as porous SiC, or Si-impregnated SiC, and which is capable of supporting a plurality of groups of silicon single crystal wafers 1, each group comprising 10 silicon single crystal wafers 1 stacked one on top of the other as shown in the figure, and performs a variety of annealing on each of the groups of silicon single crystal wafers 1 supported by this annealing boat 10. For example, [the types of annealing performed] include that for DZ-IG processing, which calls for ramping up to 1,000℃ at a rate of 1℃/minute, maintaining a temperature of 1,280℃ for two hours, the

cooling down by ramping down from 1,000℃ at a rate of 1℃/minute, and that for DZ processing, which calls for annealing within a temperature range of more than 1,150℃ but less than 1,380℃ within a time range of more than five minutes but less than six hours.

This annealing boat 10 comprises a disc-shaped bottom plate 11 and a disk-shaped top plate 12, and three support plates 13, 14, 15, and the three support plates are arranged as anterior support plates 13, 14 and a posterior support plate 15 to form a cylindrical space between the bottom plate 11 and the top plate 12, with a pair [of these support plates] located one at each end of a diametric of a disc, and [the third] located at one end of a diametric that passes straight between the pair, and both ends of each of these plates are fastened between the bottom plate 11 and the top plate 12. There are also posterior support holders 15a, 15b..., which are provided in an extended condition at a plurality of locations at predetermined heights on this posterior support plate 15, and anterior support holders 13a, 13b..., 14a, 14b..., which are provided in an extended condition on the anterior support plates 13, 14 at locations slightly higher than the posterior support holders 15a. [The annealing boat] is configured so that an opening is formed between the above-described pairs of anterior support holders 13a, 13b..., 14a, 14b..., and stacked groups of silicon single crystal wafers 1 are inserted [into the boat] through this opening 16.

The top faces of the above-described posterior support holders 15a, 15b... are formed so as to protrude from the surface of the posterior support plate 15 so that the front rises up toward the above-described opening 16, and the top faces of the above-described anterior support holders 13a, 13b..., 14a,

14b... are formed as inclined faces that correspond to extensions of the top faces of the above-described posterior support holders 15a, 15b....

Since each group of stacked silicon single crystal wafers 1 is loaded onto the respective anterior and posterior support holders 13a, 14a, 15a, 13b, 14b, 15b in this way, slip only occurs in the bottommost silicon single crystal wafer 1 in each wafer 1 group, and the silicon single crystal wafers 1 stacked on top of this [bottom wafer] only touch one another and do not come in contact at all with anything else, making it possible to achieve slip-free [annealing].

As explained above, the stacked silicon single crystal wafers can also be loaded directly onto the respective support holders. It is also possible to utilize a configuration whereby a disc or ring made of a material that possesses outstanding strength at elevated temperatures, such as SiC or ceramics for example, is installed on top of the respective support holders, and stacked groups of silicon single crystal wafers 1 are loaded onto these [circle- or ring-equipped support holders], or silicon single crystal wafers are stacked up on top of the above-described disc or ring, and this is treated as a group, and loaded onto the respective support holders.

That is, slip occurs due to the affects of the precision of the installed disc or ring only in the bottommost silicon single crystal wafer 1 in each wafer 1 group, and the silicon single crystal wafers 1 stacked on top of this [bottom wafer] only touch one another and do not come in contact at all with anything else, making it possible to achieve slip-free [annealing]. Here, the thickness of the disc or ring installed under the group of silicon single

crystal wafers 1 should be around 2mm~7mm. And the thickness 17 of the support holders in the annealing boat 10 should be around 4mm~6mm.

The annealing equipment used in an annealing method of the present invention depicted in Fig. 3 and Fig. 4 is an example of an annealing boat 20 into which groups of stacked silicon single crystal wafers 1 are loaded horizontally. The annealing boat 20 consists of a cylinder, and comprises a configuration whereby ring-shaped support holders 21, 22, 23...are provided and arranged around the periphery of the inner surface at predetermined intervals, and along one side of the outer surface, an opening 24 and a vertical insertion slot 25 are formed for inserting inside the cylinder an entire jig (not depicted in the figure) loaded with a group of a required plurality of stacked silicon single crystal wafers 1, and the groups of wafers 1 are loaded onto the respective ring-shaped support holders 21, 22, 23 described above.

Further, a group of wafers 1 is inserted and loaded onto the topmost support holder 23 using an opening and insertion slot 25 in the top face of the boat 20. Also, for the above-described annealing boat 20 as well, it is also possible to utilize a configuration whereby a disc or ring made of a material that possesses outstanding strength at elevated temperatures, such as SiC or ceramics, for example, is installed on top of the respective support holders, and stacked groups of silicon single crystal wafers 1 are loaded onto these [circle- or ring-equipped support holders], or silicon single crystal wafers are stacked up on top of the above-described disc or ring, and this is treated as a group, and loaded onto the respective support holders.

The annealing boat 30 used in an annealing method of the present invention depicted in Fig. 5 comprises short cylindrical boat units 31, a ring-shaped support holder 32 is provided and arranged around the periphery of the inner surface of a boat unit 31, and along one side of the outer surface, a vertical insertion slot 33 is formed, creating a configuration whereby it is possible to use the top face opening and insertion slot 33 in a boat unit 31 to insert an entire jig (not depicted in the figure) loaded with a group of a required plurality of stacked silicon single crystal wafers 1, and to load [this group of wafers 1]. By stacking up vertically one on top of the other the boat units 31 loaded with these groups of silicon single crystal wafers 1, a plurality of groups of silicon single crystal wafers 1 can be loaded [into a furnace] similar to the annealing boat 20 depicted in Fig.'s 3 and 4, enabling the simultaneous annealing of a large volume of wafers.

For the annealing boat 30 depicted in Fig. 5 as well, the support holders 32 can also be discs, and it is possible to utilize a configuration whereby a disc or ring made of a material that possesses outstanding strength at elevated temperatures, such as SiC or ceramics, for example, is installed on top of the respective support holders, and stacked groups of silicon single crystal wafers 1 are loaded onto these [circle- or ring-equipped support holders], or silicon single crystal wafers are stacked up on top of the above-described disc or ring, and this is treated as a group, and loaded onto the respective support holders.

In the support holders of each of the annealing boats 10, 20, 30 described above, a step with an inner diameter that adjoins the periphery of a wafer 1 can be formed on the surface whereon a silicon single crystal wafer 1

is loaded. This step can facilitate the positioning of a silicon single crystal wafer 1 that is loaded onto a support holder, and the periphery of the second and subsequent silicon single crystal wafers 1 from the bottommost wafer can be prevented from coming in contact with the main part of the annealing boat.

The present invention opines and proposes that in a conventional DZ layer formation annealing process, for example, by stacking up a large number of wafers instead of inserting one wafer in each boat slot, and annealing [these wafers] at a temperature in excess of 1,100℃, an outward diffusion of interstitial oxygen can be formed even in wafers that are adjacent to one another, and the wafer in-plane outward diffusion distribution will be good. Therefore, it becomes necessary to stack up a large number of wafers, and to transport these wafers all at once as a group.

Conventional silicon wafer transport methods comprise a vacuum chacking-type transport robot, wherein a suction plate 41 is mounted to an arm 40, and a ladle-type system, wherein a loading plate 42 is mounted to an arm 40. Both types of wafer transport robots transport single wafers. Using a conventional single-wafer-style transport robot to stack wafers into a single slot of an annealing boat requires more complex equipment, and is extremely expensive.

Accordingly, as equipment for transporting a plurality of stacked wafers at the same time, the example depicted in Fig. 7 is a ladle-type wafer transport robot for the annealing boat 10 depicted in Fig. 1, that is, a boat with three-point support, comprising a configuration, whereby an arm 40 is mounted to a jig 43, which has arc-shaped support walls at both ends of a

curved, rectangular-shaped base plate, and which is able to horizontally stack and store wafers 1 between the pair of arc-shaped support walls, and a notch 44 is cut into one of the arc-shaped support walls to provide clearance for a boat support holder (indicated in the figure by an imaginary line) during loading. After stacking a plurality of wafers onto this jig 43 (See Fig. 7), this large number of stacked wafers can be transported as a group to an annealing boat.

Next, as equipment for transporting a plurality of stacked wafers at the same time, the example depicted in Fig. 8A, B is a ladle-type wafer transport robot for a boat with four-point support, comprising a configuration, whereby an arm 40 is mounted to a jig 45, which has arc-shaped support walls at both ends of a curved, rectangular-shaped base plate, and which is able to horizontally stack and store wafers 1 between the pair of arc-shaped support walls. After stacking a plurality of wafers onto this jig 45, this large number of stacked wafers can be transported as a group to an annealing boat. Further, as depicted in Fig. 8C, it is also possible to use a configuration, which uses a jig 46 with two pairs of small-diameter support columns in place of the pair of arc-shaped support walls described previously. And to simplify wafer transport, silicon single crystal wafers can be stacked onto the above-described disc or ring and this can be transported as a group by a ladle-type wafer transport robot.

The annealing boat 50 used in an annealing method of the present invention depicted in Fig. 9 exhibits a configuration that comprises the same three anterior-posterior support plates 13, 14, 15 comprising the annealing boat 10 depicted in Fig. 1. The depiction of a plurality of stacked wafers is

abridged in the figure to show only one silicon single crystal wafer. When using a ladle-type wafer transport robot to transport wafers to this annealing boat 50, a group of a large number of stacked wafers is loaded onto the respective anterior and posterior support holders 13a, 14a, 15a, 13b, 14b, 15b, 13c, 14c, 15c... described above. If, for example, [the group of wafers] should slide on the support holders and come in contact with the posterior support plate 15, a localized temperature difference occurs at the point of contact during high-temperature annealing between the wafer end faces and the boat, generating slip.

Accordingly, as shown in Fig. 10, by installing a rectangular buffer made of a material that exhibits outstanding strength at elevated temperatures, such as SiC, Si or alumina, for instance, to the annealing boat's 50 posterior support plate 15 at the starting point of the incline [of the support holder], even if the wafers slide, the wafer end faces will come in contact with the buffer 51, and the existence of the buffer 51 alters thermal conduction and heat transfer, thereby reducing localized temperature difference and curbing slip generation.

With the present invention, a group of a large number of stacked wafers are loaded into an annealing boat at an incline, and this angle of inclination should be less than 45(from the horizontal, with 0.5~5° being the most desirable. If [this angle] is more than 0.5°, it is possible to prevent [wafers] from dropping out of a boat during annealing or during wafer transport as a result of inter-wafer sliding. If the angle of inclination is larger than 45°, wafer transport becomes difficult.

With the present invention, silicon single crystal wafers to be annealed consist of wafers that have been etched, wafers that have undergone various mirror polishing processes and a finishing mirror polishing process, as well as wafers that have not been polished, but unpolished wafers are better since they can prevent wafers from sticking to one another. And in view of the metallic contaminants generated during wafer annealing, wafers should be subjected to common RCA cleaning, for example, cleaning steps SC-1 + SC-2, prior to annealing.

The amount of silicon surface removed by polishing after annealing should be small, with from 0.1μm to 20μm being desirable. If the above-mentioned amount of silicon removed during the process is less than 0.1μm, it is difficult to improve surface precision, and when it exceeds 20μm, process loss increases, and productivity decreases as a result of problems related to the time required for mirror polishing. Therefore, keep the amount of silicon removed during the polishing process to between 0.1μm and 20μm. Between 1μm and 5μm is even better.

Further, annealing performed at temperatures ranging from 950℃ to 1,000℃ in a non-oxide gas environment (argon (Ar) or H_2 gas) to stack and anneal wafers using the method of the present invention etches off (sublimates) the natural oxide film that grows on the wafer surface facilitating the strong adhesion to one another of adjacent etched-off wafers. Since this inter-wafer adhesion is powerful, it is difficult to separate the wafers after annealing. Therefore, with the present invention, annealing in diluted oxygen environment, such as O_2/Ar or O_2/N_2, for example, is

preferable as it facilitates separation of the wafers from one another after annealing and does not cause cracking.

Further, even [when annealing is performed] in a hydrogen or argon gas environment, stacking up around 10 wafers by alternating wafers on which thermal oxidation layers had been generated beforehand with wafers lacking thermal oxidation [layers] facilitates the separation of the wafers from one another after annealing. Naturally, all the wafers to be stacked together can either be wafers on which an oxide film was generated during the previous process, or wafers on which an oxide film was grown beforehand.

With the present invention, the preferred annealing conditions for forming a defect-free region (DZ layer) is to ramp up to a temperature in excess of 1,100℃, and annealing performed at temperatures ranging from 500℃ to 900℃ for more than 10 minutes but less than four hours can provide IG functions by forming BMD. BMD for IG functions can also be formed by ramping up from 500℃ to 900℃ at a rate of between 0.5℃/min and 5℃/min. Particularly favorable conditions [for this call for] annealing at between 600℃ and 800℃ for more than 30 minutes but less than one hour, or ramping up from 600℃ to 800℃ at a rate of between 2~3℃/min.

The above-described conditions relate to ramp up, but the inventors have confirmed that maintaining a fixed temperature somewhere between 500℃ to 900℃ for more than 10 minutes but less than four hours during the ramp down process following sustained heating at a temperature in excess of 1,100℃ makes it possible to provide IG functions by forming BMD, and similarly, ramping down from 900℃ to 500℃ at a rate of between

0.5℃/min and 5℃/min can also form BMD for IG functions. Particularly favorable conditions [for this call for] maintaining a fixed temperature somewhere between 600~700℃ for 4~8 hours.

When it comes to annealing stacks of individual/groups [of wafers] using the present invention, by annealing at a temperature in excess of 1,250℃, for example, between 1,280℃ and 1,380℃, for between five minutes and six hours, a large volume of wafers can be processed simultaneously, and grown-in defects, which form the basis for surface layer COP and internal COP in each wafer, can either be reduced or eliminated. For example, as is made clear in the embodiments, it has been confirmed that annealing for two hours at 1,280℃ eliminates most COP, and that COP can be completely eliminated by annealing that maintains a high temperature of around 1,300℃, as with conditions such as 1,280℃ × four hours, and 1,300℃ × two hours in particular. Especially favorable conditions [for this call for annealing] at between 1,300~1,350℃ for around 2~3 hours.

In the annealing of stacks of individual/groups [of wafers] using the present invention, when annealing to eliminate the wafer surface layer COP described above, by combining the various previously-explained annealing conditions for forming a defect-free region (DZ layer), or the various annealing conditions for providing IG functions by forming BMD when ramping up to a temperature in excess of 1,250℃ or during the ramp down process, in addition to decreasing or eliminating surface layer COP in wafers, it is also possible to readily mass produce high-quality silicon single crystal wafers equipped with DZ-IG functions. It has been confirmed that

the joint use of annealing conditions can be arbitrarily combined within the scope described above.

Embodiments

Embodiment 1

A 200-mm-diameter silicon ingot grown via the CZ process and having an oxygen concentration of $13\sim15\times10^{17}$ atoms/cm^3 (old ASTM) was ground into a cylindrical shape, following which it was sliced into wafers, and the surfaces of these silicon single crystal wafers were then etched with either an aqueous solution comprising a hydrofluoric/nitric acid mixture or a KOH solution. Then, using the previously-described annealing boat depicted in Fig. 1, these silicon single crystal wafers were stacked into groups of 10 wafers, and by vertically stacking 30 of these groups in sequence, 300 wafers were loaded [into the boat].

This annealing boat was loaded into a vertical annealing furnace [pre-heated] to 700℃, [the furnace] was ramped up to 1,000℃ at a rate of 8℃/min, and then up to 1,300℃ at a rate of 1℃/min, the temperature was maintained at 1,300℃ for two hours, following which it was ramped down to 1,000℃ at a rate of 1℃/min, then down to 700℃ at a rate of 2.5℃/min, and the annealing boat was withdrawn from the annealing furnace. The environment inside the furnace comprised 20%O_2-80%N_2.

The generation of slip and dislocation in the silicon single crystal wafers subjected to this kind of annealing was confirmed via X-ray topography (XRT). Using this XRT, of the 10 stacked silicon single crystal wafers, support holder-generated slip was observed only in the bottommost

silicon single crystal wafer at the point of contact with each support holder. Slip and dislocation were not observed in the second and subsequent silicon single crystal wafers from the bottom. This condition was the same for each group of wafers.

Next, this wafer was etched in an HF solution [to remove] an oxide film formed during annealing, following which, it was subjected to a mirror polishing process [which removed] around 10μm from the surface [of the wafer]. After that, a gate oxide layer (25nm thick) was formed in a dry gaseous oxygen environment, a polycrystalline silicon layer was deposited, this polysilicon [layer] was doped with phosphorous, an electrode was formed, and lithography was used to fabricate a MOS capacitor with an electrode surface area of $8mm^2$. Evaluation testing was carried out on the GOI characteristics of the silicon single crystal wafer on which this MOS capacitor was fabricated. Evaluation conditions designated chips with a electric field strength of over 8MV/cm as good.

Further, using the same sample (wafer) as that described above, annealing was carried out for two hours at temperature conditions of 1,150℃, 1,250℃, 1,300℃, 1,350℃. The surface of this silicon crystal wafer 1, to include the same sample (wafer), which, for reference, was not annealed, was mirror polished and the above-described MOS capacitor was fabricated.

Fig. 2 depicts the results of the above-described evaluation test. Yield of samples that did not undergo annealing exhibited a 60%, samples annealed at 1,150℃ exhibited a 70%, and those annealed at temperatures in excess of 1,200℃ exhibited a better than 90% good product ratio.

Embodiment 2

Similar to Embodiment 1, 10 8-inch (200-mm) diameter silicon single crystal wafers were stacked up and loaded into an annealing boat, and annealing was performed by ramping up from 1,000℃ to 1,280℃ at a rate of 1℃/min, and after maintaining a temperature of 1,280℃ for two hours, ramping down to 1,000℃ at a rate of 1℃/min. Also, the initial oxygen concentration used in the silicon single crystal wafers was 15×10^{17} atoms/cm^3 (old ASTM).

After annealing, SIMS was used to measure the oxygen concentrations in all the wafers in a certain group, and in the fourth and eighth wafers of the other groups from the surface layers of the wafers inward (depth-wise). The results indicated that DZ layers had been secured in all wafers. Fig. 11 and Fig. 12 depict graphs indicating the relationship between surface depth and oxygen concentration based on the results of oxygen concentration measurements in the fourth and eighth wafers, respectively, from the top of a certain wafer group.

It was learned that annealing via the present invention, whereby a plurality of wafers are stacked together, and a plurality of [wafer] groups are stacked up and loaded into an annealing boat, makes it possible to achieve uniform outward diffusion of oxygen in each and every simultaneously processed wafer. And the progress of this outward diffusion of oxygen is a function of annealing temperature and time.

Embodiment 3

Boron-doped wafers measuring 8-inches in diameter and having an oxygen concentration of $14\sim15\times10^{17}$ atoms/cm^3 (old ASTM) were piled up into stacks of 10, and were annealed in the same furnace as that used in Embodiment 1 using the heat pattern depicted in Fig. 13A. In addition, annealing was also carried out using the heat pattern depicted in Fig. 13B.

The heat pattern depicted in Fig. 13A indicates annealing whereby ramp up to 700℃ is at a rate of 50℃/min, then, after maintaining 700℃ for 30 minutes, the temperature is increased to 1,000℃ at a ramp rate of 10℃/min, and then raised to 1,280℃ at a ramp rate of 1℃/min. After maintaining a temperature of 1,280℃ for two hours, the temperature is lowered to 1,000℃ at a ramp rate of 1℃/min, and then ramped down to 700℃ at a rate of 2.5℃/min.

The heat pattern depicted in Fig. 13B indicates annealing whereby the temperature is increased from room temperature to 1,000℃ at a ramp rate of 10℃/min, then raised to 1,280℃ at a ramp rate of 1℃/min, and after maintaining a temperature of 1,280℃ for two hours, the temperature is lowered to 1,000℃ at a ramp rate of 1℃/min, and then ramped down to 700℃ at a rate of 2.5℃/min.

Following the two types of annealing, both [sets of wafers] were subjected to evaluation annealing at 1,000℃ × 16 hours. After that, the wafers were cleaved and preferential etched. The amount of silicon etched off at this time was roughly a depth of 2μm from surface. Next, the oxygen precipitate density of cross-sections of wafers was measured using an optical microscope.

As a result of observing wafer cross-sections through an optical microscope, [it was learned that] the sample wafers annealed as indicated in Fig. 13B exhibited no oxygen precipitates, and the sample wafers annealed as indicated in Fig. 13A had formed DZ layers to a depth of 30μm from the wafer surface, but in regions deeper than that, oxygen precipitates of around 10^5~10^6/cm^2 had grown. Also, since the wafers produced via the heat pattern depicted in Fig. 13B cannot be expected to exhibit the IG effect, the EG effect may be furnished thereafter by depositing a layer of polysilicon.

Embodiment 4

Similar to Embodiment 1, etched 8-inch diameter silicon single crystal wafers were stacked into groups of 10 wafers, a plurality of steps (groups) were loaded into an annealing boat and annealed at 1,280℃ × one hour. [This annealing] was performed in a number of environments, including an argon gas environment, a 100% dry O_2 environment, a 100% N_2 environment, and a 3% O_2/N_2 environment. The same annealing was also carried out in each of the above-described environments using silicon single crystal wafers that had undergone mirror polishing.

The peripheries of wafers [annealed] in an argon gas environment exhibited localized adhesion, but there was absolutely no adhesion observed among stacked wafers [annealed] in other environments.

Embodiment 5

A silicon ingot grown via the CZ process with an oxygen concentration of 12.5~15×10^{17} atoms/cm^3 (old ASTM) was ground into a cylindrical shape, following which it was sliced into wafers, the surfaces of

which were then etched with either an aqueous solution comprising a hydrofluoric/nitric acid mixture or a KOH solution, and after that, the silicon single crystal wafers were subjected to SC-1 and SC-2 cleaning. Then, using the previously-described annealing boat depicted in Fig. 1, 10 of these silicon single crystal wafers were stacked into a group, and by vertically stacking up 30 of these groups in sequence, 300 wafers were loaded [into the boat].

This annealing boat was loaded into a cylindrical annealing furnace [pre-heated] to 700℃, [the furnace] was ramped up to 1,000℃ at a rate of 8℃/min, and then up to 1,280℃ at a rate of 1℃/min, the temperature was maintained at 1,280℃ for two hours, following which it was ramped down to 1,000℃ at a rate of 1℃/min, then down to 700℃ at a rate of 2.5℃/min, and the annealing boat was withdrawn from the annealing furnace. The environment inside the furnace comprised 5%O_2-95%Ar.

After using a horizontal furnace to carry out precipitation annealing at 600℃ × four hours or 700℃ × four hours on the sample wafers that had undergone the above-described annealing, [the wafers] were then subjected to evaluation annealing at 1,000℃ × 16 hours. Following that, the wafers were cleaved and preferential etched. Roughly 2μm of silicon surface were removed during etching at this time. Next, the oxygen precipitate density (BMD density) of cross-sections of wafers was measured using an optical microscope.

In Fig. 14 and Fig. 15, Group A depicts a low-oxygen concentration wafer with an initial oxygen concentration of 12.5~13 × 10^{17} atoms/cm^3, Group B depicts a medium oxygen concentration wafer with an initial oxygen concentration of 13.5~14 × 10^{17} atoms/cm^3, and Group C depicts a

high oxygen concentration wafer with an initial oxygen concentration of 14.5~15 × 10^{17} atoms/cm^3, with circles indicating wafers annealed in stacks, triangles indicating wafers subjected to precipitation annealing at 600℃ × four hours, and squares indicating wafers subjected to precipitation annealing at 700℃ × four hours. As depicted in Fig. 15, all the sample wafers exhibited DZ layers at depths of 30μm or deeper, and as depicted in Fig. 14, it is possible to ensure BMD density of over 1 × 10^5 cm^2 in the bulk by combining initial oxygen concentrations with post annealing temperatures.

Further, it was also learned that annealing sample wafers with low oxygen concentrations at 600℃ resulted in higher precipitate density than annealing them at 700℃. Therefore, it could be determined that the oxygen precipitation processing temperature is a function of the initial oxygen concentration of a wafer, and that temperatures ranging from 500℃ to 900℃ can be applied.

Embodiment 6

A silicon ingot grown via the CZ process and having an oxygen concentration of 12.5~15×10^{17} atoms/cm^3 (old ASTM) was ground into a cylindrical shape, following which it was sliced into wafers, and the surfaces of these silicon single crystal wafers were then etched with an aqueous solution comprising a hydrofluoric/nitric acid mixture. Then, using the previously-described annealing boat depicted in Fig. 1, 10 of these silicon single crystal wafers were stacked into a group, and by vertically stacking up 30 of these groups in sequence, 300 wafers were loaded [into the boat].

This annealing boat was loaded into a vertical annealing furnace [pre-heated] to 700℃, [the furnace] was ramped up to 1,000℃ at a rate of 10℃/min, and then up to 1,280℃ at a rate of 1℃/min, the temperature was maintained at 1,280℃ for two hours, following which it was ramped down to 1,000℃ at a rate of 1℃/min, then down to 700℃ at a rate of 2.5℃/min, and the annealing boat was withdrawn from the annealing furnace. The environment inside the furnace comprised 5%O_2-95%N_2.

After annealing, mirror polishing was performed to remove roughly a depth of 10μm from the surface of each wafer, and after repeated RCA SC-1 cleaning, a laser surface inspection machine (Tencor Instruments SurfScan 6200) was used to measure light point defect (LPD) with grain diameters of over 0.12μm. AFM observation of LPD was also performed for a portion of the wafers. Cleaning and measurement operations were also performed for wafers that did not undergo the above-described annealing of the present invention.

Fig. 16 depicts the results of LPD observations after repeated SC-1 cleaning. The circles depict a low-oxygen concentration wafer with an initial oxygen concentration of 12.5×10^{17} atoms/cm^3, the triangles depict a medium oxygen concentration wafer with an initial oxygen concentration of 13.5×10^{17} atoms/cm^3, and the squares depict a high oxygen concentration wafer with an initial oxygen concentration of 14.5×10^{17} atoms/cm^3. The blackened circles, triangles and squares, respectively, depict low-, medium- and high-oxygen concentration wafers, which did not undergo annealing via the present invention.

Wafers that did not undergo annealing via the present invention exhibited around 300 LPD within the wafer surface after just one cleaning, and it was determined that repeated SC-1 cleaning greatly increased the number of LPD. However, it was ascertained that wafers which were subjected to annealing via the present invention exhibited a greatly reduced number of LPD, and further, it was learned that the number of LPD only increased slightly after repeated SC-1 cleaning.

To clarify the natural shape of this LPD, shape observations were carried out using an AFM. It was ascertained that all LPD exhibited by wafers annealed via the present invention were particles; [the wafers] were COP free.

Embodiment 7

The conditions, whereby [wafers] were annealed at 1,280℃ for two hours in Embodiment 6, were changed to 1,280℃ × fours hours, and 1,300℃ × two hours, and similarly annealed sample wafers were checked for COP abundance ratio using the same method employed in Embodiment 6. As a result, it was ascertained that COP were completely eliminated [from wafers] subjected to the two types of annealing described above. Therefore, it was possible to confirm that stacked-wafer annealing via the present invention is effective at greatly reducing COP when a high temperature of 1,280℃ is sustained for more than two hours.

INDUSTRIAL APPLICABILITY

The annealing method of the present invention calls for stacking up around 10 wafers, treating this group as a unit, placing [this group],

either horizontally or slightly inclined at [an angle of] roughly 0.5~5°, into a boat, which makes contact with and supports the periphery of the wafers at a plurality of locations, and stacking up a plurality of these groups [of wafers] into numerous stacks [inside the boat]. As indicated in the embodiments, [this method] enables a variety of annealing to be applied to silicon single crystal wafers, making it possible to prevent dislocation and slip, and to provide the same annealing effect uniformly to all wafers.

The present invention performs annealing by stacking up a large number of wafers, and makes it possible to completely prevent the generation of dislocation and slip by placing a dummy wafer at the bottom of a stack of wafers. And since it also enables the manufacturing process to be designed so that annealing either can be performed on wafers that have not undergone finishing mirror polishing, or can be performed in an environment which forms a protective surface layer, with mirror polishing being carried out after annealing, yields are not reduced by stacked wafers adhering to one another.

In particular, the annealing method of the present invention makes it possible to simultaneously perform the same type of annealing on all the wafers sliced from the same silicon single crystal ingot, thereby preventing the spread of overall dislocation and slip brought on by the conventional so-called ingot annealing process, and enabling the enhancement of silicon single crystal wafer yield.

Further, the annealing method of the present invention calls for annealing at a sustained temperature in excess of 1,100℃, and, during the ramp up process, by increasing the temperature from 500℃ to 900℃ at a

predetermined ramp rate, during which time that temperature may or may not be maintained at a fixed temperature, and during the ramp down process following sustained heating at a temperature in excess of 1,100℃, by lowering the temperature so that the above-mentioned fixed temperature may or may not be maintained, it is possible to simultaneously form defect-free regions (DZ layers) and to furnish IG functions via the formation of BMD to a large volume of wafers, and to efficiently complete annealing of a large volume of wafers in a short period of time.

Furthermore, the annealing method of the present invention is advantageous in that it enables a large volume of wafers to be simultaneously maintained at a temperature between 1,280℃~1,380℃, for example, and makes it possible to reduce or eliminate surface layer and internal COP during annealing, thereby enabling stable supplies of high-quality wafers.

This Sheet Has Been Replaced



CLAIMS

1. A method for annealing silicon single crystal wafers, in which at least two or more silicon single crystal wafers are stacked together to form a group, and more than one group of silicon single crystal wafers are stacked vertically and annealed by [arranging] said group of wafers either horizontally or inclined so that one side is elevated above the horizontal.

2. The method of annealing silicon single crystal wafers according to Claim 1, wherein the angle of inclination is between 0.5~5°.

3. The method of annealing silicon single crystal wafers according to Claim 1, wherein wafers targeted [for annealing] have yet to undergo finishing polishing.

4. The method of annealing silicon single crystal wafers according to Claim 1, wherein annealing is performed in a gaseous oxygen or oxygen-containing environment, or in an inactive or reducing gas environment.

5. The method of annealing silicon single crystal wafers according to Claim 1, wherein annealing is performed by loading a group of wafers into an annealing boat via a disc or ring comprised of a material that possesses outstanding strength at elevated temperatures.

6. The method of annealing silicon single crystal wafers according to Claim 1, wherein [wafers] are heated to a temperature in excess of



THIS SHEET HAS BEEN REPLACED

This Sheet Has Been Replaced

1,100℃, and a oxygen precipitate defect-free region (DZ layer) is formed in the wafer surface layer.

7. The method of annealing silicon single crystal wafers according to Claim 6, wherein annealing is performed at between 1,100℃~1,380℃ for between five minutes and six hours during ramp up or ramp down.

8. The method of annealing silicon single crystal wafers according to Claim 7, wherein annealing is performed during the ramp up process for more than 10 minutes but less than four hours at a temperature ranging from 500℃~900℃, and IG functions are furnished by forming oxygen precipitates, following which, heat treatment is applied at a temperature in excess of 1,100℃.

9. The method of annealing silicon single crystal wafers according to Claim 7, wherein the temperature is raised from 500℃~900℃ at a ramp rate of between 0.5℃/min~5℃/min, and IG functions are furnished by forming oxygen precipitates, following which, heat treatment is applied at a temperature in excess of 1,100℃.

10. The method of annealing silicon single crystal wafers according to Claim 7, wherein, following heat treatment at a temperature in excess of 1,100℃, annealing is performed during the ramp down process for more than 10 minutes but less than 16 hours at a temperature ranging from 500℃~900℃, and IG functions are furnished by forming oxygen precipitates.

THIS SHEET HAS BEEN REPLACED

* C L M S *

This Sheet Has Been Replaced

11. The method of annealing silicon single crystal wafers according to Claim 7, wherein, following heat treatment at a temperature in excess of 1,100℃, the temperature is lowered from 900℃~500℃ at a ramp rate of between 0.5℃/min~5℃/min, and IG functions are furnished by forming oxygen precipitates.

12. The method of annealing silicon single crystal wafers according to Claim 1, wherein grown-in defect, which form the basis for wafer surface layer COP and internal grown-in defects, are reduced by heat treatment at a temperature in excess of 1,250℃.

13. The method of annealing silicon single crystal wafers according to Claim 12, wherein annealing is performed at a temperature between 1,280℃~1,380℃ for between five minutes and six hours.

14. The method of annealing silicon single crystal wafers according to Claim 13, wherein a oxygen precipitate defect-free region (DZ layer) is formed in the wafer surface layer by annealing [wafers] at between 1,100℃~1,380℃ for between five minutes and six hours during ramp up or ramp down.

15. The method of annealing silicon single crystal wafers according to Claim 14, wherein IG functions are furnished via the formation of oxygen precipitates by either annealing [wafers] during the ramp up process for more than 10 minutes but less than four hours at a temperature ranging from 500℃~900℃, or by raising the temperature from 500℃~900℃ at a ramp rate of between 0.5℃/min~5℃/min.

* C L M S *

THIS SHEET HAS BEEN REPLACED

This Sheet Has Been Replaced

16. The method of annealing silicon single crystal wafers according to Claim 14, wherein IG functions are furnished via the formation of oxygen precipitates by either annealing [wafers] during the ramp down process for more than 10 minutes but less than 16 hours at a temperature ranging from 500℃~900℃, or by lowering the temperature from 900℃~500℃ at a ramp rate of between 0.5℃/min~5℃/min.

17. Silicon single crystal wafer annealing equipment, comprising:

at least three vertical support plates, on which are provided at predetermined intervals a plurality of support holders, having a protruding portion or a concave portion capable of coming in contact with the periphery of a wafer, and which utilizes the annealing method according to Claim 1, wherein a plurality of stacked wafers are loaded as a group onto the respective support plate support holders, which are positioned on either the required horizontal or inclined plane, and held in an annealing boat capable of being loaded with a plurality of [wafer] groups that can be heated therein.

18. The silicon single crystal wafer annealing equipment according to Claim 17, wherein said equipment positions a buffer comprising a material that possesses outstanding strength at elevated temperatures onto a support plate, where an incline starting point lies.

19. Silicon single crystal wafer annealing equipment, in which a plurality of support holders, having rings or discs capable of

* C L M S *

THIS SHEET HAS BEEN REPLACED

This Sheet Has Been Replaced



coming in contact with the periphery of a wafer, are positioned horizontally on the inner surface of a cylinder at pre-determined intervals along the axial of the cylinder, and which utilizes the annealing method according to Claim 1, wherein a plurality of stacked wafers are loaded as a group onto respective support holders, and held in an annealing boat capable of being loaded with a plurality of [wafer] groups that can be heated therein.

20. Silicon single crystal wafer annealing equipment, comprising: a cylindrical boat unit having ring- or disc-shaped support holders capable of coming in contact with the periphery of a wafer, said holders are positioned horizontally around the periphery of the inner surface of the cylinder, and comprising on one side of the outer surface [of the cylinder] a vertical slot for inserting a jig loaded with a plurality of stacked wafers treated as a group, and which utilizes the annealing method according Claim 1, wherein the [wafers] can be stored and heated in an annealing boat, which forms a cylinder by stacking up vertically a plurality of boat units loaded with groups of wafers.

21. The annealing method according to Claim 1, wherin a silicon single crystal wafer manufacturing method, which, by annealing at between 1,280℃~1,380℃ for between five minutes and six hours, produces wafers, in which slip is not generated and there are no wafer surface layer COP and internal grown-in defects.

THIS SHEET HAS BEEN REPLACED



This Sheet Has Been Replaced

22. A silicon single crystal wafer, characterized in which slip is not observed using X-ray topography (XRT), and there is no wafer surface layer COP.

THIS SHEET HAS BEEN REPLACED

* C L M S *

ABSTRACT

The present invention is designed to provide an annealing method for silicon single crystal wafers, which makes it possible to increase the number of silicon single crystal wafers processed during a single annealing process under a variety of annealing performed on silicon single crystal wafers, such as oxygen outer diffusion annealing for forming a DZ layer, annealing that generates and controls BMD for providing IG functions, and annealing that endeavors to improve and enhance GOI characteristics by eliminating wafer surface layer COP, and internal grown-in defects, and also enables the suppression of dislocation and slip in elevated temperature annealing environments. [It calls for] annealing to be performed by stacking up around 10 wafers, treating this group as a unit, placing this group, either horizontally or slightly inclined at [an angle of] roughly 0.5~5°, into a boat, which makes contact with and supports the periphery of the wafers at a plurality of locations, and then stacking up a plurality of these groups [of wafers] into numerous stacks [inside the boat]. As indicated in the embodiments, [this method] enables a variety of annealing to be applied to silicon single crystal wafers, making it possible to prevent dislocation and slip, and to provide the same annealing effect uniformly to all wafers.

REPLACEMENT SHEET
20 JUL 1999
9802088-6
IPOS

CLAIMS

1. A method for annealing silicon single crystal wafers, in which at least two or more silicon single crystal wafers are stacked together to form a group, and more than one group of silicon single crystal wafers are stacked vertically and annealed by arranging said group of wafers either horizontally or inclined so that one side is elevated above the horizontal.

2. The method of annealing silicon single crystal wafers according to Claim 1, wherein the angle of inclination is between 0.5~5°.

3. The method of annealing silicon single crystal wafers according to Claim 1, wherein wafers targeted for annealing have yet to undergo finishing polishing.

4. The method of annealing silicon single crystal wafers according to Claim 1, wherein annealing is performed in a gaseous oxygen or oxygen-containing environment, or in an inactive or reducing gas environment.

5. The method of annealing silicon single crystal wafers according to Claim 1, wherein annealing is performed by loading a group of wafers into an annealing boat via a disc or ring comprised of a material that possesses outstanding strength at elevated temperatures.

6. The method of annealing silicon single crystal wafers according to Claim 1, wherein wafers are heated to a temperature in excess of

REPLACEMENT SHEET
20 JUL 1999

1,100℃, and a oxygen precipitate defect-free region DZ layer is formed in the wafer surface layer.

7. The method of annealing silicon single crystal wafers according to Claim 6, wherein annealing is performed at between 1,100℃~1,380℃ for between five minutes and six hours during ramp up or ramp down.

8. The method of annealing silicon single crystal wafers according to Claim 7, wherein annealing is performed during the ramp up process for more than 10 minutes but less than four hours at a temperature ranging from 500℃~900℃, and IG functions are furnished by forming oxygen precipitates, following which, heat treatment is applied at a temperature in excess of 1,100℃.

9. The method of annealing silicon single crystal wafers according to Claim 7, wherein the temperature is raised from 500℃~900℃ at a ramp rate of between 0.5℃/min~5℃/min, and IG functions are furnished by forming oxygen precipitates, following which, heat treatment is applied at a temperature in excess of 1,100℃.

10. The method of annealing silicon single crystal wafers according to Claim 7, wherein, following heat treatment at a temperature in excess of 1,100℃, annealing is performed during the ramp down process for more than 10 minutes but less than 16 hours at a temperature ranging from 500℃~900℃, and IG functions are furnished by forming oxygen precipitates.

REPLACEMENT SHEET
20 JUL 1999

11. The method of annealing silicon single crystal wafers according to Claim 7, wherein, following heat treatment at a temperature in excess of 1,100℃, the temperature is lowered from 900℃~500℃ at a ramp rate of between 0.5℃/min~5℃/min, and IG functions are furnished by forming oxygen precipitates.

12. The method of annealing silicon single crystal wafers according to Claim 1, wherein grown-in defect, which form the basis for wafer surface layer COP and internal grown-in defects, are reduced by heat treatment at a temperature in excess of 1,250℃.

13. The method of annealing silicon single crystal wafers according to Claim 12, wherein annealing is performed at a temperature between 1,280℃~1,380℃ for between five minutes and six hours.

14. The method of annealing silicon single crystal wafers according to Claim 13, wherein a oxygen precipitate defect-free region DZ layer is formed in the wafer surface layer by annealing wafers at between 1,100℃~1,380℃ for between five minutes and six hours during ramp up or ramp down.

15. The method of annealing silicon single crystal wafers according to Claim 14, wherein IG functions are furnished via the formation of oxygen precipitates by either annealing wafers during the ramp up process for more than 10 minutes but less than four hours at a temperature ranging from 500℃~900℃, or by raising the temperature from 500℃~900℃ at a ramp rate of between 0.5℃/min~5℃/min.

* C L M S *

REPLACEMENT SHEET
20 JUL 1999

16. The method of annealing silicon single crystal wafers according to Claim 14, wherein IG functions are furnished via the formation of oxygen precipitates by either annealing wafers during the ramp down process for more than 10 minutes but less than 16 hours at a temperature ranging from 500℃~900℃, or by lowering the temperature from 900℃~500℃ at a ramp rate of between 0.5℃/min~5℃/min.

17. Silicon single crystal wafer annealing equipment, comprising:

at least three vertical support plates, on which are provided at predetermined intervals a plurality of support holders, having a protruding portion or a concave portion capable of coming in contact with the periphery of a wafer, and which utilizes the annealing method according to Claim 1, wherein a plurality of stacked wafers are loaded as a group onto the respective support plate support holders, which are positioned on either the required horizontal or inclined plane, and held in an annealing boat capable of being loaded with a plurality of wafer groups that can be heated therein.

18. The silicon single crystal wafer annealing equipment according to Claim 17, wherein said equipment positions a buffer comprising a material that possesses outstanding strength at elevated temperatures onto a support plate, where an incline starting point lies.

19. Silicon single crystal wafer annealing equipment, in which a plurality of support holders, having rings or discs capable of

REPLACEMENT SHEET
20 JUL 1999

coming in contact with the periphery of a wafer, are positioned horizontally on the inner surface of a cylinder at pre-determined intervals along the axial of the cylinder, and which utilizes the annealing method according to Claim 1, wherein a plurality of stacked wafers are loaded as a group onto respective support holders, and held in an annealing boat capable of being loaded with a plurality of wafer groups that can be heated therein.

20. Silicon single crystal wafer annealing equipment, comprising: a cylindrical boat unit having ring- or disc-shaped support holders capable of coming in contact with the periphery of a wafer, said holders are positioned horizontally around the periphery of the inner surface of the cylinder, and comprising on one side of the outer surface of the cylinder a vertical slot for inserting a jig loaded with a plurality of stacked wafers treated as a group, and which utilizes the annealing method according Claim 1, wherein the [wafers] can be stored and heated in an annealing boat, which forms a cylinder by stacking up vertically a plurality of boat units loaded with groups of wafers.

21. The annealing method according to Claim 1, wherin a silicon single crystal wafer manufacturing method, which, by annealing at between 1,280℃~1,380℃ for between five minutes and six hours, produces wafers, in which slip is not generated and there are no wafer surface layer COP and internal grown-in defects.

* C L M S *

22. A silicon single crystal wafer, characterized in which slip is not observed using X-ray topography (XRT), and there is no wafer surface layer COP.

REPLACEMENT SHEET
20 JUL 1999

* C L M S *

国際事務局

PCT 特許協力条約に基づいて公開された国際出願

1105 9802088-6

(51) 国際特許分類6 H01L 21/324, 21/322	A1	(11) 国際公開番号 WO98/00860
		(43) 国際公開日 1998年1月8日(08.01.98)

(21) 国際出願番号 PCT/JP97/02232

(22) 国際出願日 1997年6月27日(27.06.97)

(30) 優先権データ
特願平8/188214 1996年6月28日(28.06.96) JP

(71) 出願人（米国を除くすべての指定国について）
住友シチックス株式会社
(SUMITOMO SITIX CORPORATION)[JP/JP]
〒660 兵庫県尼崎市東浜町1番地 Hyogo, (JP)
(72) 発明者；および
(75) 発明者／出願人（米国についてのみ）
足立尚志(ADACHI, Naoshi)[JP/JP]
〒845 佐賀県小城郡小城町畑田1684-39 Saga, (JP)
久富健博(HISATOMI, Takehiro)[JP/JP]
〒844 佐賀県西松浦郡有田町中の原1-7-18 Saga, (JP)
佐野正和(SANO, Masakazu)[JP/JP]
〒840 佐賀県佐賀市神園2-1-34 Saga, (JP)
(74) 代理人
弁理士 押田良久(OSHIDA, Yoshihisa)
〒104 東京都中央区銀座三丁目3番地12号
銀座ビル Tokyo, (JP)

(81) 指定国 CA, CN, KR, MX, NO, SG, US, VN, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

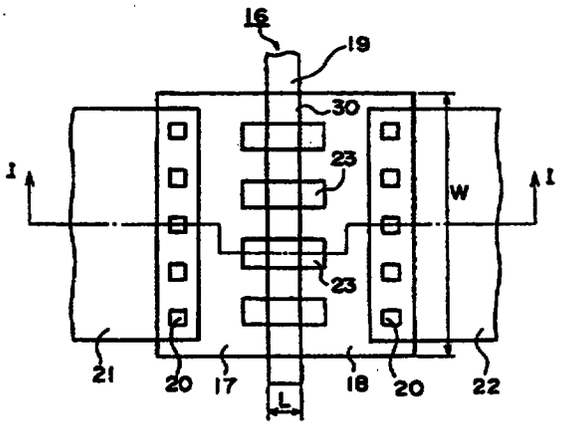
添付公開書類
国際調査報告書

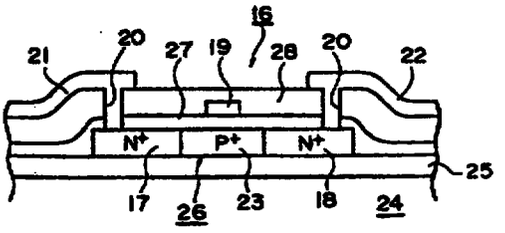
(54)Title: METHOD AND DEVICE FOR HEAT-TREATING SINGLE-CRYSTAL SILICON WAFER, SINGLE-CRYSTAL SILICON WAFER, AND PROCESS FOR PRODUCING SINGLE-CRYSTAL SILICON WAFER

(54)発明の名称 シリコン単結晶ウエーハの熱処理方法とその熱処理装置並びにシリコン単結晶ウエーハとその製造方法

(57) Abstract

A method for heat-treating a single-crystal silicon wafer by which the number of single-crystal silicon wafers treated in a single heat-treating process is increased and, at the same time, dislocation and slip in a high-temperature heat-treating atmosphere are suppressed at the time of performing various kinds of heat treatment, such as a diffusion heat treatment for forming a DZ layer, a treatment for generating and controlling BMD for giving the IG ability, a heat treatment for improving the withstand voltage of an oxide film by eliminating COP defects on and in the wafers. The wafers are divided into groups of about 10 wafers, the wafers of each group are stacked, and a plurality of groups of wafers are placed horizontally or in a state that the wafers are inclined slightly by an angle of 0.5-5° on a boat which supports the wafers at a plurality of points on the outer peripheries of the wafers. Therefore, as shown in embodiments, various kinds of heat treatment can be applied to the wafers and the wafers are heat-treated uniformly, because dislocation and slip of the wafers are prevented.





（５７）要約

この発明は、DZ層形成のための拡散熱処理、IG能を付与するためのBMDを生成制御する熱処理、表面やウェーハ内部のCOP欠陥を消失させて酸化膜耐圧特性の改善向上を図る熱処理等、シリコン単結晶ウェーハに施される多様な熱処理に際して、単一の熱処理工程でシリコン単結晶ウェーハの処理枚数を増大させると共に、高温熱処理雰囲気内での転位及びスリップを抑制することができるシリコン単結晶ウェーハの熱処理方法の提供を目的とし、ウェーハを10枚程度積層してこの一群を単位として、水平にあるいは0.5~5°程度、僅かに傾斜させてウェーハの外周の複数箇所を接触支持するボートに載置し、さらに多段に複数群をスタック配置して熱処理するもので、実施例に示すごとく、シリコン単結晶ウェーハに施される多様な熱処理の適用が可能で、転位及びスリップを防止して各ウェーハに均一に同じ熱処理効果を及ぼすことができる。

参考情報

ＰＣＴに基づいて公開される国際出願のパンフレット第一頁に記載されたＰＣＴ加盟国を同定するために使用されるコード

AL	アルバニア	ES	スペイン	LR	リベリア	SG	シンガポール
AM	アルメニア	FI	フィンランド	LS	レソト	SI	スロヴェニア
AT	オーストリア	FR	フランス	LT	リトアニア	SK	スロヴァキア共和国
AU	オーストラリア	GA	ガボン	LU	ルクセンブルグ	SL	シエラレオネ
AZ	アゼルバイジャン	GB	英国	LV	ラトヴィア	SN	セネガル
BA	ボズニア・エルツェゴビナ	GE	グルジア	MC	モナコ	SZ	スワジランド
BB	バルバドス	GH	ガーナ	MD	モルドヴァ共和国	TD	チャード
BE	ベルギー	GM	ガンビア	MG	マダガスカル	TG	トーゴ
BF	ブルギナ・ファソ	GN	ギニア	MK	マケドニア旧ユーゴスラヴィア共和国	TJ	タジキスタン
BG	ブルガリア	GR	ギリシャ	ML	マリ	TM	トルクメニスタン
BJ	ベナン	HU	ハンガリー	MN	モンゴル	TR	トルコ
BR	ブラジル	ID	インドネシア	MR	モーリタニア	TT	トリニダード・トバゴ
BY	ベラルーシ	IE	アイルランド	MW	マラウイ	UA	ウクライナ
CA	カナダ	IL	イスラエル	MX	メキシコ	UG	ウガンダ
CF	中央アフリカ共和国	IS	アイスランド	NE	ニジェール	US	米国
CG	コンゴー	IT	イタリア	NL	オランダ	UZ	ウズベキスタン
CH	スイス	JP	日本	NO	ノルウェー	VN	ヴィエトナム
CI	コート・ジボアール	KE	ケニア	NZ	ニュー・ジーランド	YU	ユーゴスラビア
CM	カメルーン	KG	キルギスタン	PL	ポーランド	ZW	ジンバブエ
CN	中国	KP	朝鮮民主主義人民共和国	PT	ポルトガル		
CU	キューバ	KR	大韓民国	RO	ルーマニア		
CZ	チェッコ共和国	KZ	カザフスタン	RU	ロシア連邦		
DE	ドイツ	LC	セントルシア	SD	スーダン		
DK	デンマーク	LI	リヒテンシュタイン	SE	スウェーデン		
EE	エストニア	LK	スリランカ				