

标准单元版图模板以及半导体结构

本公开基于申请号为202110163720.X，申请日为2021年02月05日，申请名称为“标准单元版图模板以及半导体结构”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及但不限于一种标准单元版图模板以及半导体结构。

背景技术

标准单元库是集成电路设计的基础，基于标准单元库的集成电路设计能够进行逻辑综合和版图布局布线，提高电路的设计效率。

标准单元库包括若干预先设计好的标准单元版图模板（Standard Cell template），集成电路设计者或者电路设计综合工具根据设计要求，调用标准单元库中的标准单元版图模板来完成集成电路的版图布局设计。

发明内容

以下是对本公开详细描述的主题的概述。本概述并非是为了限制权利要求的保护范围。

本公开提供一种标准单元版图模板以及半导体结构。

本公开的第一方面提供一种标准单元版图模板，包括沿第一方向排布的第一阱区和第二阱区；第一栅极图形，位于所述第一阱区且沿所述第一方向延伸，用于定义第一栅极；第二栅极图形，位于所述第二阱区且沿所述第一方向延伸，用于定义第二栅极；栅电连接图形，位于所述第一栅极图形与所述第二栅极图形之间，用于定义栅电连接结构，所述栅电连接结构与所述第一栅极以及所述第二栅极同层设置，以电连接所述第一栅极和/或所述第二栅极。

本公开的第二方面提供一种半导体结构，包括：基底，所述基底内具有

沿第一方向排布的第一阱和第二阱；第一栅极，位于所述第一阱的所述基底上且沿所述第一方向延伸；第二栅极，位于所述第二阱的所述基底上且沿所述第一方向延伸；栅电连接结构，位于所述基底上，且与所述第一栅极以及所述第二栅极同层设置，以电连接所述第一栅极和/或所述第二栅极。

本公开实施例所提供的标准单元版图模板以及半导体结构中，标准单元版图模板包括第一阱区和第二阱区，位于第一阱区且沿第一方向延伸的第一栅极图形，位于第二阱区且沿第一方向延伸的第二栅极图形，还包括位于第一栅极图形与第二栅极图形之间的栅电连接图形，该栅电连接图形用于定义栅电连接结构，且该栅电连接结构与第一栅极以及第二栅极同层设置。如此，可通过与第一栅极和第二栅极处于同层的栅电连接结构实现与第一栅极和/或第二栅极的电连接，从而减小电连接路径长度，减小电连接路径对应的电阻；并且，无需设置为实现上下层电连接的接触孔结构，从而避免具有大电阻的接触孔结构带来的不良影响，减小电连接路径对应的电阻。因此，采用本公开实施例提供的标准单元版图模制作的半导体结构，其运行速度能够得到提升，且能够降低半导体结构的功耗，且还能够改善信号质量，例如栅极上的信号延时、信号上升时间和/或信号下降时间得到改善。

另外，本公开实施例提供的标准单元版图模板，可作为 DRAM 芯片等其他芯片的电路版图设计模板，通过栅电连接图形的布局，使得电路版图布局能够更规整，且不同版图遵循一致的原则，由于优化电路版图的设计，提高版图设计的效率，缩短芯片设计的时间。

在阅读并理解了附图和详细描述后，可以明白其他方面。

附图说明

并入到说明书中并且构成说明书的一部分的附图示出了本公开的实施例，并且与描述一起用于解释本公开实施例的原理。在这些附图中，类似的附图标记用于表示类似的要素。下面描述中的附图是本公开的一些实施例，而不是全部实施例。对于本领域技术人员来讲，在不付出创造性劳动的前提下，可以根据这些附图获得其他的附图。

图 1 为一种标准单元版图模板的结构示意图；

图 2 为采用图 1 的标准单元版图模板制作的半导体结构的局部剖面结

构示意图；

图 3 为本公开一实施例提供的标准单元版图模板的一种结构示意图；

图 4 为本公开一实施例提供的标准单元版图模型的另一种结构示意图；

图 5 为本公开一实施例提供的标准单元版图模板的又一种结构示意图；

图 6 为本公开一实施例提供的标准单元版图模板的再一种结构示意图；

图 7 为本公开另一实施例提供的标准单元版图模板的一种结构示意图；

图 8 为本公开另一实施例提供的标准单元版图模板的另一结构示意图；

图 9 为本公开又一实施例提供的标准单元版图模板的一种结构示意图；

图 10 为本公开再一实施例提供的半导体结构的俯视结构示意图；

图 11 为图 9 中沿 CC1 方向的一种剖面结构示意图；

图 12 为本公开再一实施例提供的半导体结构的另一种剖面结构示意图；

图 13 为本公开再一实施例提供的半导体结构的又一种剖面结构示意图。

具体实施方式

下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本公开一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本公开保护的范围。需要说明的是，在不冲突的情况下，本公开中的实施例及实施例中的特征可以相互任意组合。

目前存在采用标准单元版图模板制作的半导体结构功耗大且影响信号质量的问题。

图 1 为一种标准单元版图模板的结构示意图，图 2 为采用图 1 的标准单元版图模板制作的半导体结构的局部剖面结构示意图。

结合参考图 1 和图 2，标准单元版图模板包括：相邻设置的 N 型阱区 11 以及 P 型阱区 12；至少一条第一栅极图形 13，位于 N 型阱区 11 内，用于定义第一栅极 23；至少一条第二栅极图形 14，位于 P 型阱区 12 内，用于定义第二栅极 24；第一接触孔图形 15，位于第一栅极图形 13 上，用于定义与第一栅极 23 电连接的第一接触孔结构 25；第二接触孔图形 16，位于第二栅极图形 14 上，用于定义与第二栅极 24 电连接的第二接触孔结构 26；电连接图形 17，横跨 N 型阱区 11 以及 P 型阱区 12，且连接第一接触孔图形 15 和第二接触孔图形 16，用于定义电连接层 27，该电连接层 27 与第一接触孔结构 25 以及第二接触孔结构 26 电连接，且电连接层 27 为金属层，从而实现第一栅极 23 与第二栅极 24 之间的电连接。

如图 2 所示，第一栅极 23 与第二栅极 24 之间的电连接路径为：第一接触孔结构 25、电连接层 27 以及第二接触孔结构 26，一方面，该路径相对较长使得该电连接路径具有较大的电阻，另一方面，电连接层 27、第一接触孔结构 25 以及第二接触孔结构 26 本身具有较大的片电阻值（sheet resistance）。这两方面的问题将导致半导体结构的 RC 延迟效应增加，半导体结构的功耗增加且运行速度慢，影响第一栅极 23 和/或第二栅极 24 上的信号质量，信号质量包括信号延时、信号的上升时间或者信号的下降时间等。若存储器利用该半导体结构，则存储器将面临功耗大且存储速度慢的问题。

此外，采用上述标准单元版图模板进行电路版图布局，电路版图的规整性有待提高，使得版图设计的效率低。

本公开实施例提供一种标准单元版图模板，布局用于定义栅电连接结构的栅电连接图形，且栅电连接结构与第一栅极和/或第二栅极同层设置。利用该标准单元版图模板进行实际版图布局，无需再布局为实现上下层电连接的接触孔结构，从而降低版图对应的半导体结构的电阻。此外，在标准单元版图模板中定义栅电连接图形，在利用该标准单元版图模板进行版图设计时，版图中的栅电连接图形的排布更为统一规整，有利于减少版图设计的难度和时间，减小版图的面积，且减小制造版图对应的半导体结构中的工艺偏差。

图 3 为本公开一实施例提供的标准单元版图模板的一种结构示意图。

参考图 3，本实施例中，标准单元版图模板包括：沿第一方向 Y 排布的第一阱区 I 和第二阱区 II；第一栅极图形 101，位于第一阱区 I 且沿第一方向 Y 延伸，用于定义第一栅极；第二栅极图形 102，位于第二阱区 II 且沿第一方向 Y 延伸，用于定义第二栅极；栅电连接图形 103，位于第一栅极图形 101 与第二栅极图形 102 之间，用于定义栅电连接结构，栅电连接结构与第一栅极以及第二栅极同层设置，以电连接第一栅极和/或第二栅极。

本实施例提供的标准单元版图模板为制作版图的基础，在实际制作版图期间，基于具体电路结构，在该标准单元版图模板的基础上设计出实际的版图结构。

当设计的版图对应的电路结构需要满足第一栅极和/或第二栅极电连接时，由于栅电连接结构与第一栅极以及第二栅极同层设置，因此无需设置用于实现上下层电连接的接触孔结构，从而有利于缩短栅电连接结构与第一栅极和/或第二栅极之间的电连接路径，且避免接触孔结构的片电阻值大带来的电阻过大的问题。因此，采用本实施例提供的标准单元版图模板，能够减小电路结构的功耗且改善 RC 延迟效应，例如可改善第一栅极和/或第二栅极上的信号质量。

以下将结合图 3 对本实施例提供的标准单元版图模板进行详细说明。

本实施例提供的标准单元版图模板可应用于存储器，该存储器可以为 DRAM、SRAM（Static Random-Access Memory，静态随机存储器）、MRAM（Magnetoresistive Random Access Memory，磁性随机存储器）、FeRAM（Ferroelectric RAM，铁电随机存储器）、PCRAM（Phase Change RAM，相变随机存储器）、HBM（High Bandwidth Memory，高带宽）存储器、NAND 闪存或者 NOR 闪存等存储器。DRAM 存储器可以为 DDR（Double Data Rate）存储器、LPDDR（Low Power Double Data Rate）存储器或者 GDDR（Graphics Double Data Rate）存储器。

标准单元版图模板定义两个 MOS 管，第一阱区 I 用于定义其中一 MOS 管的阱（Well），第二阱区 II 用于定义另一 MOS 管的阱。本实施例中，以第一阱区 I 定义 N 型阱且第二阱区 II 定义 P 型阱作为示例，即两个 MOS 管的类型不同。在其他实施例中，两个 MOS 管的类型可以相同，例如均为 NMOS 管或者均为 PMOS 管。

本实施例中，第一阱区 I 与第二阱区 II 相邻接，也就是说，第一阱区 I 的一边界与第二阱区 II 的一边界重合。可以理解的是，在其他实施例中，标准单元版图模板也可以考虑隔离结构的布局，则第一阱区与第二阱区之间相隔，且第一阱区与第二阱区之间的区域为隔离区，用于定义隔离结构。

第一阱区 I 定义 N 型阱且第二阱区 II 定义 P 型阱，则第一阱区 I 具有的第一高度大于第二阱区 II 具有的第二高度。可以理解的是，第一高度和第二高度均是指的沿第一方向 Y 方向的宽度。

第一栅极图形 101 为条状且位于部分第一阱区 I 内，第二栅极图形 102 为条状且位于部分第二阱区 II 内。

第一阱区 I 包括：第一 MOS 区 i，且第一栅极图形 101 横跨第一 MOS 区 i，或者说，在沿第一方向 Y 上，第一栅极图形 101 所在的区域定义为第一 MOS 区 i，该第一 MOS 区 i 也可称为第一有源区；且沿第一方向 Y 上，第一 MOS 区 i 的宽度与第一栅极图形 101 的宽度相同。

第二阱区 II 包括：第二 MOS 区 ii，且第二栅极图形 102 横跨第二 MOS 区 ii；或者说，在沿第一方向 Y 上，第二栅极图形 102 所在的区域定义为第二 MOS 区 ii，该第二 MOS 区 ii 也可称为第二有源区；且在沿第一方向上，第二 MOS 区 ii 的宽度与第二栅极图形 102 的宽度相同。

标准单元版图模板还包括：中间区 iii，该中间区 iii 位于第一 MOS 区 i 与第二 MOS 区 ii 之间。为了降低利用该标准单元版图模板制作的版图位置偏差，提高利用同一标准单元版图模板的不同电路版图的第一阱区 I 的位置高度一致性，本实施例中，第一阱区 I 具有朝向第二阱区 II 的第一边界 B1，且第一边界 B1 位于中间区 iii 的正中间位置，即，在沿第一方向 Y 上，第一边界 B1 至邻近的第一 MOS 区 i 的边界的距离为第一距离，第一边界 B1 至邻近的第二 MOS 区 ii 的边界的距离为第二距离，该第二距离与第一距离相等。可以理解的是，在其他实施例中，在满足版图设计规则（Layout Design Rule, LDR）和 DRC（Design Rule Check）的情况下，第一边界也可以有其他的位关系。

本实施例中，标准单元版图模板还可以包括：第一栅极延伸图形 111，第一栅极延伸图形 111 位于第一阱区 I 且与第一栅极图形 101 的端部相连，用于定义第一栅极延伸结构。第一栅极延伸图形 111 位于第一 MOS 区 i 之外，

且第一栅极延伸图形 111 为条状且其延伸方向与第一方向 Y 不同，第一栅极延伸图形 111 的延伸方向可以为第二方向 X，且第二方向 X 可以与第一方向 Y 相垂直。

第一栅极延伸图形 111 的设置，使得第一栅极与栅电连接结构之间通过第一栅极延伸结构电连接，因此，第一栅极与栅电连接结构之间的电连接窗口增加，从而降低相应的制作工艺的工艺难度，如降低对准精度。在沿第二方向 X 上，第一栅极延伸图形 111 的宽度大于第一栅极图形 101 的宽度；相较于直接在第一栅极图形 101 与栅电连接图形 103 之间布局第一辅助图形的方案而言，在第一栅极延伸图形 111 与栅电连接图形 103 之间布局第一辅助图形的布局空间明显更大，在沿第二方向 X 上，该布局空间的宽度由第一栅极图形 101 的宽度增大至第一栅极延伸图形 111 的宽度。

同样的，标准单元版图模板还可以包括：第二栅极延伸图形 112，第二栅极延伸图形 112 位于第二阱区 II 且与第二栅极图形 102 的端部相连，用于定义第二栅极延伸结构。且在沿第二方向 X 上，第二栅极延伸图形 112 的宽度大于第二栅极图形 102 的宽度。有关第二栅极延伸图形 112 的效果，可参考第一栅极延伸图形 111 的相应描述，在此不再赘述。

需要说明的是，在其他实施例中，标准单元版图模板也可以不设置第一栅极延伸图形和第二栅极延伸图形。

由于栅电连接图形 103 定义的栅电连接结构与第一栅极以及第二栅极同层设置，当栅电连接结构与第一栅极和/或第二栅极结构电连接时，无需设置具有大电阻的接触孔结构，如此，即缩短了电连接路径又避免了接触孔结构带来的电阻大的问题，从而有利于降低该标准单元版图模板对应的电路结构的功耗以及 RC 效应。当该电路结构应用于存储器，则能够降低存储器的功耗以及提高存储速度。

此外，栅电连接结构的材料可以与第一栅极的材料以及第二栅极的材料相同。这样，在工艺制作过程中，可利用第一栅极以及第二栅极的制造工艺同时制造栅电连接结构，以减少工艺步骤降低生产成本；此外，第一栅极与第二栅极的材料为多晶硅时，栅电连接结构的材料为多晶硅，一般的，相较于金属如铜而言，多晶硅的电阻率比金属的电阻率更小，因此材料为多晶硅的栅电连接结构有利于减小电阻。

本实施例中，栅电连接图形 103 包括：至少两条相间隔的电连接图形，且每条电连接图形均沿第二方向 X 延伸，第二方向 X 与第一方向 Y 不同，每一电连接图形用于定义一电连接结构。其中，第二方向 X 可以与第一方向 Y 相垂直。可以理解的是，在其他实施例中，在满足 LDR 和 DRC 前提下，第二方向与第一方向之间的夹角可以也在其他合适范围内。

相应的，栅电连接结构包括至少两个相互间隔的电连接结构，这样，可提高标准单元版图模板可应用的具体电路的数量，增加标准单元版图模板的可应用场景。

至少两条相间隔的电连接图形包括：第一电连接图形 113，位于第一阱区 I，用于定义第一电连接结构，以电连接第一栅极；第二电连接图形 123，位于第二阱区 II，用于定义第二电连接结构，以电连接第二栅极。由于第一电连接图形 113 位于第一阱区 I，有利于减小第一电连接结构与第一栅极之间的距离，从而减小第一电连接结构与第一栅极之间的电连接路径，进而减小电连接路径上的电阻。同样的，第二电连接图形 123 位于第二阱区 II，有利于减小第二电连接结构与第二栅极之间的电连接路径上的电阻。

本实施例中，栅电连接图形 103 位于中间区 iii。这样，栅电连接图形 103 不会对第一 MOS 区 i 和第二 MOS 区 ii 的布局造成干扰，保证对应的半导体结构具有相对较长的第一有源区宽度和第二有源区宽度。在其他实施例中，若第一阱区与第二阱区之间布局有隔离区，则栅电连接图形可布局在隔离区。

需要说明的是，在其他实施例中，根据标准单元版图模板适用的电路结构的复杂程度的不同，栅电连接图形还可以包括三条及以上数量的电连接图形。

图 4 为本实施例提供的标准单元版图模型的另一种结构示意图，还需要说明的是，在其他实施例中，如图 4 所示，栅电连接图形 103 也可以包括一条电连接图形，且电连接图形沿第二方向 X 延伸，第二方向 X 与第一方向 Y 不同。部分电连接图形位于第一阱区 I，剩余部分电连接图形位于第二阱区 II，例如，一半电连接图形占据第一阱区 I 部分空间位置，另一半电连接图形占据第二阱区 II 部分空间位置。

为了增加标准单元版图模板的应用场景，使得标准单元版图模板既可适用于第一栅极与第二栅极之间的电连接，还可以适用于栅电连接结构与第一

栅极结构或者第二栅极结构中的一者电连接，该标准单元版图模板可无需设计用于辅助图形，在设计具体版图期间再进行辅助布局。以下将结合设计具体版图对标准单元版图模板进行说明：

在一个例子中，利用该标准单元版图模板设计版图时，若版图对应的具体电路结构为第一栅极与第二栅极电连接，则在该标准单元版图基础上，额外设计辅助图形以定义辅助电连接结构，使得栅电连接结构通过辅助电连接结构电连接第一栅极以及第二栅极。在另一例子中，若版图对应的具体电路结构为栅电连接图形与第一栅极电连接，则在该标准单元版图基础上，额外设计辅助图形以定义辅助电连接结构，使得栅电连接结构通过辅助电连接结构与第一栅极电连接。

可以理解的是，也可以根据标准单元版图模板对应的具体电路结构的不同，预先在标准单元版图模板中布局辅助图形。图 5 为本实施例提供的标准单元版图模板的又一种结构示意图，参考图 5，标准单元版图模板的栅电连接图形 103 还可以包括：第一辅助图形 104，连接第一栅极图形 101 与朝向第一栅极图形 101 的电连接图形，用于定义第一辅助电连接结构，以电连接第一栅极与朝向第一栅极的电连接结构；第二辅助图形 105，连接第二栅极图形 102 与朝向第二栅极图形 102 的电连接图形，用于定义第二辅助电连接结构，以电连接第二栅极与朝向第二栅极的电连接结构。

其中，第一辅助电连接结构与第一栅极和/或第二栅极同层设置，且第一辅助电连接结构与第一栅极和/或第二栅极的材料可以相同；第二辅助电连接结构与第一栅极和/或第二栅极同层设置，且第二辅助电连接结构与第一栅极和/或第二栅极的材料可以相同。

第一辅助图形 104 的布局，使得标准单元版图模板对应的具体电路结构中，第一栅极与栅电连接结构电连接；第二辅助图形 105 的布局，使得标准单元版图模板对应的具体电路结构中，第二栅极与栅电连接结构电连接。如此，在利用该标准单元版图模板设计版图期间，版图工程师或者自动版图布局工具无需再额外布局第一辅助图形和第二辅助图形。

图 6 为本实施例提供的标准单元版图模板的再一种结构示意图，参考图 6，栅电连接图形 103 还可以包括：第三辅助图形 106，位于相邻的电连接图形之间，用于定义第三辅助电连接结构，以电连接相邻的电连接结构。如此，

该标准单元版图模板对应的具体电路中，相邻的电连接结构之间电连接。第三辅助电连接结构可以与第一栅极和/或第二栅极同层设置，且材料可以相同。

此外，在另一些实施例中，栅电连接图形可以既包括第一辅助图形和第二辅助图形，还可以包括第三辅助图形。

本实施例中，如图3所示，栅电连接图形103还可以位于，第一栅极图形101远离第二栅极图形102的一侧，以及，第二栅极图形102远离第一栅极图形101的一侧。也就是说，栅电连接图形103还布局在标准单元版图模板的顶部和底部，这样，可以增加标准单元版图模板适用的场景，以便于利用该标准单元版图进行更为复杂的版图设计。

标准单元版图模板还可以包括：第一阱连接图形131，位于第一阱区I，用于定义第一阱插塞（plug）；第二阱连接图形132，位于第二阱区II，用于定义第二阱插塞。其中，第一阱连接图形131位于第一阱区I远离第二阱区II的边缘，第二阱连接图形132位于第二阱区II远离第一阱区I的边缘。

本实施例中，沿第一方向Y上，标准单元版图模板具有远离第二阱区II的第二边界B2。在利用该标准单元版图模板设计版图时，两个电路版图可相对于第二边界B2的轴对称。两个电路版图共用第二边界B2，定义一电路版图的第一阱区I朝向第二边界B2的边界为第三边界，定义另一电路版图的第一阱区I朝向第二边界B2的边界为第四边界，且第二边界B2位于第三边界与第四边界之间的正中间位置。

可基于版图设计规则（Layout Design Rule, LDR）来设计标准单元版图模板。例如：每个标准单元版图模板的高度相同；标准单元版图模板包括所有的设计规则和布线指南；需要考虑标准单元版图模板的边界，以确保将不同的标准单元版图模板放置在一起时能够通过DRC（Design Rule Check）以及版图原理图一致性检查(Layout Versus Schematics, LVS)；为了便于块级布线（block level routing），还需要考虑标准单元版图模板的输入/输出位置。

此外，还可以考虑P/N比例以及标准单元延时参数（tPD）来设计标准单元版图模板。

本实施例提供一种标准单元版图模板，版图工程师可利用该标准单元版图模板设计版图。由于标准单元版图模板中布局有栅电连接图形，该栅电连

接图形用于定义与第一栅极和/或第二栅极同层设置的栅电连接结构，可利用该栅电连接结构与第一栅极和/或第二栅极的电连接因此无需设置实现上下层电连接的接触孔结构，从而减小了相应半导体结构的电连接路径的电阻，进而减小半导体结构对应的电路结构的功耗，改善 RC 延迟效应。

另外，本实施例提供的标准单元版图模板，无需为定义与第一栅极和/或第二栅极电连接的图形层（即 M0）预留空间位置，因而能够减小利用该标准单元版图模板设计的电路版图的面积，例如可减小电路版图中逻辑区的面积；此外，版图工程师利用该标准单元版图模板设计版图时，可将为定义与第一栅极和/或第二栅极电连接的图形层的面积设计的较小，从而有利于减小版图对应的电路结构的负载。同时，该标准单元版图模板可作为 DRAM 芯片等其他芯片的版图设计模板，使得相应的电路版图布局更规整，不同的电路版图遵循一致的规则，以优化版图设计，提高版图设计的效率，缩短芯片设计的时间。

本公开另一实施例还提供一种标准单元版图模板，该标准单元版图模板与前一实施例大致相同，主要区别包括：还布局有电源图形。以下将结合附图对本公开另一实施例提供的标准单元版图模板进行详细说明，需要说明的是，与前一实施例相同或者相应的部分，可参考前述实施例的说明，在此不再赘述。

图 7 为本公开另一实施例提供的标准单元版图模板的一种结构示意图，图 8 为本公开另一实施例提供的标准单元版图模板的另一结构示意图。

图 7 对应的标准单元版图模板可应用于高速存储器，图 8 对应的标准单元版图模板可应用于低功耗存储器。

结合参考图 7 及图 8，本实施例中，标准单元版图模板还包括：第一电源图形 201，用于定义第一电源走线，第一电源走线用于连接第一电源；第二电源图形 202，用于定义第二电源走线，第二电源走线用于连接第二电源，且第一电源的电压大于第二电源的电压；其中，在沿第一方向 Y 上，第一电源图形 201 的宽度大于第二电源图形 202 的宽度。

第一阱区 I 定义 PMOS 管的阱，第二阱区 II 定义 NMOS 管的阱。由于 PMOS 管与 NMOS 管的宽度尺寸一般是 2:1，因此用来为 PMOS 管供电的第一电源走线比用来为 NMOS 管供电的第二电源走线更宽。

在一个例子中，如图 8 所示，标准单元版图模板可以包括：第三电源图形 203，用于定义第三电源走线，第三电源走线用于连接第三电源；第四电源图形 204，用于定义第四电源走线，第四电源走线用于连接第四电源，且第三电源的电压大于第四电源的电压。在沿第一方向 Y 上，第三电源图形 203 的宽度大于第四电源图形 204 的宽度。

标准单元版图模板还可以包括：信号线图形 205，用于定义信号线，且信号线图形 205 的数量为至少两个，一信号线图形 205 与第一阱区 I 对应，另一信号线图形 205 与第二阱区 II 对应。每一信号线图形 205 对应的区域内可布局多条信号线。

在利用标准单元版图模板设计版图时，若对应的电路结构需要至少两种高电平电源，则可利用信号线图形 205 定义的区域内的至少两条相邻信号线合并，作为连接第二种高电平电源的电源走线。这样，工作在不同电源域下的电路版图可同排放置，即可相邻排布；由于第一种高电平电源的电源走线由第一电源图形 201 定义，第二种高电平电源的电源走线由信号线图形 205 定义的区域内的至少两条相邻信号线合并，因此这两种电源的电源走线不会出现在同一条通道（即 track）上，因此不会出现短路的问题，从而提高了标准单元版图模板的应用场景。

此外，标准单元版图模板内还可布局设计金属开关图形，通过该金属开关图形使得该标准单元版图模板可适用于如下两种应用场景：

一、该金属开关图形与电源走线连接，金属开关图形定义的结构连接的其他电路结构与电源连接，从而实现第一种电路功能；二、该金属开关图形与信号走线连接，金属开关图形定义的结构连接的其他电路结构与信号走线连接，从而实现第二种电路功能。

标准单元版图模板包括：电源图形，用于定义电源走线，该电源走线用于连接电源；信号图形 207，用于定义信号走线；第一选通图形 208，用于定义第一选通开关，第一选通开关用于实现与电源走线的电连接或者断开；第二选通图形 209，用于定义第二选通开关，第二选通开关用于实现与信号走线的电连接或者断开；其中，信号图形 207、第一选通图形 208 以及第二选通图形 209 位于电源图形的同一侧。

电源图形可以包括第一电源图形 201 或者第二电源图形 202 中的至少一

者。第一选通图形 208 以及第二选通图形 209 构成金属开关图形，第一选通图形 208 和第二选通图形 209 中的一者参与实际布线，例如，第一选通图形 208 参与布线且第二选通图形 209 不参与布线，则第一选通开关连接电源走线且第二选通开关断开；第一选通图形 208 不参与布线且第二选通图形 209 参与布线，则第一选通开关断开且第二选通开关连接信号走线。

本实施例中，信号图形 207 包括：沿第三方向排布的两个子信号图形 217，且两个子信号图形 217 之间具有间隔；第一选通图形 208 与其中一子信号图形 217 相连，且第一选通图形 208 位于子信号图形 217 与电源图形之间；第二选通图形 209 位于两个子信号图形 217 之间，且在平行于第三方向上，第二选通图形 209 的长度大于或等于间隔的长度。其中，第三方向可以与第二方向 X 相同。

可以理解的是，在其他实施例中，信号图形也可以仅包括单个子选通图形。

本实施例提供的标准单元版图模板，通过合理布局电源图形、信号图形、第一选通图形以及第二选通图形，增加了标准单元版图模板的可应用场景。考虑到实际芯片设计中，可冗余的根据标准单元版图模板调节实际的版图，例如通过第一选通图形或者第二选通图形以改变版图对应的电路结构，从而调整电路结构对应的延时参数。

本公开又一实施例还提供一种标准单元版图模板，与前述实施例大致相同，主要区别包括：前述实施例提供的标准单元版图模板可用于人工布线（custom layout，即自定义布局），本实施例提供的标准单元版图模板可应用自动布线，即可采用全芯片的自动化物理设计（auto-PR，place route）以利用标准单元版图模板进行版图布局。图 9 为本公开又一实施例提供的标准单元版图模板的一种结构示意图。

以下将结合附图对本公开又一实施例提供的标准单元版图模板进行详细说明，需要说明的是，与前述实施例相同或者相应的部分，以下将不做详细赘述。

参考图 9，本实施例中，标准单元版图模板还包括：金属层图形 30，金属层图形 30 横跨栅电连接图形 103、第一栅极图形 101 和/或第二栅极图形 102，用于定义金属层，金属层位于第一栅极与第二栅极的上层，以电连接第

一栅极和/或第二栅极。

需要说明的是，若标准单元版图模板还包括第一栅极延伸图形 111 和第二栅极延伸图形 112，则金属层图形 30 横跨栅电连接图形 103、第一栅极图形 101 和/或第二栅极图形 102 实际指的是：金属层图形 30 横跨栅电连接图形 103、第一栅极延伸图形 111 和/或第二栅极延伸图形 112。

金属层为实现自动布线提供条件。本实施例中，以金属层电连接第一栅极以及第二栅极作为示例，则金属层图形 30 横跨第一栅极延伸图形 111、栅电连接图形 103 以及第二栅极延伸图形 112。可以理解的是，若金属层仅电连接第一栅极，则金属层图形 30 与栅电连接图形 103 交叠区域对应布局接触孔结构，该栅电连接图形 103 定义的栅电连接结构与第一栅极电连接；若金属层仅电连接第二栅极，则金属层图形 30 与栅电连接图形 103 交叠区域对应布局接触孔结构，该栅电连接图形 103 定义的栅电连接结构与第二栅极电连接。

标准单元版图模板具有自定义布局区域 AA，第一阱区 I 和第二阱区 II 位于自定义布局区域 AA 内，且金属层图形 30 的部分图形位于自定义布局区域 AA 内，其余部分图形位于自定义布局区域 AA 外。

金属层图形 30 包括：第一金属层图形 31，第一金属层图形 31 沿第一方向 Y 延伸，且与栅电连接图形 103、第一栅极延伸图形 111 和/或第二栅极延伸图形 112 具有重叠部分；第二金属层图形 32，与第一金属层图形 31 连接且沿第二方向 X 延伸至自定义布局区域 AA 外；第三金属层图形 33，位于自定义布局区域 AA 外且与第二金属层图形 32 连接，第三金属层图形 33 沿第一方向 Y 延伸。

需要说明的是，在其他实施例中，若标准单元版图模板未布局第一栅极延伸图形和第二栅极延伸图形，则金属层图形横跨栅电连接图形、第一栅极图形和/或第二栅极图形，即金属层图形与第一栅极图形和/或第二栅极图形具有重叠部分。

本实施例提供的标准单元版图模板，通过布局金属层图形，为实现自动化布局提供条件。

本公开再一实施例还提供一种半导体结构，可利用上述实施例提供的标准单元版图模板制作。图 10 为本公开再一实施例提供的半导体结构的俯视结

构示意图，图 11 为图 10 中沿 CC1 方向的一种剖面结构示意图。

参考图 10 及图 11，本实施例中，半导体结构包括：基底 400，基底 400 内具有沿第一方向排布的第一阱 41 和第二阱 42；第一栅极 401，位于第一阱 41 的基底 400 上且沿第一方向 Y 延伸；第二栅极 402，位于第二阱 42 的基底 400 上且沿第一方向 Y 延伸；栅电连接结构 403，位于基底 400 上，且与第一栅极 401 以及第二栅极 402 同层设置，以电连接第一栅极 401 和/或第二栅极 402。

半导体结构可以为 DRAM、SRAM、MRAM、FeRAM、PCRAM、HBM 存储器、NAND 闪存或者 NOR 闪存等存储器。

由于栅电连接结构 403 与第一栅极 401 以及第二栅极 402 处于同层，因此无需设置为实现上下层电连接的接触孔结构，就能够实现栅电连接结构 403 与第一栅极 401 或者第二栅极 402 之间的电连接，与栅电连接结构位于第一栅极和第二栅极上方的方案相比，本实施例能够缩短栅电连接结构 403 与第一栅极 401 之间的电连接路径，缩短栅电连接结构 403 与第二栅极 402 之间的电连接路径，从而减小电连接路径对应的电阻，进而降低半导体结构的功耗且改善 RC 延迟效应。

例如，可以在形成第一栅极 401 和/或第二栅极 402 的工艺步骤中，同时形成栅电连接结构 403。相应的，栅电连接结构 403 顶部可以与第一栅极 401 顶部以及第二栅极 402 顶部齐平。此外，栅电连接结构 403 底部也可以与第一栅极 401 底部以及第二栅极 402 底部齐平，这样，栅电连接结构 403 具有相对较厚的厚度，从而有利于减小栅电连接结构 403 的整体电阻，从而减小半导体结构的功耗以及 RC 延迟效应。可以理解的是，此处的“顶部”指的是远离基底 400 的顶面，此处的“底部”指的是朝向基底 400 的底面。

此外，本实施例中，栅电连接结构 403 的材料也可以为与第一栅极 401 以及第二栅极 402 的材料相同。在一个具体例子中，栅电连接结构 403 的材料、第一栅极 401 的材料以及第二栅极 402 的材料均为多晶硅；一般的，多晶硅的电阻率较金属的电阻率更低，例如多晶硅的电阻率比铜的电阻率更低，因此采用多晶硅作为栅电连接结构 403 的材料，能够降低电连接路径的电阻，从而降低半导体结构的功耗。

本实施例中，半导体结构还可以包括：第一辅助栅极 411，与第一栅极

401 端部相连，且沿第二方向 X 延伸；第二辅助栅极 412，与第二栅极 402 端部相连，且沿第二方向 X 延伸。其中，第一辅助栅极 411 与第一栅极 401 同层设置且材料相同，第二辅助栅极 412 与第二栅极 402 同层设置且材料相同。且在沿第二方向 X 上，第一辅助栅极 411 的宽度大于第一栅极 401 的宽度，第二辅助栅极 412 的宽度大于第二栅极 402 的宽度。第一辅助栅极 411 的设置，有利于增加第一栅极 401 与栅电连接结构 403 电连接的工艺窗口 (process window)；第二辅助栅极 412 的设置，有利于增加第二栅极 402 与栅电连接结构 403 电连接的工艺窗口，从而降低工艺对准精度的需求，降低半导体结构的制作难度。

本实施例中，栅电连接结构 403 包括至少两个电连接结构，且每个电连接结构均沿第二方向 X 延伸，且第二方向 X 与第一方向 Y 不同。

至少两个电连接结构包括：第一电连接结构 413，位于第一阱 41 的基底 400 上，第一电连接结构 413 与第一栅极 401 以及第二栅极 402 同层设置；第二电连接结构 423，位于第二阱 42 的基底 400 上，第二电连接结构 423 与第一栅极 401 以及第二栅极 402 同层设置。

第一电连接结构 413 可用于通过第一辅助栅极 411 电连接第一栅极 401，第二电连接结构 423 可用于通过第二辅助栅极 412 电连接第二栅极 402。

图 12 为本实施例提供的半导体结构的另一种剖面结构示意图。

参考图 12，栅电连接结构 403 还可以包括：第一辅助电连接结构 433，位于第一栅极 401 与朝向第一栅极 401 的电连接结构之间，以电连接第一栅极 401 与朝向第一栅极 401 的电连接结构；第二辅助电连接结构 443，位于第二栅极 402 与朝向第二栅极 402 的电连接结构之间，以电连接第二栅极 402 与朝向第二栅极的电连接结构。

第一辅助电连接结构 433 与第一电连接结构 413 以及第一辅助栅极 411 相接触且电连接，第二辅助电连接结构 443 与第二电连接结构 423 以及第二辅助栅极 412 相接触且电连接。

第一辅助电连接结构 433 以及第二辅助电连接结构 443 与第一栅极 401 以及第二栅极 402 处于同层。

图 13 为本实施例提供的半导体结构的又一种剖面结构示意图。

参考图 13，本实施例中，栅电连接结构 403 还可以包括：第三辅助电连

接结构 453，位于相邻的电连接结构之间，以电连接相邻的电连接结构。这样，该半导体结构对应的具体电路为相邻的电连接结构电连接。

可以理解的是，在其他实施例中，栅电连接结构也可以仅包括一个电连接结构，且根据半导体结构对应的具体电路结构，该电连接结构可以与第一栅极电连接，或者，该电连接结构可以与第二栅极电连接，或者，该电连接结构与第一栅极以及第二栅极电连接。

本实施例提供的半导体结构的技术方案中，可通过同层设置的栅电连接结构 403 实现与第一栅极 401 和/或第二栅极 402 的电连接，既减小了电连接路径，又无需设置具有大电阻的接触孔结构，因此有利于减小半导体结构的电阻，从而减小半导体结构的功耗以及 RC 延迟效应。半导体结构为存储器，则还能够提高存储器的存储速度。

本说明书中各实施例或实施方式采用递进的方式描述，每个实施例重点说明的都是与其他实施例的不同之处，各个实施例之间相同相似部分相互参见即可。

在本说明书的描述中，参考术语“实施例”、“示例性的实施例”、“一些实施方式”、“示意性实施方式”、“示例”等的描述意指结合实施方式或示例描述的具体特征、结构、材料或者特点包含于本公开的至少一个实施方式或示例中。

在本说明书中，对上述术语的示意性表述不一定指的是相同的实施方式或示例。而且，描述的具体特征、结构、材料或者特点可以在任何的一个或多个实施方式或示例中以合适的方式结合。

在本公开的描述中，需要说明的是，术语“中心”、“上”、“下”、“左”、“右”、“竖直”、“水平”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本公开和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本公开的限制。

可以理解的是，本公开所使用的术语“第一”、“第二”等可在本公开中用于描述各种结构，但这些结构不受这些术语的限制。这些术语仅用于将第一个结构与另一个结构区分。

在一个或多个附图中，相同的元件采用类似的附图标记来表示。为了清

楚起见，附图中的多个部分没有按比例绘制。此外，可能未示出某些公知的部分。为了简明起见，可以在一幅图中描述经过数个步骤后获得的结构。在下文中描述了本公开的许多特定的细节，例如器件的结构、材料、尺寸、处理工艺和技术，以便更清楚地理解本公开。但正如本领域技术人员能够理解的那样，可以不按照这些特定的细节来实现本公开。

最后应说明的是：以上各实施例仅用以说明本公开的技术方案，而非对其限制；尽管参照前述各实施例对本公开进行了详细的说明，本领域技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本公开各实施例技术方案的范围。

工业实用性

本公开实施例所提供的标准单元版图模板以及半导体结构中，可通过与第一栅极和第二栅极处于同层的栅电连接结构实现与第一栅极和/或第二栅极的电连接，从而减小电连接路径长度，减小电连接路径对应的电阻；并且，无需设置为实现上下层电连接的接触孔结构，从而避免具有大电阻的接触孔结构带来的不良影响，减小电连接路径对应的电阻。因此，采用本公开实施例提供的标准单元版图模制作的半导体结构，其运行速度能够得到提升，且能够降低半导体结构的功耗，且还能够改善信号质量，例如栅极上的信号延时、信号上升时间和/或信号下降时间得到改善。另外，本公开实施例提供的标准单元版图模板，可作为 DRAM 芯片等其他芯片的电路版图设计模板，通过栅电连接图形的布局，使得电路版图布局能够更规整，且不同版图遵循一致的原则，由于优化电路版图的设计，提高版图设计的效率，缩短芯片设计的时间。