

半导体结构及其制作方法

交叉引用

[0001] 本申请要求于 2024 年 8 月 16 日提交中国专利局、申请号为 202411133716.9、申请
5 名称为“半导体结构及其制作方法”的中国专利申请的优先权，其全部内容通过引用结合在
本申请中。

技术领域

[0002] 本申请实施例涉及半导体领域，特别涉及一种半导体结构及其制作方法。

背景技术

10 [0003] 在半导体结构的制造过程中，需要通过沉积和刻蚀形成具有特定形状的膜层。然而，
材料沉积和刻蚀的具体效果与目标结构的形态有关，例如，在对具有高深宽比的凹槽进行材
料沉积以实现填充时，容易形成中空的缝隙。当材料沉积或刻蚀的实际效果与预期效果存在
偏差时，可能对最终结构的实际性能产生影响。

发明内容

15 [0004] 本申请实施例提供一种半导体结构及其制作方法，至少有利于解决接触孔之间的信号
串扰问题。

[0005] 根据本申请一些实施例，本申请实施例一方面提供一种半导体结构，包括：底层导电
层和格挡部，所述格挡部所在平面位于所述底层导电层所在平面上方，所述格挡部与所述底
层导电层在竖直方向上的投影具有重叠区域；立体结构，所述立体结构包括第一部和第二部，
20 所述格挡部的顶面高于所述第二部的底面且低于或平齐于所述第一部的底面，所述第一部至
少部分位于所述重叠区域的正上方；接触孔和第一导电层，所述第一导电层所在平面高于所
述立体结构的顶面，所述接触孔与所述第一导电层直接连接，所述底层导电层通过所述接触
孔电连接所述第一导电层，所述接触孔位于所述第一部远离所述第二部的一侧；第一隔离层，
所述第一隔离层用于填充所述接触孔与所述立体结构之间的区域以及填充不同所述接触孔之
25 间的区域。

[0006] 在一些实施例中，半导体结构还包括：第二导电层，所述格挡部属于所述第二导电层
的一部分，所述底层导电层通过第一导电插塞与所述第二导电层电连接，所述第二导电层通
过所述接触孔与所述第一导电层电连接。

30 [0007] 在一些实施例中，所述第二导电层还包括信号传输部，所述信号传输部与所述格挡部
相互分离，所述格挡部位于所述信号传输部和所述第二部之间，所述底层导电层通过所述信

[0008] 在一些实施例中，所述竖直方向垂直于第一水平方向，所述半导体结构还包括沿所述第一水平方向排列的多个所述接触孔以及沿所述第一水平方向延伸的格挡部，每一所述接触孔通过所述信号传输部中对应的第二信号线与所述底层导电层电连接，所述格挡部位于任意
5 所述接触孔对应的所述第二信号线和所述第二部之间。

[0009] 在一些实施例中，所述竖直方向垂直于第一水平方向和第二水平方向，所述第一水平方向垂直于所述第二水平方向，所述半导体结构还包括沿所述第一水平方向排列的多个所述接触孔，所述格挡部包括沿所述第一水平方向排列的多个所述格挡块，在垂直于所述竖直方向的投影平面内，多个所述接触孔与多个所述格挡块在所述第一水平方向上交替设置，且在
10 第二水平方向上错开。

[0010] 在一些实施例中，所述第二导电层包括多条第二信号线，所述底层导电层通过所述第二信号线与所述接触孔传输电信号，所述第二信号线延伸至所述至少部分所述第一部的下方，所述格挡部包括所述第二信号线延伸至所述第一部下方的部分。

[0011] 在一些实施例中，所述第二导电层还包括冗余线，所述冗余线上未设置所述接触孔，
15 所述格挡部还包括所述冗余线延伸至所述第一部下方的部分。

[0012] 在一些实施例中，所述第二导电层还包括第二填充线，所述第二填充线的宽度小于所述第二信号线的宽度，所述第二填充线用于平衡所述第二导电层不同区域的导电材料密度，所述格挡部还包括所述第二填充线延伸至所述第一部下方的部分。

[0013] 在一些实施例中，所述格挡部环绕所述立体结构。

[0014] 在一些实施例中，所述立体结构为电容电极，所述电容电极包括存储电容的上电极，
20 或者，非存储电容的上电极或下电极。

[0015] 根据本申请一些实施例，本申请实施例另一方面还提供一种半导体结构的制作方法，包括：依次形成底层导电层和格挡部，所述格挡部所在平面位于所述底层导电层所在平面上方，所述格挡部与所述底层导电层在竖直方向上的投影具有重叠区域；形成立体结构，所述
25 立体结构包括第一部和第二部，所述格挡部的顶面高于所述第二部的底面且低于或平齐于所述第一部的底面，所述第一部至少部分位于所述重叠区域的正上方；形成第一隔离层，所述第一隔离层用于填充所述底层导电层和所述格挡部上方的区域，所述第一隔离层的顶面高于所述立体结构的顶面，所述第一隔离层位于所述第一部远离所述第二部的一侧且覆盖所述第一部的侧壁；形成接触孔和第一导电层，所述接触孔贯穿所述第一隔离层，所述第一导电层
30 通过所述接触孔与所述底层导电层电连接。

[0016] 一个或多个实施例通过与之对应的附图中的图片进行示例性说明，这些示例性说明并不构成对实施例的限定，除非有特别申明，附图中的图不构成比例限制。

[0017] 图 1 为本申请一些实施例提供的半导体结构的主视图；

5 [0018] 图 2 为图 1 所示半导体结构的俯视图；

[0019] 图 3 为一种半导体结构的主视图；

[0020] 图 4 为图 3 所示半导体结构的俯视图；

[0021] 图 5 为本申请一些实施例提供的半导体结构的主视图；

[0022] 图 6 为本申请一些实施例提供的半导体结构的主视图；

10 [0023] 图 7 为本申请一些实施例提供的与图 6 所示半导体结构对应的俯视图；

[0024] 图 8 为本申请另一些实施例提供的与图 6 所示半导体结构对应的俯视图；

[0025] 图 9 为一种半导体结构的主视图；

[0026] 图 10 为本申请一些实施例提供的半导体结构的主视图；

[0027] 图 11 为本申请一些实施例提供的与图 10 所示半导体结构对应的俯视图；

15 [0028] 图 12 为本申请一些实施例提供的与图 10 所示半导体结构对应的俯视图；

[0029] 图 13 为本申请一些实施例提供的半导体结构的俯视图。

具体实施方式

[0030] 下面将结合附图对本申请的各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本申请各实施例中，为了使读者更好地理解本申请而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本申请所要求保护的技术方案。

20

[0031] 图 1 为本申请一些实施例提供的半导体结构的主视图；图 2 为图 1 所示半导体结构的俯视图。参考图 1 和图 2，一种半导体结构包括：底层导电层 21 和格挡部 22，格挡部 22 所在平面位于底层导电层 21 所在平面上方，格挡部 22 与底层导电层 21 在竖直方向 Z 上的投影具有重叠区域 212；立体结构 20，立体结构 20 包括第一部 201 和第二部 202，格挡部 22 的顶面高于第二部 202 的底面且低于或平齐于第一部 201 的底面，第一部 201 至少部分位于重叠区域 212 的正上方；接触孔 23 和第一导电层 25，第一导电层 25 所在平面高于立体结构 20 的顶面，接触孔 23 与第一导电层 25 直接连接，底层导电层 21 通过接触孔 23 电连接第一导电层 25，接触孔 23 位于第一部 201 远离第二部 202 的一侧；第一隔离层 265，第一隔离

25

[0032] 在本申请实施例中，通过设置格挡层 22 且至少部分立体结构 20 (即至少部分第一部 201) 位于格挡层 22 上，有利于抬高至少部分立体结构 20 的底面位置，从而降低该部分立体结构 20 的高宽比，避免第一部 201 的侧壁因过高的高宽比而形成有朝向第二部 202 的凹陷部，进而避免第一隔离层 265 在进行填充以及覆盖第一部 201 的侧壁时，因凹陷部的存在而产生缝隙，进而避免单一缝隙的扩张和转移以及不同缝隙之间的连通，避免不同接触孔之间因缝隙的存在而发生信号串扰甚至短路。

[0033] 图 3 为一种半导体结构的主视图；图 4 为图 3 所示半导体结构的俯视图。参考图 3，在未设置有格挡部的情况下，立体结构 10 朝向接触孔 12 的侧壁因较高的高宽比而形成有凹陷部 101。本申请发明人发现，凹陷部 101 通常出现在第一部 201 相对底部的区域。在沉积隔离材料以形成第一隔离层 165 时，因凹陷部 101 上部结构的遮挡以及填充角度等原因，凹陷部 101 内部难以填充完全，容易形成第一空隙 102。进一步地，参考图 4，在形成隔离层 165 之后，一般会通过刻蚀形成暴露底部导电层 11 的过孔，而后填充过孔形成接触孔 12。然而，本申请发明人发现，在隔离层 165 中，不同过孔之间也会形成有空隙，记为第二空隙 121。由于第一空隙 102 可能在第一水平方向 12 上连成片，且第一空隙 102 和第二空隙 121 都存在扩张的可能，因此可能发生过孔与第一空隙 102 或第二空隙 121 中的一者或两者连通的可能性。在沉积导电材料以形成接触孔 12 时，第一空隙 102 和第二空隙 121 中可能也会填充有部分导电材料，进而导致不同接触孔 12 在传输电信号时可能会发生串扰甚至短路。

[0034] 以下将结合附图对本申请实施例进行更为详细的说明。

[0035] 参考图 1，在一些实施例中，底层导电层 21 通过第二导电插塞 24 与位于有源区中的晶体管 (未图示) 的源极、漏极或者栅极连接，底层导电层 21 所在平面的下方不再设置有其他导电层，不同晶体管的栅极所在位置不符合本申请中“导电层”的定义。底层导电层 21 的截面形状和主视图的截面位置有关，不同截面位置的截面形状可能不同。参考图 2，底层导电层 21 至少包含多条底层信号线 211，每一条底层信号线 211 均与对应的接触孔 23 连接，用于传输电信号。尽管图 2 中示意出的多条底层信号线 211 为长度一致且相互平行的多条直线，实际上，每一条底层信号线 211 既可以与相邻底层信号线 211 的长度不同，也可以为弯折线，不同底层信号线 211 之间没有平行的限定。

[0036] 需要说明的是，本申请提及的“所在平面”，例如格挡部 22 所在平面和底层导电层 21 所在平面，均是对应结构的底面进行平面的界定，即某一结构所在平面指的是该结构的底面所在的平面。在一些实施例中，对于“导电层”的定义为，导电层具有二维的顶面和底面，也就是说导电层不同位置的顶面平齐，且不同位置的底面平齐。此外，本申请实施例对格挡部 22 的顶面没有限制，格挡部 22 的顶面既可以是平面，也可以是三维表面。

内，其中，格挡部 22 朝向第二部 202 的侧边既可以落入底层导电层 22 的投影内，也可以与底层导电层 21 靠近第二部 202 的侧边平齐。在又一些实施例中，在竖直方向 Z 上，格挡部 22 的投影与底层导电层 21 的投影部分重合，即格挡部 22 远离第二部 202 的侧边的投影位于
5 底层导电层 21 的投影内，底层导电层 21 靠近第二部 202 的侧边的投影位于格挡部 22 的投影内。

[0038] 在一些实施例中，第一部 201 的顶面低于或平齐第二部 202 的顶面。第一部 201 的顶面低于第二部 202 的顶面既可以是实际设计，也可以是原本设计为齐平，但后续由于工艺原因导致第一部 201 的顶面实际低于或平齐于第二部 202 的顶面，例如第一部 201 的顶面和
10 第二部 202 的顶面为连续的表面。

[0039] 在一些实施例中，半导体结构设置有第二隔离层 261。第二隔离层 261 既用于隔离底层导电层 21 和有源区中的晶体管，也用于支撑底层导电层 261。底层导电层 261 可以通过对第二隔离层 261 进行刻蚀形成预设图案的凹槽，再对凹槽进行填充得到底层导电层 261。在其他实施例中，第二隔离层包含位于底层导电层下方的第一子层和与底层导电层处于同一层的
15 的第二子层，即先形成第一子层，而后沉积材料并刻蚀形成底层导电层 261，最后填充底层导电层中的空隙形成第二子层。本申请中提到的所有“隔离层”均可以由多层子层构成，且可以通过不同的工艺方法制作而成，本申请不对任意膜层的实际层数和制作方法进行限定。

[0040] 在一些实施例中，底层导电层 21 中还包含底层冗余线，底层冗余线的宽度和材料均与底层信号线相同，区别在于底层冗余线不电连接至任意接触孔。在又一些实施例中，底层
20 导电层中还包含底层填充线，底层填充线的材料通常与底层信号线的材料相同，但宽度小于或等于底层信号线的宽度，底层填充线不电连接至任意接触孔，底层填充线的作用在于平衡不同区域中的导电材料密度，使得底层导电层 21 具有相对平均的应力分布。底层填充线和底层冗余线的形成方式可以与底层信号线的形成方式相同。

[0041] 在一些实施例中，立体结构 20 为导电结构，第二部 202 与底层导电层 21 在竖直方向 Z 上的投影至少部分重合。半导体结构中还设置有第三隔离层 262，第三隔离层 262 用于
25 隔离底层导电层 21 和立体结构 20。在其他实施例中，若立体结构 20 的第二部 202 与底层导电层 21 在竖直方向 Z 上投影不重合，或者，若立体结构 20 的第二部 202 的底面为绝缘材料，也可以不设置第三隔离层 262。本申请中提及的“投影”均为“正投影”。

[0042] 需要说明的是，本申请中的立体结构 20 既可以包含多个完整膜层，也可以同时包含
30 完整膜层和一些膜层的局部结构，还可以均是膜层的局部结构。也就是说，本申请不对立体结构 20 的材料、膜层数量、膜层完整性进行限定。

[0043] 在一些实施例中，半导体结构中还设置有第四隔离层 263，格挡部 22 设置于第四隔

263 的部分目的在于调整格挡部 22 的高度，进而调整至少部分第一部 201 的底面高度，有利于避免第一部 201 朝向接触孔 23 的侧壁上出现凹陷部，以及有利于保证第一隔离层 265 的完全填充。需要说明的是，第四隔离层 263 不宜过厚，否则将会影响立体结构在第二水平方向 Y 上的厚度，使得立体结构 20 底部可能存在应力集中以及隔离效果较弱等问题。这里的隔离效果指的是隔离位于立体结构 20 在第二水平方向 Y 相对两侧的导电材料，避免电荷泄露以及信号干扰等问题。

[0044] 在一些实施例中，在垂直方向 Z 上，第四隔离层 253 的厚度为立体结构 20 的最大厚度的 1.5%~5%，例如 2%、2.5%、3%、3.5%或 4.5%。

10 [0045] 在一些实施例中，半导体结构中还设置有第五隔离层 264，第五隔离层 264 用于隔离格挡部 22 与立体结构 20。在一些实施例中，若格挡部 22 为绝缘材料或者立体结构 20 朝向格挡部 22 的表面为绝缘材料，也可以不设置第五隔离层。可以理解的是，由于在第二水平方向 Y 上，格挡部 22 与第二部 202 之间设置用于隔离的第五隔离层 264，该部分第五隔离层 264 也会起到格挡作用，因此，在设置有第五隔离层 264 的情况下，只有部分第一部 201
15 位于格挡部 22 的正上方，但第一部 201 完全位于第五隔离层 264 上方。本申请中的“上方”在没有特别说明的时候指的是正上方。

[0046] 图 5 为本申请一些实施例提供的半导体结构的主视图。参考图 5，半导体结构还包括第二导电层 37（采用虚线框标记第二导电层 37 的范围），格挡部 32 属于第二导电层 37 的一部分，底层导电层 31 通过第一导电插塞 38 与第二导电层 37 电连接，第二导电层 37 通过接
20 触孔 33 与第一导电层 35 电连接。在该实施例中，由于第二导电层 37 为导电材料，因此在立体结构 30 朝向格挡部 32 的表面为绝缘材料时，可以不设置第五隔离层 364；否则，应当设置第五隔离层 364。在该实施例中，设置第四隔离层 363 的目的在于调整不同导电层之间的间距，有利于减弱不同导电层之间的信号串扰。

[0047] 在图 5 所示实施例中，虽然用于标记第二导电层 37 的范围的虚线框朝向第二部 302 的侧边超出了格挡部 32 朝向第二部 302 的侧边，但这只是为了清晰表达第二导电层 37 的范围包含格挡部 32 的部分。在不同实施例中，第二导电层 37 朝向第二部 302 的侧边与格挡部 32 朝向第二部 302 的侧边平齐，也可以相对于格挡部 32 朝向第二部 302 的侧边更接近第二部 302。进一步的，在一些实施例中，格挡部 32 朝向第二部 302 的侧边就是第二导电层 37 朝向第二部 302 的侧边。

30 [0048] 图 6 为本申请一些实施例提供的半导体结构的主视图。参考图 6，立体结构 40 包括第一部 401 和第二部 402，第二导电层 47 还包括信号传输部 472，信号传输部 472 与格挡部 471 相互电隔离，格挡部 471 位于信号传输部 472 和第二部 402 之间，底层导电层 41 通

同一导电层，但两者为电性分离的不同部分，格挡部 471 不与接触孔 43 电连接，电信号仅通过信号传输部 472 在不同导电层之间进行传输。通过设置信号传输部 472 与格挡部 471 相互分离，有利于避免立体结构 40 通过格挡部 471 对信号传输部 472 中传输的电信号造成影响，
5 这种影响在立体结构 40 的电位存在变化时可能较为明显。

[0049] 图 7 为本申请一些实施例提供的与图 6 所示半导体结构对应的俯视图。参考图 7，竖直方向 Z 垂直于第一水平方向 X，半导体结构还包括沿第一水平方向 X 排列排列的多个接触孔 43 以及沿第一水平方向 X 延伸的格挡部 471，每一接触孔通过 43 通过信号传输部 472 中对应的第二信号线与底层导电层（未图示）电连接，格挡部 471 位于任意接触孔 43 对应的第
10 二信号线和第二部 402 之间。通过设置格挡部 471 沿第一水平方向 X 延伸，有利于避免在第一水平方向 X 出现第一空隙，进而避免第一空隙与相邻接触孔 43 之间可能存在的第二空隙 431 连通，如此，有利于避免或者减弱不同接触孔之间的信号串扰。需要说明的是，上述“不同接触孔”包括在第一水平方向 X 上的相邻接触孔和不相邻接触孔。

[0050] 图 8 为本申请另一些实施例提供的与图 6 所示半导体结构对应的俯视图。参考图 8，
15 竖直方向 Z 垂直于第一水平方向 X 和第二水平方向 Y，第一水平方向 X 垂直于第二水平方向 Y。半导体结构还包括沿第一水平方向 X 排列的多个接触孔 43，格挡部 471 包括沿第一水平方向 X 排列的多个格挡块 47a，在垂直于竖直方向 Z 的投影平面内，多个接触孔 43 与多个格挡块 47a 在第一水平方向 X 上交替设置，且在第二水平方向 Y 上错开。如此，有利于在格挡部 471 并非一体结构，而是包含相互分离的多个格挡块的情况下，使得在形成于相邻格挡
20 块 47a 之间的第一空隙 403 以及位于相邻接触孔之间 43 的第二空隙 431 在第一水平方向 X 上错开，如此，有利于避免第一空隙 403 和第二空隙 431 在扩张过程中连通，以及有利于避免不同位置的第二空隙 431 通过第一空隙 403 连通，进而有利于减弱因空隙内填充有导电介质而导致的不同接触孔 43 之间的信号串扰；此外，通过错开第一空隙 403 和第二空隙 431 的可能形成区域，有利于避免部分第一空隙 403 在器件制备过程中发生分离和移动，使得原
25 本没有第二空隙 431 的区域出现空隙。

[0051] 在另一些实施例中，在垂直于竖直方向的投影平面内，多个接触孔与多个格挡块在第一水平方向上对齐设置，即每一接触孔均有对应的一个格挡块，且接触孔与对应的格挡块在第一水平方向上对齐。如此，有利于避免接触孔与第一部或第二部之间形成有第一空隙，以及避免第一空隙的存在对接触孔的应力和支撑强度造成影响。

30 [0052] 图 9 为一种半导体结构的主视图。参考图 9，在半导体结构包含第二导电层 53，但第二导电层 53 不包含格挡部的情况下，若第二导电层 53 与立体结构 50 之间的距离 L1 处于目标范围，则在进行隔离层材料的填充之后，第二导电层 53 或者第一导电插塞 52 与立体结

连通以形成更为大片的空隙，进而对器件的支撑强度造成影响。此外，在半导体结构制作过程中，即便第二导电层 53 与立体结构 50 之间的设计距离不处于目标范围，但由于形成立体结构 50 的过程中，部分位于第二导电层 55 和立体结构 50 之间的待刻蚀部 504 没有被有效刻蚀，这就导致立体结构 50 与临近结构的最小距离实际上是与待刻蚀部 504 之间的距离，与待刻蚀部 504 之间的距离可能小于设计距离并落入目标范围内，进而导致第三空隙 503 的产生。

[0053] 图 10 为本申请一些实施例提供的半导体结构的主视图。参考图 10，第二导电层 67 包括多条第二信号线（未图示），底层导电层 61 通过第二信号线与接触孔 63 传输电信号，第二信号线延伸至至少部分第一部 601 的下方，格挡部 671 包含第二信号线延伸至第一部 601 下方的部分。第二导电层 67 不再设置信号传输部和格挡部 671 相分离的布局，如此，有利于简化第二导电层 67 的形成工艺，同时增强格挡部 671 的抗形变能力。

[0054] 图 11 为本申请一些实施例提供的与图 10 所示半导体结构对应的俯视图。参考图 11，第二导电层 67 还包括冗余线 67b，冗余线上 67b 上未设置接触孔 63，格挡部 671 还包括冗余线 67b 延伸至所述第一部 601 下方的部分。冗余线 67b 和第二信号线 67a 的区别在于，第二信号线 67a 连接接触孔 63 并用于传输电信号，冗余线 67b 不具有对应连接的接触孔 63 且不用于传输电信号，但无论是第二信号线 67a 还是冗余线 67b 都可以通过第一导电插塞与底层导电层连接，且两者通常具有相同的宽度。冗余线 67b 的存在既可以是用于替换损坏的第二信号线的备选，也可以版图设计上的冗余，以使得版图设计能够应用于不同项目。需要说明的是，凡是无法执行信号传输功能的第二信号线均属于损坏的第二信号线，包括但不限于，与底层导电层的信号传输通路断开或电阻过大不满足设计需求的第二信号线，第二信号线的实际长度和宽度小于设计长度和宽度等等。

[0055] 图 12 为本申请一些实施例提供的与图 10 所示半导体结构对应的俯视图。参考图 12，第二导电层 67 还包括填充线 67c，填充线 67c 的宽度小于第二信号线 67a 的宽度，填充线 67c 用于平衡第二导电层 67 不同区域的导电材料密度，格挡部 671 还包括第二填充线 67c 延伸至第一部 601 下方的部分。在一些实施例中，仅设置有填充线 67c 而未设置冗余线 67b，或者，仅设置冗余线 67b 而未设置填充线 67c。

[0056] 此外，上述“导电材料”指的是第二信号线，或者，第二信号线和冗余线，根据实施例中是否设置有冗余线而有所不同。填充线 67c 不仅可以用于平衡第二导电层 67c 不同区域的导电材料密度，还可以用于加大某一区域的导电材料密度，例如，在未设置有第二信号线和冗余线的区域，可以通过将填充线延伸至至少部分第一部的下方，实现格挡部的作用。

[0057] 图 13 为本申请一些实施例提供的半导体结构的俯视图。参考图 13，格挡部 705 环绕

至少两侧既包括相邻的两侧，也包括相对的两侧。位于立体结构 70 任意一侧的格挡部 75 既可以是一体连续结构，与对应的部分立体结构 70 沿同一方向延伸，也可以是分离结构，包含多个格挡块或者包括多条第二信号线延伸至部分第一部 701 下方的部分。此外，若格挡部 705 至少环绕立体结构 70 相邻的两侧，则位于相邻两侧的格挡部 705 可以为一体连续结构，如此，有利于简化格挡部的制作工艺。图 13 以格挡部 705 环绕立体结构 705 四周，且格挡部 705 至少包括多条第二信号线 703 延伸进第一部 701 下方的部分作为示例。

[0058] 在一些实施例中，参考图 13，立体结构 70 为环形结构。其中，立体结构 70 可以环绕目标结构 704，相当于第二部 702 环绕目标结构 704；进一步地，立体结构 704 还可以覆盖目标结构 704 顶部。立体结构 704 既可以是为目标结构 704 起到遮蔽或支撑作用的功能结构，也可以是与目标结构 704 一同实现特定功能的局部结构。在一些实施例中，目标结构可以为存储电容，立体结构 70 为与存储电容的上极板连接的上电极。

[0059] 在一些实施例中，立体结构 70 为电容电极，电容电极包括存储电容的上电极，或者，非存储电容的上电极或下电极。存储电容指的是存储单元中与存储晶体管连接的电容，常用于动态随机存取存储器，存储晶体管的栅极连接字线，源极连接位线，漏极连接存储电容。

[0060] 本申请还提供一种半导体结构的制作方法，参考图 1，半导体结构的制作方法包括：依次形成底层导电层 24 和格挡部 22，格挡部 22 所在平面位于底层导电层 24 所在平面上方，格挡部 22 与底层导电层 24 在竖直方向 Z 上的投影具有重叠区域 212；形成立体结构 20，立体结构 20 包括第一部 201 和第二部 202，格挡部 22 的顶面高于第二部 202 的底面且低于或平齐于第一部 201 的底面，第一部 201 至少部分位于重叠区域 212 的正上方；形成第一隔离层 265，第一隔离层 265 用于填充底层导电层 24 和格挡部 22 上方的区域，第一隔离层 265 的顶面高于立体结构 20 的顶面，第一隔离层 265 位于第一部 201 远离第二部 202 的一侧且覆盖第一部 201 的侧壁；形成接触孔 23 和第一导电层 25，接触孔 23 贯穿第一隔离层 265，第一导电层 25 通过接触孔 23 与底层导电层 24 电连接。

[0061] 需要说明的是，依次形成底层导电层 24 和格挡部 22 仅限定底层导电层 24 先于格挡部 22 形成，形成底层导电层 24 的步骤和形成格挡部 22 的步骤之间还可以有其他工艺步骤，例如形成各类隔离层等等，本申请对此并不进行限定。

[0062] 本领域的普通技术人员可以理解，上述各实施方式是实现本申请的具体实施例，而在实际应用中，可以在形式上和细节上对其作各种改变，而不偏离本申请的精神和范围。任何本领域技术人员，在不脱离本申请的精神和范围内，均可作各自更动与修改，因此本申请的保护范围应当以权利要求限定的范围为准。

权 利 要 求 书

1. 一种半导体结构，包括：
- 底层导电层和格挡部，所述格挡部所在平面位于所述底层导电层所在平面上方，所述格挡部与所述底层导电层在竖直方向上的投影具有重叠区域；
- 5 立体结构，所述立体结构包括第一部和第二部，所述格挡部的顶面高于所述第二部的底面且低于或平齐于所述第一部的底面，所述第一部至少部分位于所述重叠区域的正上方；
- 接触孔和第一导电层，所述第一导电层所在平面高于所述立体结构的顶面，所述接触孔与所述第一导电层直接连接，所述底层导电层通过所述接触孔电连接所述第一导电层，所述接触孔位于所述第一部远离所述第二部的一侧；
- 10 第一隔离层，所述第一隔离层用于填充所述接触孔与所述立体结构之间的区域以及填充不同所述接触孔之间的区域。
2. 根据权利要求 1 所述的半导体结构，还包括：第二导电层，所述格挡部属于所述第二导电层的一部分，所述底层导电层通过第一导电插塞与所述第二导电层电连接，所述
- 15 第二导电层通过所述接触孔与所述第一导电层电连接。
3. 根据权利要求 2 所述的半导体结构，其中，所述第二导电层还包括信号传输部，所述信号传输部与所述格挡部相互分离，所述格挡部位于所述信号传输部和所述第二部之间，所述底层导电层通过所述信号传输部与所述接触孔电连接。
4. 根据权利要求 3 所述的半导体结构，其中，所述竖直方向垂直于第一水平方向，所述
- 20 半导体结构还包括沿所述第一水平方向排列的多个所述接触孔以及沿所述第一水平方向延伸的格挡部，每一所述接触孔通过所述信号传输部中对应的第二信号线与所述底层导电层电连接，所述格挡部位于任意所述接触孔对应的所述第二信号线和所述第二部之间。
5. 根据权利要求 3 所述的半导体结构，其中，所述竖直方向垂直于第一水平方向和第二
- 25 水平方向，所述第一水平方向垂直于所述第二水平方向，所述半导体结构还包括沿所述第一水平方向排列的多个所述接触孔，所述格挡部包括沿所述第一水平方向排列的多个所述格挡块，在垂直于所述竖直方向的投影平面内，多个所述接触孔与多个所述格挡块在所述第一水平方向上交替设置，且在第二水平方向上错开。
6. 根据权利要求 3 所述的半导体结构，其中，所述第二导电层包括多条第二信号线，所
- 30 述底层导电层通过所述第二信号线与所述接触孔传输电信号，所述第二信号线延伸至所述至少部分所述第一部的下方，所述格挡部包括所述第二信号线延伸至所述第一部

下方的部分。

7. 根据权利要求 6 所述的半导体结构，其中，所述第二导电层还包括冗余线，所述冗余线上未设置所述接触孔，所述格挡部还包括所述冗余线延伸至所述第一部下方的部分。
8. 根据权利要求 6 或 7 所述的半导体结构，其中，所述第二导电层还包括第二填充线，
5 所述第二填充线的宽度小于所述第二信号线的宽度，所述第二填充线用于平衡所述第二导电层不同区域的导电材料密度，所述格挡部还包括所述第二填充线延伸至所述第一部下方的部分。
9. 根据权利要求 1 所述的半导体结构，其中，所述格挡部环绕所述立体结构。
10. 根据权利要求 1 所述的半导体结构，其中，所述立体结构为电容电极，所述电容电极
10 包括存储电容的上电极，或者，非存储电容的上电极或下电极。
11. 一种半导体结构的制作方法，包括：
- 依次形成底层导电层和格挡部，所述格挡部所在平面位于所述底层导电层所在平面上方，所述格挡部与所述底层导电层在竖直方向上的投影具有重叠区域；
- 形成立体结构，所述立体结构包括第一部和第二部，所述格挡部的顶面高于所述第二部的底面且低于或平齐于所述第一部的底面，所述第一部至少部分位于所述重叠区域的正上方；
15
- 形成第一隔离层，所述第一隔离层用于填充所述底层导电层和所述格挡部上方的区域，所述第一隔离层的顶面高于所述立体结构的顶面，所述第一隔离层位于所述第一部远离所述第二部的一侧且覆盖所述第一部的侧壁；
- 20 形成接触孔和第一导电层，所述接触孔贯穿所述第一隔离层，所述第一导电层通过所述接触孔与所述底层导电层电连接。