(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
22. April 2004 (22.04.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/034458 A1

(51) Internationale Patentklassifikation[7]: H01L 21/336, 29/06

(21) Internationales Aktenzeichen: PCT/DE2003/003130

(22) Internationales Anmeldedatum:
19. September 2003 (19.09.2003)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102 46 718.8 7. Oktober 2002 (07.10.2002) DE

(71) Anmelder *(für alle Bestimmungsstaaten mit Ausnahme von US)*: **INFINEON TECHNOLOGIES AG** [DE/DE]; St. Martin-Strasse 53, 81669 München (DE).

(72) Erfinder; und
(75) Erfinder/Anmelder *(nur für US)*: **HOLZ, Jürgen** [DE/DE]; Prinz-Eugen-Strasse 6/1, 80804 München (DE). **SCHRÜFER, Klaus** [DE/DE]; Weidenstrasse 21, 85598 Baldham (DE). **TEWS, Helmut** [DE/DE]; Frankenwaldstrasse 36, 81549 München (DE).

(74) Anwälte: **KINDERMANN, Peter** usw.; Patentanwälte Kindermann, Postfach 1330, 85627 Grasbrunn (DE).

(81) Bestimmungsstaaten *(national)*: CN, JP, KR, SG, US.

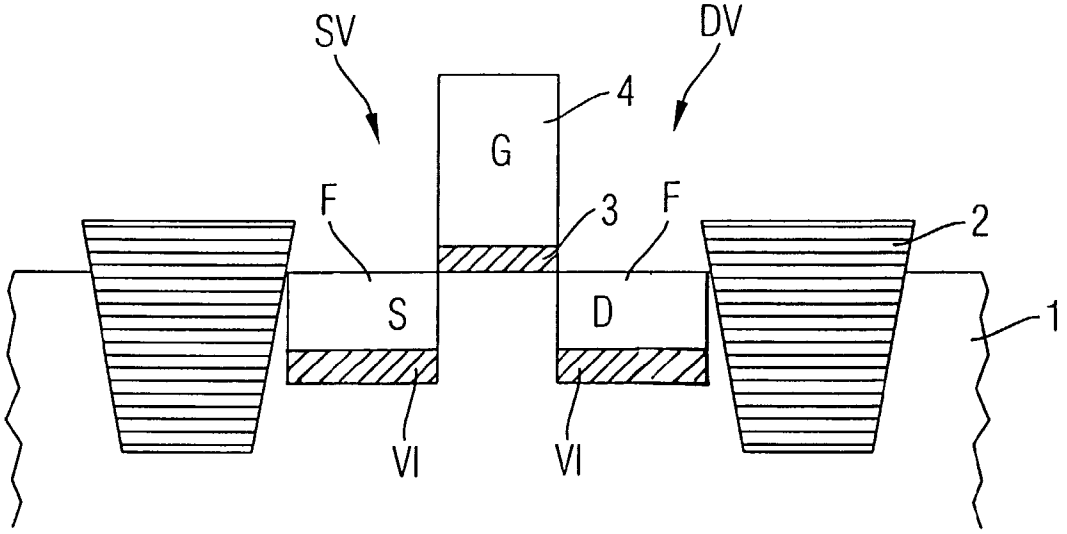
(84) Bestimmungsstaaten *(regional)*: europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

Veröffentlicht:
— *mit internationalem Recherchenbericht*

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(54) **Title:** FIELD EFFECT TRANSISTOR WITH LOCAL SOURCE/DRAIN INSULATION AND ASSOCIATED METHOD OF PRODUCTION

(54) **Bezeichnung:** FELDEFFEKTTRANSISTOR MIT LOKALER SOURCE-/DRAINISOLATION SOWIE ZUGEHÖRIGES HERSTELLUNGSVERFAHREN



(57) **Abstract:** The invention relates to a field effect transistor with local source/drain insulation and to an associated method of production. An interspaced source recess (SV) and a drain recess (DV) are created in a semiconductor substrate (1) and a recess insulating layer (VI) is formed at least in a bottom area of the source and drain recess (SV, DV) and an electric conducting filling layer (F) is placed in said source and drain recesses (SV, DV) in order to create source and drain areas (S, D). A field effect transistor is thus provided, exhibiting reduced junction capacities, together with a gate dielectric (3) and a gate layer (4).

[Fortsetzung auf der nächsten Seite]

WO 2004/034458 A1

(57) Zusammenfassung: Die Erfindung betrifft einen Feldeffekttransistor mit lokaler Source-/Drainisolation sowie ein zugehöriges Herstellungsverfahren, wobei in einem Halbleitersubstrat (1) eine Sourcevertiefung (SV) und eine Drainvertiefung (DV) voneinander beabstandet ausgebildet sind und eine Vertiefungs-Isolationsschicht (VI) zumindest in einem Bodenbereich der Source- und Drainvertiefung (SV, DV) ausgebildet ist und eine elektrisch leitende Füllschicht (F) zur Realisierung von Source- und Draingebieten (S, D) die Source- und Drainvertiefungen (SV, DV) auffüllt. Gemeinsam mit einem Gatedielektrikum (3) und einer Gateschicht (4) erhält man auf diese Weise einen Feldeffekttransistor mit verringerten Junction-Kapazitäten.