

明 細 書

発明の名称： 表面実装用のデバイスおよびコンデンサー素子

技術分野

[0001] 本発明は、各種電子機器に採用されるコンデンサー素子、コンデンサーユニットおよびそれらを内蔵した実装用のデバイスに関するものである。

背景技術

[0002] 日本国特許公開公報 2006-80423号（文献1）には、チップ形固体電解コンデンサに関し、ESL特性を改善し、更なる低ESL化が可能なチップ形固体電解コンデンサを提供することを目的とする技術が開示されている。文献1のチップ形固体電解コンデンサは、コンデンサ素子と、このコンデンサ素子の陽極部が接合される陽極接合部を平面部の一端に設けると共に実装用の陽極端子部を下面に設けた陽極リードフレームと、上記コンデンサ素子の陰極部を搭載して接合すると共に上記陽極リードフレームの平面部上に絶縁層を介して載置される平面部、ならびに実装用の陰極端子部を下面に設けた陰極リードフレームからなる構成である。このチップ形固体電解コンデンサは、陰極リードフレームに流れる電流の向きと陽極リードフレームに流れる電流の向きが逆方向になって打ち消し合うようになり、ESLを大幅に低減することができる。

[0003] 日本国特許公開公報 2001-102252号（文献2）には、小型で大容量のチップコンデンサを提供する技術が開示されている。文献2には、一端に陽極リードを導出し、外周面に陰極を形成したコンデンサ素子に対して樹脂封止を行う固体電極コンデンサの製法において、コンデンサ完成品に対するコンデンサ素子の体積比率を向上させるために、内外両面に夫々プラス電極とマイナス電極を有し、同極どうしをスルーホールで導通した回路基板の内面にコンデンサ素子を接着して該面のマイナス電極とコンデンサ素子の陰極を電氣的に接続するとともにコンデンサ素子の陽極リードをプラス電極に接合した後、回路基板の外面を露出させてコンデンサ素子に対して樹脂封

止を行うことが開示されている。

発明の概要

- [0004] 電子機器の高周波化に伴って電子部品の一つであるコンデンサーにも高周波領域でのインピーダンス特性に優れるコンデンサーが求められている。パーソナルコンピュータのCPU周り等に固体電解コンデンサーが多く用いられている。固体電解コンデンサーは、小型で大容量が得られるコンデンサーの1種であり、弁作用を備えたアルミニウムなどの金属箔の表面に誘電体酸化皮膜を形成して陽極部と陰極部に分離し、陰極部の誘電体酸化皮膜の上に導電性高分子からなる固体電解質層と陰極電極とを順次積層形成することにより構成されたものである。電子機器のCPU周りに用いられるコンデンサーには、小型大容量であることに加え、さらに、高周波化に対応し、ノイズ除去や過渡応答性に優れた性能を得るために、低ESR（等価直列抵抗）および低ESL（等価直列インダクタンス）であることが要求されている。
- [0005] 固体電解コンデンサーなどのコンデンサー素子を備えたチップ型の表面実装デバイスにおいて低ESL化する1つの方法は、陽極端子と陰極端子とを同一面に設け、それらを絶縁可能な範囲で近接配置することにより電流経路を短縮する（ループ面積を抑制する）ことである。低ESL化する他の方法の1つは、多端子化することにより、電流の流れる方向を多様化することである。
- [0006] 本発明の態様の1つは、基板と、基板の搭載側の面に搭載されたコンデンサー素子とを有し、外装用の樹脂により基板およびコンデンサー素子を含めて一体に成形された表面実装用のデバイスである。
- [0007] 基板は、コンデンサー素子の第1の電極部に電氣的に接続された第1の端子電極と、コンデンサー素子の第2の電極部に電氣的に接続された第2の端子電極とを含む。さらに、当該デバイスの実装面に、基板の搭載側の面の反対側の実装側の面の少なくとも1部が現れ、第1の端子電極および第2の端子電極が当該デバイスの実装面の全周にわたり近接配置されている。このデバイスは、実装面の全周に沿って第1の端子電極および第2の端子電極が隣

り合った状態で外部接続可能なように現れ、第1の端子電極および第2の端子電極の少なくともいずれかにより、このデバイスの実装面の全周が実質的に形成されている。

[0008] このデバイスにおいては、デバイスの実装面の全周、すなわち、方形または矩形のデバイスであれば、四角形の実装面の四方の辺および隅を含めた角形のリング状の周辺部分全体を実質的に端子電極部分とし、リング状の端子電極部分を第1の端子電極、典型的には陽極端子と、第2の端子電極、典型的には陰極端子とに分割している。デバイスの実装面の全周にわたり端子電極が近接配置されているので、電流経路を短縮でき、さらに、デバイス内を流れる電流の方向を多様化できる。したがって、デバイスのESLを抑制できる。また、デバイスの全周にわたり端子電極が配置されているので、デバイスが実装されるプリント配線板の配線パターンに対するフレキシビリティが高い。

[0009] 基板は積層板（プリント配線型）であることが好ましい。基板はリードフレーム型であってもよいが、第1および第2の端子電極をデバイスの実装面の全周に沿って配置するためには複雑な形状のリードフレームが要求されることがある。基板がプリント配線型であれば、基板の全周に沿って形成された電極をパターニングすることにより、デバイスの実装面の全周に沿って現れる第1および第2の端子電極を形成しやすい。すなわち、基板の実装側の面の少なくとも全周に沿って、第1の端子電極と第2の端子電極とが隣り合った状態（近接配置された状態）で、第1の端子電極および第2の端子電極が基板の実装側の面の全周を実質的に覆うように形成されていることが望ましい。

[0010] コンデンサー素子は、弁作用基体を含む固体電解コンデンサー素子、電解液タイプのコンデンサー素子、セラミックタイプのコンデンサー素子、フィルムタイプのコンデンサー素子であってもよい。固体電解コンデンサーは、小型で大容量が得られるコンデンサーの1種であり、このデバイスに適したコンデンサー素子の1つである。

[0011] さらに、コンデンサ素子は、弁作用を備えた板状の基体と、基体の第1

の面に設けられた第1の機能層と、基体の第2の面に設けられた第2の機能層と、第1の面の第1の絶縁層の周縁を覆う第1の絶縁層と、第2の面の第2の機能層の周縁を覆う第2の絶縁層と、基体を貫通する少なくとも1つの貫通孔とを含むことが望ましい。基体は、基板に対し反対側を向いた第1の面と、基板に向いた第2の面とを含む。第1の機能層は、基板の第1の面に形成された層であって、第1の面に順次積層された誘電体酸化被膜と、固体電解質層と、電極層とを含む。第2の機能層は、基体の第2の面に形成された機能層であって、第2の面に順次積層された誘電体酸化被膜と、固体電解質層と、電極層とを含む。このコンデンサ素子は、さらに、少なくとも1つの貫通孔の内周面に、基体に接する側から順次積層された誘電体酸化被膜、固体電解質層および電極層を含む第3の機能層を含み、第3の機能層の電極層が、第1の機能層の電極層と第2の機能層の電極層とを電氣的に接続する。第1の電極部は、基体の第1の面の少なくとも1部が、第1の絶縁層の外周側に現れることにより形成され、第2の電極部は、第1の機能層の電極層、第2の機能層の電極層および第3の機能層の電極層の少なくとも1部により形成される。

[0012] このコンデンサ素子は、貫通孔に設けられた第3の機能層の電極層により、第1の機能層の電極層と、第2の機能層の電極層とを電氣的に接続できる。したがって、弁作用を備えた基体の両面に設けられた電極層を、基体内の構造により電氣的に接続できる。これらの電極層は典型的には陰極となる。なお、典型的には陰極として機能する電極層は、固体電解質層が真の陰極として機能する役割を担っている。

[0013] さらに、貫通孔の内周面に第3の機能層を設けることにより、貫通孔の内周面に固体電解コンデンサとして機能する層を形成できる。このため、基体に設けられる貫通孔により第1の面（上面）および第2の面（下面）の面積が低下することによる容量の低下を抑制できる。したがって、簡易な構成で上面と下面に形成されている電極層（典型的には陰極部（陰極））の電気

的な接続を図れ、さらに、電極層の面積の低下を抑制できる。

[0014] 典型的な弁作用基体（弁作用金属）はアルミニウムであるが、タンタルなどの他の弁作用を有する金属基体であってもよい。

[0015] 当該デバイスは、また、基板の搭載側の面に垂直な方向に積み重ねられた複数のコンデンサー素子を有することが好ましい。すなわち、このデバイスは、コンデンサー素子を複数個、第1の方向に積み重なるように配置したコンデンサーユニットを有することが好ましい。

[0016] これら複数のコンデンサー素子の各々の素子は、弁作用を備えた板状の基体であって、基板に対し反対側を向いた第1の面および基板に向いた第2の面とを含む基体と、基体の第1の面に順次積層された誘電体酸化被膜、固体電解質層および電極層を備えた第1の機能層と、基体の第2の面に順次積層された誘電体酸化被膜、固体電解質層および電極層を備えた第2の機能層とを含む。各々の素子の第1の電極部は、各々の素子の基体の第1の面の4隅を含む部分が、複数のコンデンサー素子の他の素子に対し垂直な方向に現れることにより形成され、各々の素子の第2の電極部は、第1の機能層の電極層および第2の機能層の電極層の少なくとも1部により形成される。

[0017] このコンデンサーユニットにおいては、積み重ねられている（積層されている）各々の素子の第1の面の4隅が、他の素子に対して、各々の素子を積層した垂直な方向（第1の方向）に現れる。したがって、各々の素子の第1の面の4隅は、他の素子の4隅と相互に重ならず、垂直な方向からアクセスできる。このため、各々の素子の第1の面の4隅を第1の電極部とし、それらの第1の電極部に対し、垂直な方向（第1の方向）から、様々な方法により、第1の電極部と基板とを接続できる。したがって、複数のコンデンサー素子を積層したデバイスにおいて、各々の素子と電氣的な接続を得やすく、接触不良なども発生しにくく、低コストで信頼性の高い大容量のデバイスを提供できる。これら第1の電極部は典型的には陽極となり、典型的な接続方法は、ワイヤーボンディングおよびリードフレームである。

[0018] さらに、このデバイスにおいては、複数の素子のそれぞれの4隅が異なっ

た方向に現れるように積み重ねられる。したがって、各々の素子においては典型的には4方に電流が流れ、デバイスにおいては、さらに多様な方向に電流が流れる。このため、磁界が打ち消されやすく、低ESLのデバイスを提供しやすい。

[0019] また、このデバイスにおいては、複数の素子のそれぞれの4隅が異なった方向に現れるように積み重ねられる。このため、多種多様の方向にボンディングワイヤーやリードフレームを配置しやすく、多数の接続電極を備えたデバイスを構成しやすい。

[0020] さらに、このデバイスにおいては、複数の素子のそれぞれの4隅が異なった方向に現れるように積み重ねられる。したがって、各々の素子の基体のほとんどの部分は相互に積層された状態になる。このため、多数の電極部が周辺に現れたデバイスであって、スペース効率が高く、垂直な方向（第1の方向）から見た状態が対称的（回転対称的）な形状の安定したデバイスを提供できる。したがって、コンパクトで、大容量、低ESRおよび低ESLで、さらに、基板あるいはリードフレームとの接続も容易で、多電極化も容易なデバイスを提供できる。

[0021] 基板は、コンデンサー素子の第1の電極部に電氣的に接続された第1の接続電極と、コンデンサー素子の第2の電極部に電氣的に接続された第2の接続電極とを含むことが望ましい。第1の接続電極は、基板の搭載側の面の、実装側の面の第1の端子電極に対峙（対応）する位置に設けられる。第2の接続電極は、実装側の面の第2の端子電極に対峙（対応）する位置に設けられる。また、第1の端子電極および第1の接続電極と、第2の端子電極および第2の接続電極とは、それぞれ基板を貫通する貫通電極（スルーホール）により接続される。基板に搭載されたコンデンサー素子と、基板の搭載側の面の第1および第2の接続電極とは、ワイヤーボンディングあるいは導電性ペーストなどの導電性部材により接続できる。

[0022] このデバイスでは、第1の電極部と第1の接続電極とはワイヤーボンディング（ボンディングワイヤー）により接続できる。第2の電極部と第2の接

続電極とは、直にまたは導電性ペーストを介して接続できる。

- [0023] 典型的なデバイスでは、第1の電極部はコンデンサー素子の陽極であり、第2の電極部はコンデンサー素子の陰極であり、第2の端子電極が陰極端子となる。したがって、第1の端子電極の面積より第2の端子電極の面積が大きくなることにより第2の端子電極によるシールド効果を得やすい。面積を広げるために、第2の端子電極を基板の中心方向に広げることができる。基板の実装側の面の第2の端子電極は、基板の周囲を除き、外装樹脂または絶縁性のマスキング部材により覆ってもよい。第2の端子電極を基板の周縁に沿って連続して形成することも有効である。
- [0024] 複数の第1および第2の端子電極が、デバイスの全周に沿って交互に現れていてもよい。複数の第1の端子電極が実装面の4隅を含む部分にそれぞれ現れ、複数の第2の端子電極が実装面の4辺にそれぞれ現れていてもよい。実装面のコーナー部分も端子電極として使用できる。複数の第2の端子電極が実装面の対向する2辺および4隅を含む部分にそれぞれ現れていてもよい。第2の端子電極が陰極端子であれば、陽極端子を挟んだ対向する辺に陰極端子を配置することにより、電源ラインを跨いで陰極端子を配置しやすい。
- [0025] 第2の端子電極がデバイスの全周に沿って連続して現れ、第2の端子電極の内側に第1の端子電極が現れていてもよい。複数の第1の端子電極が第2の端子電極に囲われるように現れていてもよい。第2の端子電極が陰極端子であれば、陽極端子を陰極端子で囲むことになるため実装する基板で発生するノイズをシールドしやすい。
- [0026] 第3の機能層の電極層により第1の機能層の電極層と第2の機能層の電極層とが接続されているコンデンサー素子は、基体の周辺（周縁部分）を用いて第1の機能層の電極層および第2の機能層の電極層を電氣的に接続する必要がない。したがって、コンデンサー素子の電極層と絶縁層とにより分離された第1の電極部（典型的には陽極部（陽極））を、基体の周縁の全周に断続的に配置できる。このコンデンサー素子は、このデバイスに搭載するのに適している。第1の電極部を、基体の周縁の全周に連続的に、または断続的

に配置でき、コンデンサー素子を搭載する基板の配線パターンに対するフレキシビリティをいっそう向上できる。

[0027] さらに、基体の内部（中心部など）を貫通するように基体の両面に設けられた陰極を接続し、基体の周縁に陽極を断続または連続的に配置することにより、コンデンサー素子における極間の距離が縮まる。このため、ESRを低減しやすく、また、コンデンサー素子における電流の流れる方向を多様化できるのでESLを低減しやすい。したがって、小型大容量で、低ESRおよび低ESLであり、さらに、接続端子の配置に対してフレキシブルに対応しやすいコンデンサー素子、およびそれを搭載したデバイスを提供できる。

[0028] 貫通孔の少なくとも1つは、この基体の中央に設けられていることが望ましい。貫通孔に設けられた第3の機能層と、基体の周縁に沿って配置される第1の電極部との距離が大きく変動することを抑制でき、電流の流れる方向を多様化できる。このため、さらに低ESRおよび低ESLのコンデンサー素子、およびそれを搭載したデバイスを提供しやすい。複数の貫通孔を基体に線および／または点対称に配置することも有効である。

[0029] 積み重ねられた複数のコンデンサー素子を有するコンデンサーユニットおよびコンデンサーユニットを搭載したデバイスにおいては、下側のコンデンサー素子の第1の機能層の電極層と上側のコンデンサー素子の第2の機能層の電極層とを電氣的に接続することにより、複数のコンデンサー素子を並列に接続できる。接続するための電極は、基体を貫通する電極であってもよく、基体の側面に設けられた電極であってもよい。

[0030] 貫通電極であれば複数のコンデンサー素子の基体を貫通する貫通孔の内周面に第3の機能層を設けることにより、貫通孔の内周面を固体電解コンデンサーとして機能させることができる。側面に設けられた電極であれば複数のコンデンサー素子の基体の側面に第3の機能層を設けることにより、側面を固体電解コンデンサーとして機能させることができる。したがって、上記複数のコンデンサー素子の各々を積層することにより、さらに大容量でかつ低ESRおよび低ESLのコンデンサーユニット（素子積層体）、およびその

ようなコンデンサーユニットを搭載したデバイスを提供しやすい。

[0031] コンデンサーユニット（素子積層体）の各素子（コンデンサー素子）は、第1の電極部が4隅に限らず、基体の第1の面の全周に現れているものであってもよい。基体の第1の面の全周に第1の電極部（典型的には陽極部（陽極））が現れ、基体の第1の面の第1の機能層の電極層（典型的には陰極部（陰極））を取り囲む。したがって、陽極部と陰極部とが対向する位置に配置されたコンデンサー素子を提供できる。このため、積層された各コンデンサー素子における極間の距離が縮まるのでESRを低減しやすく、さらに積層された各コンデンサー素子における電流の流れる方向を多様化できるのでESLを低減しやすい。したがって、さらに低ESRおよび低ESLのコンデンサーユニット、およびそのようなコンデンサーユニットを搭載したデバイスを提供できる。

[0032] 複数の素子のそれぞれの4隅を異なった方向に現れるように積み重ねる配置の1つは、各々の素子の第1の面の4隅を第1の円（ある1つの円）の円周に沿って配置することである。各々の素子が同一形状、たとえば、四角形であれば、それらの素子を、ある1点を中心として積層することにより、それらの素子の4隅（典型的には陽極部）は、上記ある1点のまわりに形成されるある1つの円周に沿って（内接するように）配置される。このため、複数のコンデンサー素子を積層したときの偏りを抑制でき、バランスのよい、形状的に安定したコンデンサーユニット、およびそのようなコンデンサーユニットを搭載したデバイスを提供しやすい。

[0033] コンデンサーユニットの各素子は、第1の電極部が4隅に加え、基体の第1の面の対峙する2辺に現れているものであってもよい。このコンデンサーユニットにおいては、各々の素子の第1の面の対峙する2辺が、複数のコンデンサー素子の他の素子に対して、各々の素子を積層した方向、すなわち基板の搭載側の面に垂直な方向（第1の方向）に現れている。

[0034] デバイスに搭載されるコンデンサーユニットは、垂直な方向（第1の方向）に順次積み重なるように配置された第1のコンデンサー素子および第2の

コンデンサ素子を有し、第2のコンデンサ素子は第1のコンデンサ素子よりも小さく、第2のコンデンサ素子の基体の周縁は第1のコンデンサ素子の基体の周縁よりも内側に配置されているものであってもよい。第2のコンデンサ素子の全体が第1のコンデンサ素子の垂直な方向（第1の方向）に搭載された状態になるので、第2のコンデンサ素子が第1の電極部を含めて安定しやすい。

[0035] 本発明の異なる態様の1つは、上記のデバイスが実装されたプリント配線板およびそのプリント配線板を有する電子機器である。上記デバイスにより大容量、低ESRおよび低ESLの表面実装型（チップタイプ）を提供でき、デカップリングコンデンサまたはバイパスコンデンサとしてCPUなどの半導体デバイスとともに用いノイズの発生を抑制できる。また、上記デバイスは、DC/DC電源の平滑コンデンサなどを含む様々な用途に好適である。

[0036] 本発明は、上記のデバイスに好適なコンデンサ素子を含む。コンデンサ素子は、并作用を備えた板状の基体と、基体の第1の面に順次積層された誘電体酸化被膜、固体電解質層および電極層を含む第1の機能層と、基体の第2の面の第2の機能層の周縁を覆う第2の絶縁層と、基体の第1の面の少なくとも1部が第1の絶縁層の外周側に現れることにより形成された第1の電極部と、基体を貫通する少なくとも1つの貫通孔とを有するコンデンサ素子である。このコンデンサ素子においては、さらに、少なくとも1つの貫通孔の内周面に、基体に接する側から順次積層された誘電体酸化被膜、固体電解質層および電極層を含む第3の機能層が設けられており、第3の機能層の電極層が、第1の機能層の電極層と第2の機能層の電極層とを電気的に接続している。このコンデンサ素子においては、第1の電極部は、第1の面の周縁の全周に沿って断続的または連続的に現れていることが望ましい。貫通孔の少なくとも1つは、この基体の中央に設けられていることが望ましい。

い。

[0037] 本発明は、さらに、上記のデバイスに好適なコンデンサーユニットを含む。コンデンサーユニットは、第1の方向に積み重なるように配置された複数のコンデンサー素子を有するコンデンサーユニットである。複数のコンデンサー素子の各々の素子は、弁作用を備えた板状の基体と、基体の第1の面に順次積層された誘電体酸化被膜、固体電解質層および電極層を含む第1の機能層と、基体の第2の面に順次積層された誘電体酸化被膜、固体電解質層および電極層を含む第2の機能層と、基体の第1の面の4隅を含む部分が現れることにより形成された第1の電極部とを含み、各々の素子の第1の面の4隅は、複数のコンデンサー素子の他の素子に対し第1の方向に現れている。

[0038] また、本発明は、上記コンデンサーユニットに好適な製造方法を含む。複数のコンデンサー素子の各々の素子は、弁作用を備えた板状の基体と、基体の第1の面に順次積層された誘電体酸化被膜、固体電解質層および電極層を含む第1の機能層と、基体の第2の面に順次積層された誘電体酸化被膜、固体電解質層および電極層を含む第2の機能層と、基体の第1の面の4隅を含む部分が現れることにより形成された第1の電極部とを含む。第1の方向に積み重なるように配置された複数のコンデンサー素子を有するコンデンサーユニットを製造する方法は、各々の素子の第1の面の4隅が、複数のコンデンサー素子の他の素子に対して第1の方向に現れるように、各々の素子を積層する工程を有する。

図面の簡単な説明

[0039] [図1] デバイスの概要を示す斜視図。

[図2] デバイスの実装面を示す図。

[図3] デバイスを、モールド樹脂を除いた状態で示す斜視図。

[図4] デバイスを基板とコンデンサー素子に展開した図。

[図5] デバイスのV-V断面図（図1のV-V断面）。

[図6] コンデンサー素子を平面（第1の面側）から見た様子を示す図。

[図7] コンデンサー素子を底面（第2の面側）から見た様子を示す図。

[図8] コンデンサー素子の構造を示すVIII－VIII断面図（図6のVIII－VIII断面）。

[図9] コンデンサー素子の構造を拡大して示す断面図。

[図10] デバイスを搭載したプリント配線板の一部を示す断面図。

[図11] 異なる例のデバイスの実装面を示す図。

[図12] 異なる例のデバイスの実装面を示す図。

[図13] 異なる例のデバイスの実装面を示す図。

[図14] 異なる例のデバイスの実装面を示す図。

[図15] 異なる例のデバイスの実装面を示す図。

[図16] 異なる例のデバイスの実装面を示す図。

[図17] 異なる例のデバイスの実装面を示す図。

[図18] 異なる例のデバイスの実装面を示す図。

[図19] 異なる例のコンデンサー素子を平面（第1の面側）から見た様子を示す図。

[図20] 異なる例のコンデンサー素子の斜視図。

[図21] 図20に示すコンデンサー素子のXXI－XXI断面図（図20のXXI－XXI断面）。

[図22] 異なる例のコンデンサー素子の斜視図。

[図23] 異なる例のデバイスの概要を示す斜視図。

[図24] 図23に示すデバイスの実装面を示す図。

[図25] 図23に示すデバイスを、モールド樹脂を除いた状態で示す斜視図。

[図26] 図23に示すデバイスを基板とコンデンサーユニットに展開した図。

[図27] 図23に示すデバイスのXXVII－XXVII断面図（図23のXXVII－XXVII断面）。

[図28] 複数のコンデンサー素子の各々を積層する状態を展開して示す図。

[図29] 図26に示すコンデンサーユニットの平面図。

[図30] 図26に示すコンデンサーユニットの底面図。

[図31] 図26に示すコンデンサーユニットのXXXI－XXXI断面図（図26のXXX

1-XXXI断面)。

[図32]異なる例のデバイスを、モールド樹脂を除いた状態で示す平面図。

[図33]異なる例のデバイスを、モールド樹脂を除いた状態で示す平面図。

[図34]図33に示すコンデンサー素子の平面図。

[図35]図34に示すコンデンサー素子を積層したコンデンサーユニットを示す平面図。

[図36]異なる例のデバイスを、モールド樹脂を除いた状態で示す平面図。

[図37]図36に示すコンデンサーユニット素子の平面図。

[図38]異なる例のデバイスを、モールド樹脂を除いた状態で示す平面図。

[図39]図38に示すコンデンサーユニットの平面図。

[図40]異なる例のコンデンサーユニットの平面図。

[図41]異なる例のデバイスを示す断面図。

発明を実施するための形態

[0040] 1. デバイス

1. 1 デバイスの概要

図1に、本発明に係るデバイスの一例の外観を示している。このデバイス1は、基板10と、基板10の搭載側の面11に搭載されたコンデンサー素子20とを有し、外装用の樹脂(モールド樹脂)3により基板10およびコンデンサー素子20を含めて方形または矩形となるように一体に成形された表面実装用のデバイスである。

[0041] 1. 2 基板

図2に、デバイス1の実装面2を示している。このデバイス1では、基板10の実装側の面12が外装用の樹脂3に覆われておらず、実装面2として現れている。デバイス1の実装面2、すなわち、基板10の実装側の面12には、全周13にわたり、第1の端子電極51と、第2の端子電極52とが近接するように配置されている。すなわち、基板10の実装側の面12の4辺14a、14b、14cおよび14dと、4隅(4コーナー)15a、15b、15cおよび15dとの全体にわたり、第1の端子電極51と、第2

の端子電極 5 2 とが絶縁用の隙間（ギャップ） 5 9 を介して隣り合う様に形成されている。このため、基板 1 0 の実装側の面 1 2 の全周 1 3 は、実質的に、交互に形成された第 1 の端子電極 5 1 と第 2 の端子電極 5 2 とにより覆われている。さらに、デバイス 1 の実装面 2 は、全周（本例では基板 1 0 の全周 1 3）にわたり、第 1 の端子電極 5 1 と第 2 の端子電極 5 2 とにより形成され、それらの端子電極 5 1 および 5 2 が絶縁用の隙間（ギャップ） 5 9 を介して隣り合う様に現れており、外部のプリント配線板に設けられる接続端子などと電氣的に接続できるようになっている。

[0042] このデバイス 1 の第 1 の端子電極 5 1 は、コンデンサー素子 2 0 の第 1 の電極部（陽極）に接続された陽極端子である。デバイス 1 は、4 つの陽極端子 5 1 を備えており、基板 1 0 の実装側の面 1 2 の 4 隅 1 5 a ~ 1 5 d のそれぞれに形成されている。デバイス 1 の第 2 の端子電極 5 2 は、コンデンサー素子 2 0 の第 2 の電極部（陰極）に接続された陰極端子であり、基板 1 0 の実装側の面 1 2 の、陽極端子 5 1 を除いた部分に配置されている。すなわち、陰極端子 5 2 は、基板 1 0 の実装側の面 1 2 の中心部 1 6 および周囲の 4 辺 1 4 a ~ 1 4 d を覆うように形成されている。陽極端子 5 1 および陰極端子 5 2 は、絶縁用のギャップ 5 9 により区切られている。絶縁用のギャップ 5 9 は、0. 1 mm から 2 mm 程度であり、0. 2 mm から 1 mm 程度であることがさらに好ましい。ギャップ 5 9 は、空間であっても、絶縁用の樹脂により埋められていてもよい。

[0043] 図 3 に、デバイス 1 のモールド樹脂 3 を除いた状態を示している。図 4 に、基板 1 0 とコンデンサー素子 2 0 とを分離した状態を示している。図 5 に、デバイス 1 の V-V 断面図（図 1 の V-V 断面）を示している。デバイス 1 の基板 1 0 は絶縁板（絶縁基板）の両面に導電体（導電層、電極層）が形成された積層板である。この基板 1 0 は、ほぼ正方形にカットされたガラス布・エポキシ樹脂銅張積層板（ガラエポ基板）である。基板 1 0 の搭載側の面 1 1 および実装側の面 1 2 の銅箔がエッチングなどによりパターニングされ、両方の面 1 1 および 1 2 に同一の電極パターンが形成されている。したがっ

て、基板 10 の搭載側の面 11 には、実装側の面 12 の複数の陽極端子 51 に対峙（対応）する位置に陽極端子 51 と同じ形状の複数の接続電極が形成されており、コンデンサ素子 20 の陽極（陽極部）21 に接続するための陽極接続電極 56 となっている。また、基板 10 の搭載側の面 11 には、実装側の面 12 の陰極端子 52 に対峙（対応）する位置に、陰極端子 52 と同じ形状の接続電極が形成されており、コンデンサ素子 20 の陰極（陰極部）22 に接続するための陰極接続電極 57 となっている。

[0044] すなわち、基板 10 の搭載側の面 11 においても、全周 13 に沿って陽極

接続電極 56 および陰極接続電極 57 が配置されており、4 つの陽極接続電極 56 は搭載側の面 11 の 4 隅 15a ~ 15d のそれぞれに形成されている。陰極接続電極 57 は、基板 10 の搭載側の面 11 の、陽極接続電極 56 を除いた部分に配置されている。すなわち、陰極接続電極 57 は、基板 10 の搭載側の面 11 の中心部 16 および周囲の 4 辺 14a ~ 14d を覆うように形成されている。陽極接続電極 56 および陰極接続電極 57 は、実装側の面 12 と同様に絶縁用のギャップ 59 により分離されている。

[0045] さらに、それぞれの陽極端子 51 および陽極接続電極 56 は基板 10 を貫通する貫通電極（スルーホール、ビアホール）55 により電氣的に接続されている。また、陰極端子 52 および陰極接続電極 57 も基板 10 を貫通する貫通電極 55 により電氣的に接続されている。貫通電極 55 は、陽極端子 51 と陽極接続電極 56 との間、陰極端子 52 と陰極接続電極 57 との間の電気抵抗（接続抵抗）を抑制するように適当な数か適当なピッチで設けられている。

[0046] 1. 3 コンデンサ素子

図 6 に、コンデンサ素子 20 の平面図（第 1 の面（上面）から見た様子）を示している。図 7 に、コンデンサ素子 20 の底面図（第 2 の面（下面）から見た様子）を示している。図 8 に、コンデンサ素子 20 の VIII-VIII 断面図（図 6 の VIII-VIII 断面）を示している。さらに、図 9 に、コンデンサ素子 20 の構造を一部拡大した断面により示している。

[0047] デバイス 1 のコンデンサー素子（コンデンサーコア）20 は、固体電解コンデンサー（固体電解コンデンサー素子）であり、ほぼ正方形にカットされた板状または薄膜状の弁作用基体 23 を有する。弁作用基体 23 はエッチングなどにより多孔質化が施された第 1 の面 23 a および第 2 の面 23 b を含む。この例では、第 2 の面 23 b は、基板 10 の搭載側の面 11 に面した下側の面（下面）であり、第 1 の面 23 a は第 2 の面 23 b の反対側の上側の面（上面）である。これらの面 23 a および 23 b は上下逆転してもよく、左右に面していてもよい。

[0048] 基体 23 の第 1 の面 23 a には、第 1 の機能層 31 が形成されている。第 1 の機能層 31 は、第 1 の面 23 a に順次積層された誘電体酸化被膜 24 a、固体電解質層 25 a、および電極層 26 a を含む。弁作用基体 23 としては、エッチドアルミニウム箔、タンタル焼結体、ニオブ焼結体またはチタン焼結体があげられる。表面実装用の薄型のデバイス 1 を形成するという点を考慮すると、エッチドアルミニウム箔を用いたコンデンサー素子 20 が適している。誘電体酸化被膜 24 a は、基体 23 がエッチドアルミニウム箔であれば、その表面に形成された酸化アルミニウムである。固体電解質層 25 a は、ポリピロール、ポリチオフェン、ポリアニリン等の導電性高分子を電解重合などにより誘電体酸化被膜 24 a の上に積層させることにより形成できる。電極層 26 a の一例は、固体電解質層 25 a の上に積層された導電性ペーストであり、陰極部 22 を構成する。第 1 の機能層 31 は、接触抵抗を低減させるために固体電解質層 25 a と電極層 26 a の間に積層される高導電性のグラファイト層などを含んでもよい。

[0049] 基体 23 の第 2 の面 23 b には、第 2 の機能層 32 が形成されている。第 2 の機能層 32 は、第 2 の面 23 b に順次積層された誘電体酸化被膜 24 b、固体電解質層 25 b、および電極層 26 b を含む。電極層 26 b はコンデンサー素子 20 の陰極部 22 となる。なお、本明細書において陰極部 22 として機能するように記載している電極層 26 a および 26 b は見かけ上の陰極であって、固体電解質層 25 a および 25 b が真の陰極として機能する役

割を担っている。以下においても同様である。

- [0050] さらに、基体 23 の第 1 の面 23 a には、第 1 の機能層 31 の周縁 31 c を全周にわたり覆う第 1 の絶縁層 29 a が形成されている。また、基体 23 の第 2 の面 23 b には、第 2 の機能層 32 の周縁 32 c を全周にわたり覆う第 2 の絶縁層 29 b が形成されている。基体 23 の第 1 の面 23 a の周面（周縁）23 c は第 1 の絶縁層 29 a の外周側（外側、外縁側、周辺側）に現れ、コンデンサー素子 20 の第 1 の電極（陽極）部 21 となっている。なお、絶縁層 29 a および 29 b の一例は、ポリイミド樹脂、エポキシ樹脂などの絶縁性の樹脂からなる膜である。
- [0051] コンデンサー素子 20 は、さらに、弁作用基体 23 の中央を貫通する貫通孔（スルーホール）27 を含む。この貫通孔 27 の内周面 27 a には、第 3 の機能層 33 が形成されている。第 3 の機能層 33 は、弁作用基体 23 に接する側から順次積層された誘電体酸化被膜 24 c および固体電解質層 25 c を含む。さらに、貫通孔 27 には、銀ペーストなどの導電性ペーストが充填され、貫通電極 28 が形成されている。したがって、第 3 の機能層 33 は、基体 23 の側から誘電体酸化被膜 24 c、固体電解質層 25 c および貫通電極 28 が積層された構成となっている。
- [0052] 第 3 の機能層 33 の誘電体酸化被膜 24 c は、第 1 の機能層 31 の誘電体酸化被膜 24 a および第 2 の機能層 32 の誘電体酸化被膜 24 b と一体で生成されている。第 3 の機能層 33 の固体電解質層 25 c は、第 1 の機能層 31 の固体電解質層 25 a および第 2 の機能層 32 の固体電解質層 25 b と一体で生成されている。貫通孔 27 の内周面 27 a であっても、電解重合などの方法により、基体 23 の表面とともに固体電解質層 25 c を形成できる。さらに、第 3 の機能層 33 の貫通電極 28 は、第 1 の機能層 31 の電極層 26 a および第 2 の電極層 32 の電極層 26 b と物理的および電氣的に接するように設けられている。したがって、コンデンサー素子 20 においては、これら第 1～第 3 の機能層 31～33 により、表面 23 a および 23 b とともに貫通孔 27 の内周面 27 a が固体電解質コンデンサーとして機能するよう

に構成されており、さらに、これらの機能層 3 1 ~ 3 3 が陰極となる電極 2 3 a、2 3 b および 2 8 により並列に接続されている。

[0053] 図 5 に示すように、このコンデンサー素子 2 0 は、基体 2 3 の第 2 の面 2 3 b の第 2 の機能層 3 2 が基板 1 0 に面して搭載され、デバイス 1 が形成（製造）される。図 7 に示すように、このコンデンサー素子 2 0 は、第 2 の面 2 3 b の中央部分に電極層 2 6 b（陰極部 2 2）が現れており、基体 2 3 の第 2 の面 2 3 b の周囲（第 2 の機能層 3 2 の周縁 3 2 c）は絶縁層 2 9 b により全て覆われている。したがって、基板 1 0 の搭載側の面 1 1 に第 2 の面 2 3 b を向け、素子固定用の導電性ペースト 6 1 を介してコンデンサー素子 2 0 を載せることにより、コンデンサー素子 2 0 の陰極部 2 2 と基板 1 0 の陰極接続電極 5 7 とを電氣的に接続できる。

[0054] また、図 6 に示すように、弁作用基体 2 3 の第 1 の面 2 3 a、すなわち、搭載される側と反対側の面の 4 方の辺および 4 隅を含む周囲（全周、第 1 の機能層 3 1 の周縁 3 1 c）には、絶縁層 2 9 a の外周側に弁作用基体 2 3 が現れており陽極部 2 1 が形成されている。たとえば、第 2 の面 2 3 b の絶縁層 2 9 b と同様の絶縁層 2 9 a を第 1 の面 2 3 a にも形成し、その絶縁層 2 9 a の一部を剥いだり、カットしたりして基体 2 3 の表面 2 3 a を現すことにより、陽極部 2 1 を形成できる。

[0055] 図 5 に示すように、デバイス 1 においては、コンデンサー素子 2 0 の第 1 の面 2 3 a の周囲に沿って現れている陽極部 2 1 と、基板 1 0 の陽極接続電極 5 6 とは、金線、銅線、アルミニウム線などの導電性の金属ワイヤー 6 2 によりボンディングすることにより電氣的に接続できる。陽極部 2 1 が、平面視四角形のコンデンサー素子 2 0 の第 1 の面 2 3 a の全周に沿って現れているので、基板 1 0 の陽極接続電極 5 6 がコーナー部分に限らず、基板 1 0 の搭載側の面 1 1 の周囲に沿った位置に設けられていれば、ワイヤーボンディングにより接続できる。ボンディングワイヤー 6 2 を含めて、コンデンサー素子 2 0 は、外装用の樹脂（モールド樹脂）3 により保護される。モールド樹脂 3 としては、エポキシ樹脂などの封止樹脂があげられる。したがって

、このタイプのコンデンサー素子20は、基板10の様々な電極配置に対してフレキシブルに対応できる。

[0056] このコンデンサー素子20においては、弁作用基体23の第1の面23a、すなわち、搭載される側と反対側の面に第1の機能層31が形成され、その表面の電極層26aが陰極部22になっている。そして、電極層26aの4方の辺および4隅を含む周囲（全周）の外側には、絶縁層29aを挟んで弁作用基体23が現れており、第1の電極（陽極）部21が形成されている。このため、陽極（第1の電極）部21と陰極部22（電極層26a）とが対向した状態でそれらが接近して配置される。したがって、低ESLのコンデンサー素子20、およびそのようなコンデンサー素子20を搭載したデバイス1を提供しやすい。また、陽極部21と電極層26aとの位置関係（対峙する方向）は、第1の機能層31の周縁31cに沿って変わり、さらに、電極層26aは基体23の中央を貫通する第3の機能層33の貫通電極28を介して、基板10と接続する第2の機能層32の電極層26bと接続されている。したがって、第1の機能層31を流れる電流の向きは多様になり、この点でも低ESLのコンデンサー素子20、およびそのようなコンデンサー素子20を搭載したデバイス1を提供しやすい。

[0057] また、このコンデンサー素子20においては、基体23の中心を貫通するように設けられた貫通電極28により、基体23の両面23aおよび23bに設けられた陰極部22（電極層26aおよび26b）を接続している。このため、基体23の周縁に設けられた陽極（第1の電極）部21を連続して配置できる。したがって、貫通電極28を含めた陰極部22に対する陽極部21の配置が対称的である。さらに、基体23の中心を貫通する貫通電極28により両面の陰極部22が接続されているので、コンデンサー素子20は全体として電極間距離が縮まる。したがって、このコンデンサー素子20は、ESRも低減しやすい。

[0058] さらに、貫通孔27の内周面27aに第3の機能層33を形成することにより、貫通孔27の内周面27aを固体電解コンデンサーとして機能する面

積に加えることができる。このため、基体 23 の中心部あるいはその近傍を貫通するように貫通孔 27 を配置しても貫通孔 27 による容量の低下（基体 23 の表面の利用率の低下）を低減でき、貫通孔 27 を基体 23 の所望の場所にフレキシブルに配置できる。

[0059] また、陽極部 21 が電極層 26a を取り囲むようにコンデンサ素子 20 の全周にわたり形成されている。このため、様々な個所からの電氣的な接続が可能でコンデンサ素子 20 を搭載する基板 10 の配線パターンに対するフレキシビリティを向上できる。

[0060] 1. 4 使用例

図 10 に、デバイス 1 が搭載されたプリント配線板 70 の一部を断面により示している。プリント配線板（プリント基板）70 の上面 71 には CPU 75 が搭載されている。プリント配線板 70 の下面 72 の、CPU 75 の中央部分の電源端子 76 に対峙する位置に本例のコンデンサデバイス 1 が搭載されている。CPU 75 の電源端子 76 とデバイス 1 の実装面 2 の端子電極 51 および 52 は、プリント配線板 70 を貫通する複数の貫通電極 79 により電氣的に接続され、デバイス 1 はデカップリングコンデンサあるいはバイパスコンデンサとして機能する。

[0061] デバイス 1 は、たとえば、1 辺の長さが 10 mm 程度、厚さが 2 ~ 4 mm 程度の薄くコンパクトな表面実装用のコンデンサチップである。このデバイス 1 は、固体電解コンデンサ素子 20 を内蔵した低 ESR、低 ESL で大容量の薄くコンパクトなコンデンサデバイスである。このため、デバイス 1 の実装に要するスペースは小さい。また、デバイス 1 は実装面 2 に複数の陽極端子 51 が設けられた多極化デバイスである。このため、従来複数のコンデンサを搭載していた用途を 1 つまたは数少ないデバイス 1 によりカバーできる。したがって、コンパクト化が進んでいるノート型のパーソナルコンピュータなどの情報処理端末や、携帯電話、PDA などの携帯型の情報処理端末などの電子機器に好適である。

[0062] さらに、図 2 に示したように、デバイス 1 においては、全ての陽極端子 5

1 および陰極端子 52 が近接して配置されている。このため、電流経路を短縮しルーブ面積を低減でき、ESL を抑制できる。また、陽極端子 51 および陰極端子 52 がデバイス 1 の周囲に沿ってデバイス 1 の四方に配置されている。このため、デバイス 1 の内部を流れる電流の向きが多様になり、電流による磁場をキャンセルしやすい。したがって、さらに ESL を抑制でき、高周波領域のノイズ除去にさらに適したデバイス 1 を提供できる。

[0063] また、陽極端子 51 および陰極端子 52 とコンデンサ素子 20 の陽極部 21 および陰極部 22 とは短い距離で接続され、コンデンサ素子 20 においては中央に貫通電極 27 が配置され陽極部 21 および陰極部 22 との距離が短くなるように構成されている。したがって、ESR もさらに抑制できる。このため、急速な充放電にも対応が可能で、パーソナルコンピュータなどの CPU のバックアップ用としてさらに適したデバイス 1 を提供できる。このように、デバイス 1 により、さらにコンパクトで、低 ESR、低 ESL および大容量のコンデンサーデバイスを提供でき、携帯型の電子機器などについて、図 2 に示すように、デバイス 1 の実装面 2 には、全周 13 にわたり陽極端子 51 および陰極端子 52 が交互に外部接続が可能な状態で現れてい

る。したがって、多様な CPU 75 の電源端子 76 の配置や、プリント配線板 70 の配線パターンに対しフレキシブルに対応しやすい。また、デバイス 1 の実装面 2 の全周 13 にわたり端子電極 51 または 52 が配置されており、特に、陰極端子 52 が全周 13 に沿って配置される面積あるいは長さを増加できる。このため、陰極端子 52 をシールド電極として活用し、ノイズ漏れを抑制できる。また、陽極端子 51 は少なくとも 2 方向で陰極端子 52 と接する（近接する）ので、陽極端子 51 を陰極端子 52 でシールドしやすい。さらに、陰極端子 52 は、基板 10 の中央部分 16 を広く覆うように形成されている。このため、コンデンサ素子 20 を陰極端子 52 によりシールドしやすい。このように、このデバイス 1 は、プリント配線板 70 に実装しやすく、さらに、ノイズ除去にも適しているデバイスとなっている。

[0065] 2. デバイスの幾つかの例

以下では、本発明に係る異なるデバイスの例を示しているが、本発明を限定しようとするものではない。

[0066] 2. 1 実装面の配置

以下に示すデバイスは、デバイスの実装面 2、すなわち、基板 10 の実装側の面 12 の配置を変えた例であり、基板 10 に搭載されたコンデンサー素子 20 は共通するので、説明を省略する。

[0067] 図 11 に、異なるデバイス 81 の実装面 2、すなわち基板 10 の実装側の面 12 を示している。このデバイス 81 では実装面 2 の中央部分 16 をポリイミド樹脂あるいはエポキシ樹脂の絶縁シート（マスキング部材）35 により覆い、実装面 2 の全周 13 に沿った部分にのみ、陽極端子 51 および陰極端子 52 が現れるようにしている。すなわち、陽極端子 51 が実装面 2 の 4 隅 15a ~ 15d にそれぞれ現れ、陰極端子 52 が実装面 2 の 4 辺 14a ~ 14d にそれぞれ現れている。したがって、実装面 2 の全周 13 に陽極端子 51 および陰極端子 52 が交互に、実装面 2 の枠あるいは縁を構成するように現れている。

[0068] 陽極端子 51 および陰極端子 52 が実装面 2 に現れる面積を減らすことにより、プリント配線板 70 の配線との接続に要する半田などの量を低減でき、より実装に適したデバイスにすることができる。なお、以下に示す各実施例においても、図 11 に示した例と同様に、実装面 2 の中央部分を絶縁シートあるいは絶縁膜により覆い、同様の効果を得ることができる。

[0069] 図 12 に、さらに異なるデバイス 82 の実装面 2、すなわち基板 10 の実装側の面 12 を示している。このデバイス 82 では、陰極端子 52 が基板 10 の実装側の面 12 の全周 13 に沿って実装側の面 12 を囲うように連続して形成されている。さらに、4 つの陽極端子 51 は、それぞれが、連続した陰極端子 52 の内側に、陰極端子 52 に囲われるように設けられている。したがって、デバイス 82 の実装面 2 においても、陰極端子 52 は実装面 2 の全周 13 に沿って実装面 2 を囲うように連続して現れる。さらに、4 つの陽

極端子 5 1 は、それぞれが、連続した陰極端子 5 2 の内側に、陰極端子 5 2 に囲われるように現れ、外部接続可能になっている。このデバイス 8 2 においては、それぞれの陽極端子 5 1 が陰極端子 5 2 に囲われているのでノイズ漏れをさらに抑制できる。

[0070] 図 1 3 に、さらに異なるデバイス 8 3 の実装面 2、すなわち基板 1 0 の実装側の面 1 2 を示している。このデバイス 8 3 では、陽極端子 5 1 が基板 1 0 の実装側の面 1 2 の各コーナー 1 5 a ~ 1 5 d に形成され、さらに、陽極端子 5 1 が各コーナー 1 5 a ~ 1 5 d に沿って L 字形に形成されている。したがって、デバイス 8 3 の実装面 2 においても、L 字形の陽極端子 5 1 が各コーナー 1 5 a ~ 1 5 d のそれぞれに現れ、外部接続可能になっている。この例のように、デバイスの基板 1 0 の実装側の面 1 2 に形成される端子の形状、およびデバイスの実装面 2 に現れる端子の形状は、四角に限定されず、L 字形などであってもよい。

[0071] 図 1 4 に、さらに異なるデバイス 8 4 の実装面 2、すなわち基板 1 0 の実装側の面 1 2 を示している。このデバイス 8 4 では、陰極端子 5 2 が基板 1 0 の実装側の面 1 2 の全周 1 3 に沿って実装側の面 1 2 を囲うように連続して形成され、その内側に L 字形の陽極端子 5 1 が各コーナー 1 5 a ~ 1 5 d に形成されている。したがって、デバイス 8 4 の実装面 2 においても、陰極端子 5 2 が実装面 2 の全周 1 3 に沿って実装面 2 を囲うように連続して現れている。また、4 つの L 字形の陽極端子 5 1 が、陰極端子 5 2 の内側に、陰極端子 5 2 に囲われるように現れ、外部接続可能になっている。陰極端子 5 2 の内側に配置される陽極端子 5 1 は、四角に限定されず、この例のように L 字形であってもよく、また、円形などであってもよい。

[0072] 図 1 5 に、さらに異なるデバイス 8 5 の実装面 2、すなわち基板 1 0 の実装側の面 1 2 を示している。このデバイス 8 5 では、陰極端子 5 2 が、基板 1 0 の実装側の面 1 2 の対向する 2 辺 1 4 b および 1 4 d に形成されている。さらに、陰極端子 5 2 は、4 隅 1 5 a ~ 1 5 d を含む部分に形成されている。また、4 つの陽極端子 5 1 が、2 つ辺 1 4 b および 1 4 d に沿って延び

た陰極端子 5 2 に挟まれた辺 1 4 a および 1 4 c に、陰極端子 5 2 を挟んで形成されている。したがって、デバイス 8 5 の実装面 2 においても、陰極端子 5 2 が 2 辺 1 4 b および 1 4 d に沿って、4 つのコーナー 1 5 a ~ 1 5 d を含むように現れている。また、4 つの陽極端子 5 1 が実装面 2 の辺 1 4 a および 1 4 c に陰極端子 5 2 を挟んで現れている。このタイプのデバイス 8 5 においては、辺 1 4 b および 1 4 d に沿って配置された陰極端子 5 2 により、陽極端子 5 1 に接続される電源配線を挟み込むことができる。このため、ノイズの漏れを抑制しやすいデバイス 8 5 を提供できる。

[0073] 図 1 6 に、さらに異なるデバイス 8 6 の実装面 2、すなわち基板 1 0 の実装側の面 1 2 を示している。このデバイス 8 6 では、陽極端子 5 1 が、基板 1 0 の実装側の面 1 2 の全周 1 3 に沿って連続的に配置されている。さらに、陽極端子 5 1 の内側に、陰極端子 5 2 が 4 辺 1 4 a ~ 1 4 d に沿って、陽極端子 5 1 に近接するように配置されている。したがって、デバイス 8 6 の実装面 2 においては、陽極端子 5 1 が全周 1 3 に沿って現れ、その内側に 4 辺 1 4 a ~ 1 4 d に沿って陰極端子 5 2 が陽極端子 5 1 に近接するように現れている。このように、1 つの連続した陽極端子 5 1 と、1 つの連続した陰極端子 5 2 とによっても、デバイス 8 6 の実装面 2 および基板 1 0 の実装側の面 1 2 の全周 1 3 にわたり、陽極端子 5 1 と陰極端子 5 2 とを近接配置できる。

[0074] 図 1 7 に、さらに異なるデバイス 8 7 の実装面 2、すなわち基板 1 0 の実装側の面 1 2 を示している。このデバイス 8 7 では、陰極端子 5 2 が、基板 1 0 の実装側の面 1 2 の対向する 2 辺 1 4 b および 1 4 d に形成されている。さらに、陰極端子 5 2 は、4 隅 1 5 a ~ 1 5 d を含む部分に形成されている。また、6 つの陽極端子 5 1 が、2 つ辺 1 4 b および 1 4 d に沿って延びた陰極端子 5 2 に挟まれた辺 1 4 a および 1 4 c に陰極端子 5 2 を挟んで形成されている。したがって、デバイス 8 7 の実装面 2 においても、陰極端子 5 2 が 2 辺 1 4 b および 1 4 d に沿って、4 つのコーナー 1 5 a ~ 1 5 d を含むように現れている。また、6 つの陽極端子 5 1 が実装面 2 の辺 1 4 a および 1 4 c に陰極端子 5 2 を挟んで現れている。

よび 14 c に陰極端子 5 2 を挟んで現れている。このタイプのデバイス 8 7 においては、辺 14 b および 14 d に沿って配置された陰極端子 5 2 により、多数の陽極端子 5 1 に接続される電源配線を挟み込むことができる。このため、ノイズの漏れを抑制しやすいデバイス 8 7 を提供できる。このように、デバイス 8 7 においては、5 つ以上の陽極端子 5 1 を含む端子の組み合わせであっても、容易に実装面 2 および基板 10 の実装側の面 1 2 の全周 1 3 に沿って配置できる。

[0075] 図 1 8 に、さらに異なるデバイス 8 8 の実装面 2、すなわち基板 10 の実装側の面 1 2 を示している。このデバイス 8 8 では、1 または複数の陽極端子 5 1 が各辺 14 a ~ 14 d に配置されており、全周 1 3 の残りの部分に陰極端子 5 2 が配置されている。したがって、デバイス 8 8 の実装面 2 においても、1 または複数の陽極端子 5 1 が各辺 14 a ~ 14 d に現れ、実装面 2 の全周 1 3 の残りの部分に陰極端子 5 2 が現れている。このように、デバイス 8 8 においては、陰極端子 5 2 が 2 辺 14 b および 14 d に沿って、4 つのコーナー 15 a ~ 15 d を含むように現れ、2 つの陽極端子 5 1 が実装面 2 の辺 14 b および 14 d に陰極端子 5 2 に挟まれて現れ、4 つの陽極端子 5 1 が実装面 2 の辺 14 a および 14 c に陰極端子 5 2 を挟んで現れている。このタイプのデバイス 8 8 においては、各辺 14 a ~ 14 d に沿って配置された陰極端子 5 2 により、多数の陽極端子 5 1 に接続される電源配線を挟み込むことができ、ノイズの漏れを抑制しやすい。このように、デバイス 8 8 においては、5 つ以上の陽極端子 5 1 を含む端子の組み合わせであっても、容易に実装面 2 および基板 10 の実装側の面 1 2 の全周 1 3 に沿って配置できる。

[0076] 2. 2 コンデンサー素子の幾つかの例

図 1 9 ないし図 2 2 に、本発明に係る異なるデバイスの例を、デバイスからコンデンサー素子を抜き出して示している。以下の例は、基板 10 に搭載されるコンデンサー素子 20 の態様を変えた状態で、基板 10 は上述の態様を含む種々の態様のものを適宜選択できる。

- [0077] 図19に、コンデンサー素子の異なる例を示している。図19に示したコンデンサー素子20xは、基体23の外形が長方形であり、対角線の交点に貫通孔27を設け、第1の機能層31と第2の機能層32とを第3の機能層33により接続している。このように、コンデンサー素子20の形状は、正方形に限らず、長方形あるいはその他の平面視多角形であってもよい。さらに、コンデンサー素子20は円形であってもよい。表面実装用のデバイスの平面視はほとんど四角形であり、大容量のコンデンサーデバイスを提供するためのスペース効率を考慮すると、コンデンサー素子も平面視はほぼ正方形あるいはほぼ長方形などの四角形であることが望ましい。
- [0078] 図20に、コンデンサー素子のさらに異なる例を示している。図21に、コンデンサー素子20yの構成をXXI-XXI断面図（図20のXXI-XXI断面）により示している。このコンデンサー素子20yは、図19に示すコンデンサー素子20xと同様、ほぼ長方形にカットされた板状または薄膜状の弁作用基体23を有しており、2つの貫通孔27が短手方向の中心に沿って、長手方向の2箇所に、中心を挟んで対称な位置に設けられている。それぞれの貫通孔27の内周面27aには第3の機能層33が設けられており、第1の機能層31および第2の機能層32は、複数の第3の機能層33により接続されている。
- [0079] 低ESLおよび低ESRのコンデンサー素子、あるいはそのようなコンデンサー素子を搭載したデバイスを提供するためには、コンデンサーの陽極と陰極（グラウンド）との距離をできる限り小さくすることが望ましい。特に、基板10と接続される端子間距離を短くすることが好ましい。この例では、基板10に搭載される裏面（第2の面）23bの側の陰極部22、すなわち、第2の機能層32の電極層26bと、陽極部21との電氣的な距離を短縮し、その間の電氣的抵抗が小さいことが望ましい。コンデンサー素子20に基体23を貫通する孔27を多数設け、貫通孔27の断面積を小さくすることは有効である。貫通孔27を設けることによる第1および第2の面23aおよび23bの面積欠損は半径の二乗に比例し、貫通孔27の内周面に設け

られる第3の機能層33の面積増加は半径に比例するからである。

[0080] さらに、貫通孔27を2箇所またはそれ以上設けることにより、電流経路が短縮され、電流経路がさらに多様化されるので、さらに容量が大きく、低ESRおよび低ESLのコンデンサー素子、およびそのようなコンデンサー素子を搭載したデバイスを提供できる。

[0081] 図22に、コンデンサー素子のさらに異なる例を斜視図により示している。このコンデンサー素子20zは、弁作用基体23の第1の面23aに設けられた第1の機能層31、第2の面23bに設けられた第2の機能層32、貫通孔27に設けられた第3の機能層33に加え、基体23の周面（側面）23cに設けられた第4の機能層34を備えている。第4の機能層34は、周面23cに順次積層された誘電体酸化被膜24d、固体電解質層25dおよび電極層26dを含む。

[0082] このコンデンサー素子20zにおいては、第3の機能層33に加え、第4の機能層34により、第1の機能層31および第2の機能層32が接続されている。すなわち、弁作用基体23の第1の面23aの電極層26aおよび第2の面23bの電極層26bは、弁作用基体23を貫通するように弁作用基体23の中央（中心）またはその近傍に形成された貫通孔27の内周面に設けられた貫通電極28により接続される。さらに、弁作用基体23の第1の面23aの電極層26aおよび第2の面23bの電極層26bは、周面23cに設けられた電極層26dによっても電氣的に接続されている。また、周面23cに設けられた第4の機能層34により、固体電解コンデンサーとしての容量をさらに確保できる。なお、基体23の周面23cに電極層26dを備えている場合には、貫通電極28を省略してもよい。

[0083] 弁作用基体23の第1の面23aの第1の機能層31の4隅は切り欠かれており、切り欠かれることにより形成された第1の機能層31の周縁は、第1の絶縁層29aにより覆われている。そして、第1の絶縁層29aにより第1の機能層31および第4の機能層34から隔離されるように弁作用基体23の4隅（4コーナー）が現れて陽極部21が形成されている。このコン

センサ素子20は、陽極部21が四方（4箇所）に断続的に現れている。このため、コンデンサ素子20を搭載する基板10の配線パターンに対して、フレキシブルに接続することができる。

[0084] 2. 3 積層された複数のコンデンサ素子（コンデンサユニット）を含むむバイスの概要

図23に、本発明に係る異なるバイス111の例を示している。このバイス111は、基板10と、基板10の搭載側の面11に搭載されたコンデンサユニット（素子積層体）90とを有し、外装用の樹脂（モールド樹脂）3により基板10およびコンデンサユニット90を含めて方形または矩形となるように一体に成形された表面実装用のバイスである。

[0085] 図24に、バイス111の実装面2を示している。このバイス111

では、基板10の実装側の面12が外装用の樹脂3に覆われておらず、実装面2として現れている。バイス111の実装面2、すなわち、基板10の実装側の面12には、全周13にわたり、第1の端子電極51と、第2の端子電極52とが近接するように配置されている。このバイス111の第1の端子電極51は、コンデンサユニット90の陽極に接続された陽極端子である。バイス111は、12個の陽極端子（端子電極）51を備えており、基板10の実装側の面12の4辺14a～14dのそれぞれに形成されている。バイス111の第2の端子電極52は、コンデンサユニット90の陰極に接続された陰極端子であり、基板10の実装側の面12の、陽極端子51を除いた部分に配置されている。陽極端子51および陰極端子（端子電極）52は、絶縁用のギャップ59により区切られている。

[0086] 図25にバイス111のモールド樹脂3を除いた状態を示している。図26に基板10とコンデンサユニット90とを分離した状態を示している。図27にバイス111のXXVII-XXVII断面図（図23のXXVII-XXVII断面）を示している。

[0087] このバイス111のコンデンサユニット90は積層タイプであり、基板10の搭載側の面11の上に基板10の側から3枚のコンデンサ素子2

0 a、2 0 bおよび2 0 cが上方、すなわち基板1 0の搭載側の面1 1に垂直な方向（第1の方向）9 9に積み重ねられ、それら3つのコンデンサー素子2 0 a、2 0 bおよび2 0 cにより1つのコンデンサーユニット9 0が形成されている。3つのコンデンサー素子2 0 a、2 0 bおよび2 0 cは各々同一の構成である。したがって、以降において、個々のコンデンサー素子の構成については、最も上のコンデンサー素子2 0 cまたは最も下のコンデンサー素子2 0 aを参照して説明する。

[0088] 図2 8に、複数のコンデンサー素子を積層して（積み重ねて）コンデンサーユニット9 0を形成する様子を示している。図2 9に、コンデンサーユニット9 0の上方（第1の方向）9 9から見た平面図を示しており、最も上に重ねられたコンデンサー素子2 0 cの電極層2 6 aが現れている。図3 0に、コンデンサーユニット9 0を、上方9 9と逆の下方から見た底面図を示しており、最も下のコンデンサー素子2 0 aの電極層2 6 bが現れている。さらに、図3 1に、コンデンサーユニット9 0のXXXI-XXXI断面図（図2 6のXXXI-XXXI断面）を示している。

[0089] コンデンサー素子（コンデンサーコア）2 0 a～2 0 cは、固体電解コンデンサー（固体電解コンデンサー素子）である。それぞれのコンデンサー素子2 0 a～2 0 cは、ほぼ正方形にカットされた板状または薄膜状の弁作用基体2 3を有する。弁作用基体2 3はエッチングなどにより多孔質化が施された第1の面2 3 aおよび第2の面2 3 bを含む。この例では、第2の面2 3 bは、基板1 0の搭載側の面1 1に面した下側の面（下面）であり、第1の面2 3 aは第2の面2 3 bの反対側の上側の面（上面）である。

[0090] 図3 1に示すように、基体2 3の第1の面2 3 aには、第1の機能層3 1が形成されている。第1の機能層3 1は、第1の面2 3 aに順次積層された誘電体酸化被膜2 4 a、固体電解質層2 5 a、および電極層2 6 aを含む。基体2 3の第2の面2 3 bには、第2の機能層3 2が形成されている。第2の機能層3 2は、第2の面2 3 bに順次積層された誘電体酸化被膜2 4 b、固体電解質層2 5 b、および電極層2 6 bを含む。電極層2 6 bはコンデン

サ一素子 20 a ~ 20 c の陰極部 22 となる。

[0091] 基体 23 の周面（側面）23 c には、第 4 の機能層 34 が形成されている。第 4 の機能層 34 は、周面 23 c に順次積層された誘電体酸化被膜 24 d、固体電解質層 25 d および電極層 26 d を含む。第 4 の機能層 34 は、基体 23 の 4 隅（4 コーナ）39 a、39 b、39 c および 39 d を除く、基体 23 の周面 23 c に設けられている。各々の素子 20 a ~ 20 c においては、第 4 の機能層 34 により、第 1 の機能層 31 および第 2 の機能層 32 が接続されている。すなわち、弁作用基体 23 の第 1 の面 23 a の電極層 26 a および第 2 の面 23 b の電極層 26 b は、周面 23 c に設けられた電極層 26 d によって電氣的に接続されている。また、周面 23 c に設けられた第 4 の機能層 34 により、各々の素子 20 a ~ 20 c の固体電解コンデンサーとしての容量をさらに確保できる。

[0092] 弁作用基体 23 の第 1 の面 23 a の第 1 の機能層 31 の 4 隅は切り欠かれている。第 1 の機能層 31 の切り欠かれた周縁は、第 1 の絶縁層 29 a により覆われている。そして、第 1 の絶縁層 29 a により第 1 の機能層 31 および第 4 の機能層 34 から隔離されるように弁作用基体 23 の 4 隅（4 コーナ）39 a ~ 39 d が現れて第 1 の電極（陽極）部 21 が形成されている。たとえば、第 2 の面 23 b の絶縁層 29 b と同様の絶縁層 29 a を第 1 の面 23 a にも形成し、その絶縁層 29 a の一部を剥いだり、カットして基体 23 の表面 23 a を現すことにより、陽極部 21 を形成できる。

[0093] 図 29 に示すように、コンデンサーユニット 90 は、コンデンサー素子 20 a ~ 20 c をその中心点 100 まわりに回転させながら積層した（積み重ねた）ものである。コンデンサー素子 20 a ~ 20 c は、陽極部 21 が四方（4 箇所）のコーナー 39 a ~ 39 d に断続的に現れている 4 端子のコンデンサー素子である。さらに、コンデンサーユニット 90 においては、これらの素子 20 a ~ 20 c は、各々の素子 20 a ~ 20 c の第 1 の面 23 a の 4 隅 39 a ~ 39 d が他の素子、たとえば、素子 20 a の 4 隅 39 a ~ 39 d が他の素子 20 b および 20 c に対し上方（第 1 の方向）99 から見えるよ

うにしたものである。素子20bおよび20cにおいても同様である。たとえば、素子20a~20cを相互に30度ずつ角度をずらして積み重ねることにより、すべての素子20a~20cの4隅39a~39dが上方99から見えるコンデンサーユニット90を製造できる。

[0094] したがって、それぞれの素子20a~20cの4隅39a~39dに設けられた陽極部21は、すべて上方99から容易にアクセスできる。図29に示した例では、それぞれの素子20a~20cの4隅39a~39dに設けられた陽極部21は、ボンディングワイヤー62により、基板10の搭載側の面11の12個の陽極接続電極56にそれぞれ接続されている。

[0095] それぞれの素子20a~20cの4隅39a~39dは、それぞれの素子20a~20cの中心100から等距離にある。したがって、このコンデンサーユニット90においては、素子20a~20cの4隅39a~39dは中心100から等距離にある。このため、4隅39a~39dに設けられた陽極部21は、図29および図30に一点鎖線で示した仮想円（第1の円）38の円周にほぼ沿って配置される。したがって、コンデンサーユニット90の各部分は基本的に回転対称となり、複数のコンデンサー素子20a~20cを積層したときの重量、電流、抵抗などの諸物性値に偏りが生ずるのを抑制できる。このため、平面視円形に近いバランスの取れた形状であって電気的な性能の安定したコンデンサーユニット90、およびそのようなコンデンサーユニット90を搭載したデバイス111を提供できる。また、図29および図31に示すように、このコンデンサーユニット90においては、それぞれの素子20a~20cの基体23の大部分の面積が重複するように積層される。したがって、多数の陽極部21が分散配置されるコンデンサーユニットでありながら、スペース効率が高く、コンパクト、大容量の多端子コンデンサーユニット90、およびそのようなコンデンサーユニット90を搭載したデバイス111を提供できる。

[0096] このコンデンサーユニット90が搭載される基板10も積層タイプである。図29に示すように、基板10は、ほぼ正方形にカットされたガラス布・

エポキシ樹脂銅張積層板（ガラエポ基板）である。基板 10 の搭載側の面 11 および実装側の面 12 の銅箔がエッチングなどによりパターンニングされ、両方の面 11 および 12 に同一の電極パターンが形成されている。したがって、基板 10 の搭載側の面 11 には、実装側の面 12 の複数の陽極端子 51 に対峙する位置に陽極端子 51 と同じ形状の複数の接続電極が形成されており、コンデンサーユニット 90 の陽極部 21 に接続するための陽極接続電極 56 となっている。また、基板 10 の搭載側の面 11 には、実装側の面 12 の陰極端子 52 に対峙する位置に、陰極端子 52 と同じ形状の接続電極が形成されており、コンデンサーユニット 90 の陰極部 22 に接続するための陰極接続電極 57 となっている。

[0097] すなわち、基板 10 の搭載側の面 11 には、全周 13 に沿って陽極接続電極 56 および陰極接続電極 57 が配置されている。このデバイス 111 では、コンデンサーユニット 90 の陽極部 21 と同数となる 12 個の陽極接続電極 56 が搭載側の面 11 の 4 辺 14a ~ 14d のそれぞれに形成されている。陰極接続電極 57 は、基板 10 の搭載側の面 11 の、陽極接続電極 56 を除いた部分に配置されている。陽極接続電極 56 および陰極接続電極 57 は、実装側の面 12 と同様に絶縁用のギャップ 59 により分離されている。

[0098] それぞれの陽極端子 51 と陽極接続電極 56 とは基板 10 を貫通する貫通電極（スルーホール、ビアホール）55 により電氣的に接続されている。また、陰極端子 52 と陰極接続電極 57 も基板 10 を貫通する貫通電極 55 により電氣的に接続されている。貫通電極 55 は、陽極端子 51 と陽極接続電極 56 との間、陰極端子 52 と陰極接続電極 57 との間の電気抵抗（接続抵抗）を抑制するように適当な数が適当なピッチで設けられている。

[0099] このデバイス 111 のコンデンサーユニット 90 は、3 つのコンデンサー素子 20a ~ 20c が上方 99 に積み重ねられ、図 31 に示すように、上下に対峙する電極層 26a および電極層 26b が直接、または導電性ペーストなどの導電性部材を挟んで電氣的に接続されている。たとえば、コンデンサー素子 20a および 20b においては、コンデンサー素子 20a の第 1 の機

能層 31 の電極層 26 a と、コンデンサー素子 20 b の第 2 の機能層 32 の電極層 26 b とが対峙し、これらが電氣的に接続されている。各々の素子 20 a ~ 20 c においては、上述したように第 4 の機能層 34 の電極層 26 d により第 1 の機能層 31 の電極層 26 a と第 2 の機能層 32 の電極層 26 b とは電氣的に接続されている。これらの電極層 26 a および 26 d は陰極部 22 となる。したがって、コンデンサー素子 20 a ~ 20 c を積み重ねることにより、コンデンサー素子 20 a ~ 20 c の陰極部 22 が並列に接続される。さらに最下層のコンデンサー素子 20 a の電極層 26 b は、図 27 に示すように導電性ペースト 61 を介して基板 10 の陰極接続電極 57 に電氣的に接続される。

[0100] 一方、デバイス 111 においては、積層された複数のコンデンサー素子 20 a ~ 20 c の合計 12 個の陽極部 21 は、基板 10 の 12 個の陽極接続電極 56 と、金線、銅線、アルミニウム線などの導電性の金属ワイヤー 62 によりそれぞれボンディングされ、電氣的に接続されている。ボンディングワイヤーを含めて、コンデンサーユニット 90 は、外装用の樹脂（モールド樹脂）3 により保護される。

[0101] したがって、コンデンサーユニット 90 を用いることにより、12 個という多数の陽極端子 51 を備えたコンデンサーデバイス 111 を提供できる。これらの陽極端子 51 は、典型的には並列に接続される。あるいは、各コンデンサー素子 20 a ~ 20 c の陽極部 21 に接続された陽極端子 51 にグルーピングして、多電圧対応のコンデンサーデバイス 111 として提供することも可能である。

[0102] コンデンサーユニット 90 は、複数（本例では 3 つ）のコンデンサー素子 20 a ~ 20 c を積み重ねて並列に接続できる。このため、さらに大容量のコンデンサーデバイス 111 を提供できる。また、コンデンサーユニット 90 の各素子 20 a ~ 20 c は、平面的に広がった面積の広い電極層 26 a および 26 b を介して接続される。このため、低 ESR のコンデンサーデバイス 111 を提供できる。

- [0103] さらに、このコンデンサーユニット 90 においては、12 個の陽極部 21 が 12 の異なる方向に分散して配置されている。すなわち、各々の素子 20 a ~ 20 c においては、4 隅 39 a ~ 39 d に配置された陽極部 21 により 4 方向の電流が流れ、コンデンサーユニット 90 としては、全体として 12 の異なる方向に分散して電流が流れる。したがって、多様な方向に電流が流れることにより磁界が打ち消されるのでコンデンサーユニット 90 の ESL を低くできる。このため、低 ESL のコンデンサーデバイス 111 を提供できる。
- [0104] さらに、コンデンサーユニット 90 は、4 つの陽極部 21 を備えたコンデンサー素子 20 a ~ 20 c を用い、12 個の陽極部 21 が仮想円 38 の円周に沿って等間隔に（等角度間隔に）設けられたコンデンサーユニット 90 である。したがって、このコンデンサーユニット 90 を基板 10 に搭載したデバイス 111 では、多端子の陽極接続電極 56 および陽極端子 51 の基板 10 を採用することが容易であり、さらに、コンデンサーユニット 90 は多数の陽極部 21 が分散配置されているので、基板 10 の多端子の陽極接続電極 56 および陽極端子 51 の様々配置に対してきわめてフレキシブルに対応できる。したがって、このコンデンサーユニット 90 を用いて、多種多様な電極パターンを備えた表面実装型のデバイス 111 を提供できる。
- [0105] さらに、このコンデンサーユニット 90 は、典型的には陽極部となる第 1 の機能層 31 の 4 隅 39 a ~ 39 d の電極（陽極）部 21 が他の素子に邪魔されずに上方 99 から見え、上方 99 から簡単にアクセスできる。すなわち、複数の素子 20 a ~ 20 c の合計 12 個の陽極部 21 が相互に重なり合わず、12 個の陽極部 21 のそれぞれを、上方 99 から本例のようにワイヤーボンディング 62 で接続できる。また、これら 12 個の陽極部 21 のそれぞれを適当なリードフレームにより容易に接続できる。また、12 個の陽極部 21 を相互に（直接）ワイヤーボンディング 62 やリードフレームにより接続することも可能である。したがって、多数の陽極部 21 を多種多様な方法で接続することが可能である。

[0106] 特に、このコンデンサユニット90においては、上方9から各陽極部

21にアクセスできるので、ワイヤーボンドイング62による接続に適している。したがって、製造時や使用中にリードフレームが曲がったり、リードフレームと陽極部21との間に隙間が生じたりして接続不良が発生するのを未然に防止できる。また、仮想円38の円周に沿って配置される複数の陽極部21は基板10に対する高さが一定ではない。ワイヤーボンドイング62を使用することにより、陽極部21と基板10との距離（高さ）の差もフレキシブルに吸収することができ、信頼性の高い多端子のコンデンサデバイス111を提供できる。

[0107] また、このコンデンサユニット90においては、図27に示すように、

最上層に積層されたコンデンサ素子20cは、基板23の第2の面（下面）23bの電極層26bが、下側のコンデンサ素子20bの第2の面（下面）23bの電極層26bが、下側のコンデンサ素子20aの第1の面（上面）23aの電極層26aと接触する。同様に、コンデンサ素子20bは、基板23の第2の面（下面）23bの電極層26bが、下側のコンデンサ素子20aの第1の面（上面）23aの電極層26aと接触する。最下層に積層されたコンデンサ素子20aは、基板23の第2の面（下面）23bの電極層26bが、基板10に搭載側の面11に搭載される。図30に示すように、それぞれの素子20a～20cの下面（裏面）23bにおいては、4隅39a～39dを除き、中央部分と各辺102a～102dに陰極部22が広がっている。しかしながら、基板23の第2の面23bの4隅39a～39dの陽極部21に相当する部分の裏面は絶縁層29bにより全て覆われている。このため、陽極部21と陰極部22とが短絡する危険はほとんどなく、各素子20a～20cは、単に、下に積み重ねたり、基板10に積み重ねたりすることで複数の素子20a～20cを積層できる。

[0108] このデバイス111も、図10に示すように、プリント配線板70に実装

することができる。プリント配線板（プリント基板）70の上面71にはCPU75が搭載されており、プリント配線板70の下面72の、CPU75

の中央部分の電源端子 7 6 に対峙する位置に本例のコンデンサデバイス 1 1 1 をデバイス 1 に代わって搭載できる。CPU 7 5 の電源端子 7 6 とデバイス 1 1 1 の実装面 2 の端子電極 5 1 および 5 2 は、プリント配線板 7 0 を貫通する複数の貫通電極 7 9 により電氣的に接続される。多端子のデバイス 1 1 1 は、デカップリングコンデンサあるいはバイパスコンデンサとして機能させるのにさらに適している。

[0109] デバイス 1 1 1 は、たとえば、1 辺の長さが 1 0 mm 程度、積層される素子の数によるが、たとえば、厚さが 4 ~ 1 0 mm 程度の、大容量のわりに薄くコンパクトな表面実装用のコンデンサチップである。そして、コンデンサユニット 9 0 を内蔵した低 ESR、低 ESL で大容量の薄くコンパクトなコンデンサデバイスである。さらに、デバイス 1 1 1 は実装面 2 に複数の端子電極 5 1 が設けられた多極化（多端子）デバイスなので、従来多数のコンデンサを搭載していた用途を 1 つまたは数少ないデバイス 1 1 1 により置き換えることができる。このため、コンパクト化が進んでいるノート型のパーソナルコンピュータなどの情報処理端末や、携帯電話、PDA などの携帯型の情報処理端末などの電子機器に好適である。

[0110] 2. 4 コンデンサユニットの幾つかの例

図 3 2 ないし図 4 1 に、本発明に係る異なるデバイスの例を示している。以下の例は、デバイスに搭載されるコンデンサユニット（素子積層体）9 0 の態様を変えている。

[0111] 図 3 2 に、異なるデバイス 1 1 2 の上方から見た様子を、モールド樹脂を除いて示している。図 3 2 に示したコンデンサユニット 9 1 は、3 つのコンデンサ素子 2 0 d、2 0 e および 2 0 f が等角度で回転させて積み重ねられており、それぞれの素子 2 0 d ~ 2 0 f の 4 隅 3 9 a ~ 3 9 d が他の素子に対して上方（第 1 の方向）から見えるようになっている。積み重ねられているコンデンサ素子 2 0 d ~ 2 0 f の構成は共通であり、図 6 ないし図 9 に示すコンデンサ素子 2 0 と同様であるため、説明を省略する。

[0112] このような全周が陽極部 2 1 のコンデンサ素子 2 0 d ~ 2 0 f において

も図32に示すように、貫通孔27を中心に回転させながら積層（積み重ね）することにより、下側のコンデンサー素子20dの陽極部21の4隅39a～39dの部分を表に出すことができる。このため、ボンディングワイヤー62により基板10と接続したり、他の素子の陽極部21と接続したりできる。中間のコンデンサー素子20eにおいても同様である。このため、このコンデンサーユニット91により、さらに、積層タイプの大容量でかつ低ESRおよび低ESLのコンデンサーデバイス112を提供できる。

[0113] 図33に、異なるデバイス113の上方から見た様子を、モールド樹脂を除いて示している。図33に示したコンデンサーユニット92は、2つの平面視長方形のコンデンサー素子20gおよび20hが直交するように積み重ねられており、下側の素子20gの4隅39a～39dが上側の素子20hに妨げられずに上方（第1の方向、垂直な方向）から見えるようになっている。

[0114] 図34に、コンデンサー素子20gを上方から見た様子を示している。コンデンサー素子20gは、図28～図31を参照しながら説明したコンデンサー素子20aと共通の構成であり、基体23の外形が長方形であることが異なっている。このように、コンデンサー素子20の形状は、正方形に限らず、長方形あるいはその他の平面視多角形であってもよい。複数の素子20を積層し、それぞれの素子20のコーナー部分39a～39dに陽極部21を配置し、それらのコーナー部分39a～39dが上方（第1の方向）99から見えるように各々の素子20の角度をずらして組み合わせることにより多数の陽極部21が周囲に分散して配置されたコンデンサーユニットであって、ボンディングワイヤーなどにより基板との接続の容易なコンデンサーユニットを提供できる。大容量のコンデンサーデバイスを提供するためのスペース効率を考慮すると、コンデンサー素子の形状は、平面視がほぼ正方形あるいはほぼ長方形などの四角形であることが望ましい。

[0115] 図35に、コンデンサーユニットのさらに異なる例を示している。図35に示すコンデンサーユニット93は、7枚のコンデンサー素子20g～20

mを含み、それらの角度をずらして、たとえば、15度ピッチで角度をずらして積み上げて、下側のコンデンサー素子20の4隅39a~39dが上方（第1の方向）99からすべて見えるようにしたものである。これらのコンデンサーユニットを構成する素子の数は2、3枚に限定されることはなく、図35に示すコンデンサーユニット93のように7枚あるいはそれ以上の素子を積層することができる。このコンデンサーユニット93においては、28個の陽極部21を仮想円38の円周に沿って配置することができ、さらに多端子のコンデンサーユニット93を含むコンデンサーデバイスを提供できる。

[0116] 図36に、異なるデバイス115の上方から見た様子を、モールド樹脂を除いて示している。図36に示すコンデンサーユニット94は、2つの平面視長方形のコンデンサー素子20nおよび20oが直交するように積み重ねられており、下側の素子20nの4隅39a~39dが上側の素子20oに妨げられずに上方（第1の方向）99から見えるように現れている。

[0117] 図37に、コンデンサー素子20nを上方から見た様子を示している。コンデンサー素子20nは、図28~図31を参照しながら説明したコンデンサー素子20aとほぼ共通の構成であるが、基体23の外形が長辺102aおよび102c（長さW2）と短辺102bおよび102d（長さW1）とから形成される長方形であり、さらに、基体23の第1の面23aの対峙する短辺102bおよび102dにコンデンサー素子20nの陽極部21が現れている点が異なっている。

[0118] 図36に示すように、コンデンサーユニット94は、上記の構成のコンデンサー素子20nおよび20oを中心点100まわりに90度回転させて積層した（積み重ねた）ものである。このため、2枚のコンデンサー素子20nおよび20oを積層することによりコンデンサーユニット94のほぼ全周にわたり陽極部21を形成することができる。したがって、このコンデンサーユニット94は、多種多様な配線パターンの基板10に搭載することができる。

- [0119] 図38に、異なるデバイス116の上方から見た様子を、モールド樹脂を除いて示している。図38に示すコンデンサーユニット95は、2つの平面視長方形のコンデンサー素子（第1のコンデンサー素子）20pおよび平面視正方形のコンデンサー素子（第2のコンデンサー素子）20qが積み重ねられており、下側の素子20pの対峙する2辺102bおよび102dが上側の素子20qに妨げられずに上方（第1の方向）99から見えるように現れている。上方のコンデンサー素子（第2のコンデンサー素子）20qは、下方のコンデンサー素子（第1のコンデンサー素子）20pよりも小さい。上方のコンデンサー素子20qの周縁103a～103dは、下方のコンデンサー素子20pの周縁102a～102dの内側に配置されている。
- [0120] 図39に、上側のコンデンサー素子（第2のコンデンサー素子）20qを上方から見た様子を示している。コンデンサー素子20qは、図37に示したコンデンサー素子20nとほぼ共通の構成であるが、基体23の外形が下側のコンデンサー素子20pの短辺102bおよび102dの長さW1と等しい長さW1の4辺103a～103dを含む正方形である。さらに、上側のコンデンサー素子20qは、基体23の第1の面23aの対峙する2辺103aおよび103cが陽極部21となっている。
- [0121] 図38に示すように、コンデンサーユニット95は、上記の構成の下側のコンデンサー素子20pに上側のコンデンサー素子20qを、中心点100を中心に積層した（積み重ねた）ものである。このため、上方のコンデンサー素子20qは、下方のコンデンサー素子20pから外側にはみ出ず、上方のコンデンサー素子20qの全体が下方のコンデンサー素子20pの上に搭載される。したがって、上側のコンデンサー素子20qは全体が下方のコンデンサー素子20pにより支持される状態で積み重ねられている。したがって、上側のコンデンサー素子20qは全体が安定して支持され、陽極部21にボンディングしやすく、また、接触不良などの経年劣化や歩留まりの低下がよりいっそう抑制可能な構造となっている。さらに、これら2枚のコンデンサー素子20pおよび20qを積層することによりコンデンサーユニット

95の全周にわたり陽極部21を形成することができる。したがって、このコンデンサーユニット95は、多種多様な配線パターンの基板10に搭載することができる。

[0122] 本例の上側のコンデンサー素子20qは正方形であるが、上側のコンデンサー素子20qの周縁103a～103dが下側のコンデンサー素子20pの周縁102a～102dの内側に配置されるサイズであれば、上側のコンデンサー素子20qは、長方形あるいは他の多角形であってもよく、一辺が短辺の長さW1より短いものであってもよい。

[0123] 図40に、コンデンサーユニットのさらに異なる例を示している。図40に示すコンデンサーユニット96は、図22を参照しながら説明した4端子のコンデンサー素子20zを中央の貫通孔27を中心に回転させながら積層した（積み重ねた）ものである。このため、このコンデンサー素子20zにより、さらに大容量のコンデンサーを得られ、4端子のコンデンサー素子20zを用い、5端子以上の多端子構造のコンデンサーユニット96が得られる。したがって、このコンデンサーユニット96を基板10に搭載することにより、多種多様な配線パターンを備えた基板10に対応でき、大容量、低ESRおよび低ESLのコンデンサーデバイスを提供できる。

[0124] 図41に、異なるデバイス118の例を示している。このデバイス118においては、基板10の両面にそれぞれコンデンサー素子20を搭載している。複数のコンデンサー素子20は、基板10の一方の面ではなく、両方の面に搭載することも可能であり、コンデンサーとしての容量を増加させることができる。

[0125] 以上に説明したように、本発明に含まれるデバイスの1つのタイプは、簡易な構成で上面と下面に形成されている陰極層の電気的な接続を図れ、さらに、陰極層の面積が確保しやすいコンデンサー素子を有するデバイスである。

[0126] 日本国特許公開公報2002-237431号公報（文献3）には、他の多くの電子部品と共にコンデンサを基板上に実装する際に配線回路長が長く

なり、これによりESR特性、ESL特性が悪化して高周波応答性が劣るとい課題を解決し、接続に伴う特性の悪化が少なく、高周波応答性に優れた固体電解コンデンサ及びその製造方法を提供することを目的とする技術が記載されている。文献3には、固体電解コンデンサであって、厚み方向に複数の貫通孔を設けた陽極体と、この陽極体の貫通孔内に埋設された陽極リード部からなり、この陽極リード部の表出部分を陽極端子部とし、陰極層の表出部分を陰極端子部とした構成とすることにより、同一面上に陽極と陰極が交互に配列されることによってESRが低くなると共に、ESLが打ち消し合って高周波でのインピーダンス特性を大きく低減することができるようになり、その結果、高周波応答性が著しく向上することが記載されている。

[0127] 文献3に開示された技術においては、貫通孔の数を増やすことによりコンデンサー素子の陰極層の面積が確保しにくくなるので、静電容量を大きくすることが難しい。また、コンデンサー素子の上面と下面に形成されている陰極層の電氣的な接続を図るための手段を別途設ける必要がある。

[0128] 上記に開示した貫通電極を有するコンデンサー素子、およびそのコンデンサー素子を有するデバイスにおいては、基体の上面と下面に形成されている陰極層を電氣的に接続でき、さらに、容量の減少も抑制できる。

[0129] また、本発明に含まれるデバイスの1つのタイプは、積層型の大容量、低ESRおよび低ESLで、さらに、基板またはリードフレームとの接続も容易なコンデンサーユニットを有するデバイスである。

[0130] 日本国特許公開公報2007-116064号公報（文献4）には、表面に誘電体酸化皮膜層を有する平板状の弁作用金属板の一方側に陽極部を、他方側に固体電解質層、陰極引出層からなる陰極部を形成したコンデンサ素子基板を複数枚積層する積層型固体電解コンデンサにおいて、コンデンサ素子基板の陽極部が陰極部を中心に対向するように交互に積層することが記載されている。

[0131] 大容量化する1つの方法は、コンデンサー素子の積層枚数を増やすことである。それにより、ESRは低下するものの、ESL特性が悪化しやすい。

さらに、積層された複数のコンデンサー素子が基板あるいはリードフレームなどと接続しやすいことも重要である。

[0132] 上記に開示した、基体の4隅を含む部分が見えるように複数のコンデンサー素子を積層したコンデンサーユニット、およびそのコンデンサーユニットを有するデバイスにおいては、積層された複数のコンデンサー素子を基板に接続しやすく、さらに、ESL特性も向上できる。

[0133] なお、上記に示したデバイス、コンデンサー素子およびコンデンサーユニットは、本発明に含まれるデバイス、コンデンサー素子およびコンデンサーユニットのいくつかの例であり、本発明は上記に限定されない。コンデンサー素子は、さらに、非固体の電解コンデンサー、セラミックタイプのコンデンサー、フィルムタイプのコンデンサーなどの他のタイプのコンデンサー素子であってもよい。また、本発明にかかる表面実装用のデバイスは、CPUとの組み合わせだけではなく、他の回路素子と組み合わせて用いることも可能であり、たとえば、DC-DCコンバータの平滑回路などにも適用できる。

請求の範囲

[請求項1]

基板と、前記基板の搭載側の面に搭載されたコンデンサー素子とを有し、外装用の樹脂により前記基板および前記コンデンサー素子を含めて一体に成形された表面実装用のデバイスであって、

前記基板は、前記コンデンサー素子の第1の電極部に電氣的に接続された第1の端子電極と、

前記コンデンサー素子の第2の電極部に電氣的に接続された第2の端子電極とを含み、

当該デバイスの実装面に、前記基板の前記搭載側の面の反対側の実装側の面の少なくとも1部が現れ、前記第1の端子電極および前記第2の端子電極が当該デバイスの実装面の全周にわたり近接配置されている、デバイス。

[請求項2]

請求項1において、

前記コンデンサー素子は、弁作用を備えた板状の基体と、

前記基体の第1の面に順次積層された誘電体酸化被膜、固体電解質層および電極層を備えた第1の機能層と、

前記基体の第2の面に順次積層された誘電体酸化被膜、固体電解質層および電極層を備えた第2の機能層と、

前記第1の面の前記第1の機能層の周縁を覆う第1の絶縁層と、

前記第2の面の前記第2の機能層の周縁を覆う第2の絶縁層と、

前記基体を貫通する少なくとも1つの貫通孔とを含み、

前記少なくとも1つの貫通孔の内周面に、前記基体に接する側から順次積層された誘電体酸化被膜、固体電解質層および電極層を含む第3の機能層が設けられ、前記第3の機能層の電極層が、前記第1の機能層の電極層と前記第2の機能層の電極層とを電氣的に接続しており、

前記第1の電極部は、前記基体の前記第1の面の少なくとも1部が、前記第1の絶縁層の外周側に現れることにより形成され、

前記第 2 の電極部は、前記第 1 の機能層の電極層、前記第 2 の機能層の電極層および前記第 3 の機能層の電極層の少なくとも 1 部により形成されている、デバイス。

[請求項3]

請求項 1 において、

当該デバイスは、前記基板の前記搭載側の面に垂直な方向に積み重ねられた複数のコンデンサー素子を有し、

前記複数のコンデンサー素子の各々の素子は、弁作用を備えた板状の基体であって、前記基板に対し反対側を向いた第 1 の面および前記基板に向いた第 2 の面とを含む基体と、

前記基体の前記第 1 の面に順次積層された誘電体酸化被膜、固体電解質層および電極層を備えた第 1 の機能層と、

前記基体の前記第 2 の面に順次積層された誘電体酸化被膜、固体電解質層および電極層を備えた第 2 の機能層とを含み、

前記各々の素子の前記第 1 の電極部は、前記各々の素子の前記基体の前記第 1 の面の 4 隅を含む部分が、前記複数のコンデンサー素子の他の素子に対し前記垂直な方向に現れることにより形成され、

前記各々の素子の前記第 2 の電極部は、前記第 1 の機能層の電極層および前記第 2 の機能層の電極層の少なくとも 1 部により形成されている、デバイス。

[請求項4]

請求項 1 ないし 3 のいずれかにおいて、

前記基板は積層板であり、前記基板の前記実装側の面の少なくとも全周に沿って、前記第 1 の端子電極と前記第 2 の端子電極とが隣り合った状態でパターニングされている、デバイス。

[請求項5]

請求項 4 において、

前記基板は、前記コンデンサー素子の前記第 1 の電極部に電氣的に接続された第 1 の接続電極であって、前記搭載側の面の、前記実装側の面の前記第 1 の端子電極に対峙する位置に設けられた第 1 の接続電極と、

前記コンデンサー素子の前記第 2 の電極部に電氣的に接続された第 2 の接続電極であって、前記搭載側の面の、前記実装側の面の前記第 2 の端子電極に対峙する位置に設けられた第 2 の接続電極と、

前記基板を貫通する複数の貫通電極であって、前記第 1 の端子電極および前記第 1 の接続電極と、前記第 2 の端子電極および前記第 2 の接続電極とをそれぞれ接続する複数の貫通電極を含む、デバイス。

[請求項 6]

請求項 5 において、

当該デバイスは、前記第 1 の電極部と前記第 1 の接続電極とを接続するボンディングワイヤーを有し、

前記第 2 の電極部と前記第 2 の接続電極とは、直にまたは導電性ペーストを介して接続されている、デバイス。

[請求項 7]

請求項 4 において、

前記第 1 の電極部は前記コンデンサー素子の陽極であり、前記第 2 の電極部は前記コンデンサー素子の陰極であり、前記第 1 の端子電極の面積よりも前記第 2 の端子電極の面積が大きい、デバイス。

[請求項 8]

請求項 4 において、

前記第 2 の端子電極は、前記基板の中心方向に広がっている、デバイス。

[請求項 9]

請求項 4 において、

前記第 2 の端子電極は、前記基板の周縁に沿って連続して形成されている、デバイス。

[請求項 10]

請求項 4 において、

前記実装面の全周に沿って、複数の第 1 の端子電極および複数の第 2 の端子電極が交互に現れている、デバイス。

[請求項 11]

請求項 10 において、

前記複数の第 1 の端子電極は、前記実装面の 4 隅を含む部分にそれぞれ現れ、前記複数の第 2 の端子電極は、前記実装面の 4 辺にそれぞれ現れている、デバイス。

- [請求項12] 請求項10において、
前記複数の第2の端子電極は、前記実装面の対向する2辺および4隅を含む部分にそれぞれ現れている、デバイス。
- [請求項13] 請求項1ないし3のいずれかにおいて、
前記実装面の全周に沿って、前記第2の端子電極が連続して現れ、前記第2の端子電極の内側に前記第1の端子電極が現れている、デバイス。
- [請求項14] 請求項13において、
複数の前記第1の端子電極は、前記第2の端子電極に囲われるように現れている、デバイス。
- [請求項15] 請求項2において、
前記第1の絶縁層は、前記第1の機能層の周縁の全周を覆い、前記第2の絶縁層は、前記第2の機能層の周縁の全周を覆う、デバイス。
- [請求項16] 請求項2において、
前記第1の電極部は、前記第1の面の周縁に断続的に現れている、デバイス。
- [請求項17] 請求項2において、
前記第1の電極部は、前記第1の面の周縁の全周にわたり連続的に現れている、デバイス。
- [請求項18] 請求項2において、
前記少なくとも1つの貫通孔は、前記基体の中央に設けられている、デバイス。
- [請求項19] 請求項3において、
前記複数のコンデンサー素子は、対峙する、下側の前記コンデンサー素子の前記第1の機能層の電極層と上側の前記コンデンサー素子の前記第2の機能層の電極層とが電氣的に接続されている、デバイス。
- [請求項20] 請求項19において、
前記各々のコンデンサー素子は、前記基体を貫通する貫通孔を含み

、

前記貫通孔の内周面に、前記基体に接する側から順次積層された誘電体酸化被膜、固体電解質層および電極層を含む第3の機能層が設けられ、前記第3の機能層の電極層が、前記第1の機能層の電極層と前記第2の機能層の電極層とを電氣的に接続している、デバイス。

[請求項21]

請求項3において、

前記各々のコンデンサー素子の前記第1の電極部は、前記第1の面の全周に現れている、デバイス。

[請求項22]

請求項3において、

前記各々のコンデンサー素子の前記第1の面の4隅は、第1の円の円周に沿って配置されている、デバイス。

[請求項23]

請求項3において、

前記各々のコンデンサー素子の前記第1の電極部は、前記基体の前記第1の面の対峙する2辺に現れている、デバイス。

[請求項24]

請求項3において、

当該デバイスは、前記垂直な方向に順次積み重ねられた第1のコンデンサー素子および第2のコンデンサー素子を有し、

前記第2のコンデンサー素子は前記第1のコンデンサー素子よりも小さく、前記第2のコンデンサー素子の前記基体の周縁は前記第1のコンデンサー素子の前記基体の周縁よりも内側に配置されている、デバイス。

[請求項25]

請求項1ないし24のいずれかに記載のデバイスが実装されたプリント配線板。

[請求項26]

請求項25に記載のプリント配線板を有する電子機器。

[請求項27]

弁作用を備えた板状の基体と、

前記基体の第1の面に順次積層された誘電体酸化被膜、固体電解質層および電極層を含む第1の機能層と、

前記基体の第2の面に順次積層された誘電体酸化被膜、固体電解質

層および電極層を含む第2の機能層と、

前記第1の面の前記第1の機能層の周縁を覆う第1の絶縁層と、

前記第2の面の前記第2の機能層の周縁を覆う第2の絶縁層と、

前記基体の前記第1の面の少なくとも1部が前記第1の絶縁層の外周側に現れることにより形成された第1の電極部と、

前記基体を貫通する少なくとも1つの貫通孔とを有し、

前記少なくとも1つの貫通孔の内周面に、前記基体に接する側から順次積層された誘電体酸化被膜、固体電解質層および電極層を含む第3の機能層が設けられており、前記第3の機能層の電極層が、前記第1の機能層の電極層と前記第2の機能層の電極層とを電氣的に接続している、コンデンサー素子。

[請求項28] 請求項27において、

前記第1の電極部は、前記第1の面の周縁の全周に沿って断続的または連続的に現れている、コンデンサー素子。

[請求項29] 請求項27または28において、

前記少なくとも1つの貫通孔は、前記基体の中央に設けられている、コンデンサー素子。

[請求項30] 請求項27ないし29のいずれかに記載のコンデンサー素子を複数個、第1の方向に積み重なるように配置したコンデンサーユニットであって、

前記複数のコンデンサー素子の各々の素子は、前記基体の前記第1の面の4隅を含む部分が現れることにより形成された第1の電極部を含み、

前記各々の素子の前記第1の面の4隅は、前記複数のコンデンサー素子の他の素子に対し前記第1の方向に現れている、コンデンサーユニット。

[請求項31] 第1の方向に積み重なるように配置された複数のコンデンサー素子を有するコンデンサーユニットであって、

前記複数のコンデンサー素子の各々の素子は、弁作用を備えた板状の基体と、

前記基体の第 1 の面に順次積層された誘電体酸化被膜、固体電解質層および電極層を含む第 1 の機能層と、

前記基体の第 2 の面に順次積層された誘電体酸化被膜、固体電解質層および電極層を含む第 2 の機能層と、

前記基体の前記第 1 の面の 4 隅を含む部分が現れることにより形成された第 1 の電極部とを含み、

前記各々の素子の前記第 1 の面の 4 隅は、前記複数のコンデンサー素子の他の素子に対し前記第 1 の方向に現れている、コンデンサーユニット。

[請求項32]

第 1 の方向に積み重なるように配置された複数のコンデンサー素子を有するコンデンサーユニットを製造する方法であって、

前記複数のコンデンサー素子の各々の素子は、弁作用を備えた板状の基体と、

前記基体の第 1 の面に順次積層された誘電体酸化被膜、固体電解質層および電極層を含む第 1 の機能層と、

前記基体の第 2 の面に順次積層された誘電体酸化被膜、固体電解質層および電極層を含む第 2 の機能層と、

前記基体の前記第 1 の面の 4 隅を含む部分が現れることにより形成された第 1 の電極部とを含み、

当該方法は、前記各々の素子の前記第 1 の面の 4 隅が、前記複数のコンデンサー素子の他の素子に対して前記第 1 の方向に現れるように、前記各々の素子を積層する工程を有する、方法。