

明 細 書

発明の名称：

半導体素子の実装構造及び半導体素子と基板との組み合わせ

技術分野

[0001] 本発明は、半導体素子の実装構造及び半導体素子と基板との組み合わせに関する。

背景技術

[0002] 従来、半導体素子を基板に実装する方法として、金ワイヤ等の金属細線を用いるワイヤーボンディング接続方式が知られている。一方、半導体装置に対する小型化、薄型化、高機能化、高集積化、高速化等の要求に対応するため、 bumps と呼ばれる導電性突起を介して半導体素子と基板とを接続するフリップチップ接続方式（FC接続方式）が広まりつつある。FC接続方式は、半導体素子と基板とを接続するために、BGA（Ball Grid Array）、CSP（Chip Size Package）等に盛んに用いられている。COB（Chip On Board）型の接続方式もFC接続方式に該当する。また、FC接続方式は、半導体素子間を接続するCOC（Chip On Chip）型の接続方式にも広く用いられている（例えば、特許文献1参照）。

[0003] 半導体装置の更なる小型化、薄型化及び高機能化の要求に対応するため、上述した接続方式によって積層化及び多段化したチップスタック型パッケージ及びPOP（Package On Package）が普及している。また、TSV（Through-Silicon Via）方式も広く普及し始めている。このような積層化及び多段化技術は、半導体素子等を三次元的に配置することから、半導体素子等を二次元的に配置する手法と比較してパッケージ面積を小さくできる。特に、TSV技術は、半導体の性能向上、ノイズ低減、実装面積の削減及び省電力化にも有効であり、次世代の半導体配線技術として注目されている。

[0004] バンプ又は配線を含む接続部には導電材料が用いられている。導電材料の具体例として、はんだ、スズ、金、銀、銅、ニッケル及びこれらを複数種含む金属材料が挙げられる。接続部を構成する金属の表面に酸化膜が生成したり、酸化物等の不純物が付着したりすると、接続すべき回路部材間の接続性及び絶縁信頼性が低下し、上述した接続方式を採用するメリットが損なわれてしまうことが懸念される。このような不具合を抑制する方法として、接続前に基板表面及び半導体素子の表面の少なくとも一方にOSP (Organic Solderability Preservatives) 処理に用いられるプリフラックス、防錆処理剤等を施すなどして前処理を行う方法が挙げられる。しかし、前処理後にプリフラックス、防錆処理剤等が接続部に残存し、残存したプリフラックス、防錆処理剤等が劣化することで、接続部の接続信頼性が低下する場合もある。

[0005] 一方、半導体素子と基板との接続部を半導体用接着剤で封止する方法によれば、回路部材間の電氣的接続と、接続部の封止とを一括して行うことができる。そのため、接続部に用いられる金属の酸化、接続部への不純物の付着等が抑制され、接続部を外部環境から保護することができる。したがって、効果的に接続性、絶縁信頼性、作業性、生産性等を向上させることができる。

[0006] また、FC接続方式で半導体装置を製造する際、半導体素子と基板との熱膨張係数の差又は半導体素子同士の熱膨張係数の差に由来する熱応力が接続部に集中して接続不良を起こすことがある。熱膨張係数の差に由来する接続不良を起こさないようにするために、隣接する二つの回路部材（半導体素子、基板等）の空隙を接着剤組成物で封止することが有効である。特に、半導体素子と基板とでは熱膨張係数の異なる成分が用いられることが多いため、接着剤組成物により半導体装置を封止して耐熱衝撃性を向上させることが求められる。

[0007] 接着剤組成物を用いたFC接続方式は、Capillary-Flow方式と、Pre-Applied方式に大別できる（例えば、特許文献2～6

参照)。Capillary-Flow方式は、半導体素子及び基板の接続後に、半導体素子及び基板間の空隙に液状の接着剤組成物を毛細管現象によって注入する方式である。Pre-Applied方式は、半導体素子及び基板の接続前に、半導体素子又は基板上に、ペースト状又はフィルム状の接着剤組成物を供給した後、半導体素子と基板とを接続する方式である。

[0008] また、半導体素子の突起電極と実装用配線基板の電極パッドとの接合強度を高め、実装信頼性を向上させるため、突起電極が素子面に形成された半導体素子を、絶縁基板の上面の前記突起電極に対向する位置に金属凸部が設けられた電極パッドが形成された配線基板に、前記突起電極と前記金属凸部とを位置合せして接合した半導体素子の実装構造であって、前記突起電極に前記金属凸部の頂部が陥入しているとともに、前記金属凸部の側面と前記電極パッドの上面とのなす角度及び接合部における前記金属凸部の側面と前記突起電極の側面とのなす角度が 90° 以上であることを特徴とする半導体素子の実装構造が開示されている（例えば、特許文献7参照）。

先行技術文献

特許文献

- [0009] 特許文献1：特開2008-294382号公報
特許文献2：特開2001-223227号公報
特許文献3：特開2002-283098号公報
特許文献4：特開2005-272547号公報
特許文献5：特開2006-169407号公報
特許文献6：特開2006-188573号公報
特許文献7：特開2003-45911号公報

発明の概要

発明が解決しようとする課題

- [0010] 一般に、接着剤組成物（アンダーフィル材）を用いたPre-Applied方式における半導体装置の製造では、半導体素子と基板の間へのアンダ

ーフィル材の付与及びアンダーフィル材の加熱硬化が行われる。現在、この方式では、一つの半導体装置ごとに半導体素子と基板との間へのアンダーフィル材の付与及びアンダーフィル材の加熱硬化が行われている。そのため、現行の P r e - A p p l i e d 方式のアンダーフィル材を用いた半導体装置の製造は、生産効率が悪く、生産効率の向上が重要な課題になっている。

[0011] また、低コスト化が可能な F C 接続方式として、導電性ペーストを用いた方式がある。この方式は、半導体素子に突起電極を形成後、突起電極の先端に導電性ペーストを転写し、基板電極に突起電極を接触させることで電氣的導通を得るものである。この方式での接続抵抗は、導電性ペーストの厚さ、導電粒子の充填率等に依存し、一般的にはんだ接続と比較して接続抵抗が高くなってしまうことが課題である。

[0012] かかる状況を解決するため、接着剤組成物がない状態で半導体素子を基板に仮搭載後、リフローによる一括はんだ接続を行い、C a p i l l a r y - F l o w 方式でアンダーフィル材の付与及びアンダーフィル材を加熱硬化する方法が考えられる。しかしながら、近年の半導体装置の小型化の進展に伴って、メモリー及びロジックに代表される半導体素子のバンプ又は配線を含む接続部も狭ピッチ化が進んでいる。そのため、接着剤組成物がない状態で半導体素子を基板に仮搭載後、リフローによりはんだ接続を行うと、加熱工程であるリフローの際の振動及び基板のハンドリングで接続部の位置ずれが生じてしまう場合がある。また、T S V 方式で半導体素子を多層化したものは仮搭載後に半導体素子が非常に不安定であるため、同様の理由でリフローによる一括はんだ接続をすると接続部で位置ずれが生じてしまう場合がある。接続部で位置ずれが生ずることで、半導体素子と基板との接続精度が悪化する。

[0013] 本発明の一形態は、上記従来の事情に鑑みてなされたものであり、半導体素子と基板との接続精度に優れる半導体素子の実装構造を提供することを目的とする。また、本発明の他の一形態は、半導体素子と基板との接続部での位置ずれが生じにくい半導体素子と基板との組み合わせを提供することを目

的とする。

課題を解決するための手段

[0014] 前記課題を達成するための具体的手段は以下の通りである。

＜1＞ 素子電極を有する半導体素子と、前記半導体素子と対向する側の面の前記素子電極と対向する位置に設けられた基板電極を有する基板とが、前記素子電極と前記基板電極とを介して接続されており、

前記素子電極及び前記基板電極の一方が、先端部にはんだ層を有する第1突起電極であり、

前記素子電極及び前記基板電極の他方が、1又は2以上の金属凸部を表面に有する第1電極パッドであり、

前記第1電極パッドが有する前記金属凸部が、前記第1突起電極が有する前記はんだ層に貫入しており、

前記第1電極パッドが有する前記金属凸部の底部面積が、前記先端部にはんだ層を有する第1突起電極の前記はんだ層の最大断面積に対して、75%以下である半導体素子の実装構造。

＜2＞ 前記半導体素子の前記基板と対向する側とは反対側に、1又は2以上のその他の半導体素子が、各半導体素子同士が素子電極を介して接続された状態で積層されており、

接続関係にある2つの半導体素子において、一の半導体素子が有する素子電極及び他の半導体素子が有する素子電極の一方が、先端部にはんだ層を有する第2突起電極であり、

一の半導体素子が有する素子電極及び他の半導体素子が有する素子電極の他方が、1又は2以上の金属凸部を表面に有する第2電極パッドであり、

前記第2電極パッドが有する前記金属凸部が、前記第2突起電極が有する前記はんだ層に貫入しており、

前記第2電極パッドが有する前記金属凸部の底部面積が、前記先端部にはんだ層を有する第2突起電極の前記はんだ層の最大断面積に対して、75%以下である＜1＞に記載の半導体素子の実装構造。

＜3＞ 前記金属凸部の形状が、円柱又は直方体である＜1＞又は＜2＞に記載の半導体素子の実装構造。

＜4＞ 前記金属凸部が、円柱又は直方体を高さ方向に少なくとも2つ重ねた形状としたものである＜1＞～＜3＞のいずれか1項に記載の半導体素子の実装構造。

＜5＞ 前記金属凸部が、フォトリソグラフィーを用いて形成したものである＜1＞～＜4＞のいずれか1項に記載の半導体素子の実装構造。

＜6＞ 加圧により前記第1電極パッドが有する前記金属凸部の少なくとも一部が、前記第1突起電極が有する前記はんだ層に貫入した状態として前記半導体素子と前記基板とを仮固定し、加熱により前記第1突起電極が有する前記はんだ層を熔融させて前記素子電極と前記基板電極とを接続して得られる＜1＞～＜5＞のいずれか1項に記載の半導体素子の実装構造。

＜7＞ 素子電極を有する半導体素子と、前記半導体素子と対向する側の面の前記素子電極と対向する位置に設けられた基板電極を有する基板と、を含み、

前記素子電極及び前記基板電極の一方が、先端部にはんだ層を有する突起電極であり、

前記素子電極及び前記基板電極の他方が、1又は2以上の金属凸部を表面に有する電極パッドであり、

前記金属凸部の底部面積が、前記先端部にはんだ層を有する突起電極の前記はんだ層の最大断面積に対して、75%以下である半導体素子と基板との組み合わせ。

＜8＞ 素子電極を有する半導体素子と、前記半導体素子と対向する側の面の前記素子電極と対向する位置に設けられた基板電極を有する基板とが、前記素子電極と前記基板電極とを介して接続されており、

前記素子電極及び前記基板電極の一方が、先端部にはんだ層を有する第1突起電極であり、

前記素子電極及び前記基板電極の他方が、1又は2以上の金属凸部を表面

に有する第 1 電極パッドであり、

前記第 1 電極パッドが有する前記金属凸部が、前記第 1 突起電極が有する前記はんだ層に貫入しており、

前記第 1 電極パッドが有する前記金属凸部の底部面積が、前記第 1 電極パッドの面積に対して、70%以下である半導体素子の実装構造。

<9> 前記半導体素子の前記基板と対向する側とは反対側に、1又は2以上のその他の半導体素子が、各半導体素子同士が素子電極を介して接続された状態で積層されており、

接続関係にある2つの半導体素子において、一の半導体素子が有する素子電極及び他の半導体素子が有する素子電極の一方が、先端部にはんだ層を有する第2突起電極であり、

一の半導体素子が有する素子電極及び他の半導体素子が有する素子電極の他方が、1又は2以上の金属凸部を表面に有する第2電極パッドであり、

前記第2電極パッドが有する前記金属凸部が、前記第2突起電極が有する前記はんだ層に貫入しており、

前記第2電極パッドが有する前記金属凸部の底部面積が、前記第2電極パッドの面積に対して、70%以下である<8>に記載の半導体素子の実装構造。

<10> 前記金属凸部の形状が、円柱又は直方体である<8>又は<9>に記載の半導体素子の実装構造。

<11> 前記金属凸部が、円柱又は直方体を高さ方向に少なくとも2つ重ねた形状としたものである<8>～<10>のいずれか1項に記載の半導体素子の実装構造。

<12> 前記金属凸部が、フォトリソグラフィーを用いて形成したものである<8>～<11>のいずれか1項に記載の半導体素子の実装構造。

<13> 加圧により前記第1電極パッドが有する前記金属凸部の少なくとも一部が、前記第1突起電極が有する前記はんだ層に貫入した状態として前記半導体素子と前記基板とを仮固定し、加熱により前記第1突起電極が

有する前記はんだ層を溶融させて前記素子電極と前記基板電極とを接続して得られる< 8 > ~ < 12 > のいずれか 1 項に記載の半導体素子の実装構造。

< 14 > 素子電極を有する半導体素子と、前記半導体素子と対向する側の面の前記素子電極と対向する位置に設けられた基板電極を有する基板と、を含み、

前記素子電極及び前記基板電極の一方が、先端部にはんだ層を有する突起電極であり、

前記素子電極及び前記基板電極の他方が、1 又は 2 以上の金属凸部を表面に有する電極パッドであり、

前記金属凸部の底部面積が、前記電極パッドの面積に対して、70%以下である半導体素子と基板との組み合わせ。

発明の効果

- [0015] 本発明の一形態によれば、半導体素子と基板との接続精度に優れる半導体素子の実装構造を提供することができる。また、本発明の他の一形態によれば、半導体素子と基板との接続部での位置ずれが生じにくい半導体素子と基板との組み合わせを提供することができる。

図面の簡単な説明

- [0016] [図1A]半導体素子及び基板が接続される前の状態を示す要部断面図である。
[図1B]半導体素子及び基板が接続される前の状態を示す平面図である。
[図2]半導体素子が基板に仮搭載された状態を示す要部断面図である。
[図3]半導体素子及び基板が接続された後の状態を示す要部断面図である。

発明を実施するための形態

- [0017] 以下、本発明を適用した半導体素子の実装構造及び半導体素子と基板との組み合わせの一例について、図面を参照しながら詳細に説明する。但し、本発明は以下の開示に限定されるものではない。以下の開示において、その構成要素（要素ステップ等も含む）は、特に明示した場合を除き、必須ではない。数値及びその範囲についても同様であり、本発明を制限するものではない。また、各図における部材の大きさは概念的なものであり、部材間の大き

さの相対的な関係はこれに限定されない。

[0018] 本明細書において「工程」との語には、他の工程から独立した工程に加え、他の工程と明確に区別できない場合であってもその工程の目的が達成されれば、当該工程も含まれる。

本明細書において「～」を用いて示された数値範囲には、「～」の前後に記載される数値がそれぞれ最小値及び最大値として含まれる。

本開示中に段階的に記載されている数値範囲において、一つの数値範囲で記載された上限値又は下限値は、他の段階的な記載の数値範囲の上限値又は下限値に置き換えてもよい。また、本開示中に記載されている数値範囲において、その数値範囲の上限値又は下限値は、実施例に示されている値に置き換えてもよい。

本開示において各成分は該当する物質を複数種含んでいてもよい。

本開示において「層」又は「膜」との語には、当該層又は膜が存在する領域を観察したときに、当該領域の全体に形成されている場合に加え、当該領域の一部にのみ形成されている場合も含まれる。

本開示において「積層」との語は、層を積み重ねることを示し、二以上の層が結合されていてもよく、二以上の層が着脱可能であってもよい。

[0019] <半導体素子の実装構造>

本開示の第一の半導体素子の実装構造は、素子電極を有する半導体素子と、前記半導体素子と対向する側の面の前記素子電極と対向する位置に設けられた基板電極を有する基板とが、前記素子電極と前記基板電極とを介して接続されており、前記素子電極及び前記基板電極の一方が、先端部にはんだ層を有する第1突起電極であり、前記素子電極及び前記基板電極の他方が、1又は2以上の金属凸部を表面に有する第1電極パッドであり、前記第1電極パッドが有する前記金属凸部が、前記第1突起電極が有する前記はんだ層に貫入しており、前記第1電極パッドが有する前記金属凸部の底部面積が、前記先端部にはんだ層を有する第1突起電極の前記はんだ層の最大断面積に対して、75%以下とされたものである。

また、本開示の第二の半導体素子の実装構造は、素子電極を有する半導体素子と、前記半導体素子と対向する側の面の前記素子電極と対向する位置に設けられた基板電極を有する基板とが、前記素子電極と前記基板電極とを介して接続されており、前記素子電極及び前記基板電極の一方が、先端部にはんだ層を有する第1突起電極であり、前記素子電極及び前記基板電極の他方が、1又は2以上の金属凸部を表面に有する第1電極パッドであり、前記第1電極パッドが有する前記金属凸部が、前記第1突起電極が有する前記はんだ層に貫入しており、前記第1電極パッドが有する前記金属凸部の底部面積が、前記第1電極パッドの面積に対して、70%以下とされたものである。

本開示において、第一の半導体素子の実装構造及び第二の半導体素子の実装構造を、合わせて「半導体素子の実装構造」と称することがある。

本開示において、第1突起電極及び第1電極パッドは、半導体素子と基板との接続に寄与する素子電極又は基板電極を構成するものである。また、後述する第2突起電極及び第2電極パッドは、半導体素子同士の接続に寄与する素子電極を構成するものである。以下、本開示において第1突起電極及び第2突起電極を合わせて単に突起電極と称することがある。また、第1電極パッド及び第2電極パッドを合わせて単に電極パッドと称することがある。

[0020] 本開示の半導体素子の実装構造によれば、半導体素子と基板との接続精度に優れる半導体素子の実装構造が得られる。その理由は明確ではないが、以下のように推察される。

本開示の半導体素子の実装構造では、半導体素子と基板とが、素子電極と基板電極とを介して接続される。ここで、素子電極及び基板電極の一方が先端部にはんだ層を有する突起電極であり、素子電極及び基板電極の他方が、1又は2以上の金属凸部を表面に有する電極パッドである。半導体素子と基板とを接続する場合、半導体素子が基板に仮搭載された後にリフロー等の加熱工程に供される。半導体素子が基板に仮搭載されるときには、金属凸部がはんだ層に押し付けられるため、金属凸部の先端の少なくとも一部が、はんだ層に貫入した状態となる。はんだは他の金属材料に比較して溶融温度が低

く硬度も低いことから、金属凸部の先端の少なくとも一部は、はんだ層に貫入しやすい。金属凸部の先端の少なくとも一部がはんだ層に貫入することで、基板に仮搭載された半導体素子は、基板上に仮固定されやすい。そのため、半導体素子を仮搭載された基板をハンドリングする際、リフロー等の加熱工程での振動などにより、仮搭載された半導体素子が基板から外れにくく、半導体素子の位置ずれが生じにくい。そのため、本開示の半導体素子の実装構造は、半導体素子と基板との接続精度に優れると推察される。本開示の半導体素子の実装構造は、特に狭ピッチ化された接続部を有する半導体素子の実装構造に有効である。

[0021] なお、本開示において「接続」とは、半導体素子及び基板又は半導体素子同士が電極（つまり、素子電極又は基板電極）を介して物理的に接続することを意味する。

半導体素子と基板とを接続する方法としては、特に制限されない。生産効率の観点から、加圧により前記第1電極パッドが有する前記金属凸部の少なくとも一部が、前記第1突起電極が有する前記はんだ層に貫入した状態として前記半導体素子と前記基板とを仮固定し、加熱により前記第1突起電極が有する前記はんだ層を熔融させて前記素子電極と前記基板電極とを接続する方法が挙げられる。

より具体的には、突起電極と電極パッドとを位置合せし、突起電極の先端部のはんだ層と電極パッドの表面の1又は2以上の金属凸部とが接触した状態で加圧する。これにより、突起電極のはんだ層に電極パッドの金属凸部の頂部が貫入して半導体素子が基板に仮搭載される。その後、リフローに代表される加熱装置を用いて、はんだ層を構成するはんだを熔融させ、突起電極と電極パッドとをはんだ接続させることができる。

[0022] 半導体素子を基板に仮搭載する際に、はんだの濡れ性を向上させ、接続を確実にするために、突起電極及び電極パッドの少なくとも一方にフラックスを付与してもよい。

[0023] はんだ層と金属凸部とが接触した状態で加圧する際に付与される圧力の

きさは、特に限定されるものではない。一般的なフリップチップの実装工程と同様に、突起電極の数、突起電極の高さのばらつき、加圧による突起電極又は基板上の配線の変形量等を考慮して設定することができる。具体的には、例えば、突起電極1個あたりに受ける荷重が1 g f (0.0098 N) ~ 20 g f (0.196 N) 程度になるように設定することが好ましい。また、例えば、一つの半導体素子に掛かる荷重が5 N ~ 200 N程度になるように設定することが好ましい。

突起電極1個あたりに受ける荷重が0.0098 N以上であるか又は半導体素子に掛かる荷重が5 N以上であれば、半導体素子の仮固定力が十分となり、後段の工程での半導体素子の位置ずれが生じにくい傾向にある。突起電極1個あたりに受ける荷重が0.196 N以下であるか又は半導体素子に掛かる荷重が200 N以下であれば、荷重が大きすぎることによる半導体素子の損傷の発生が抑制される傾向にある。

[0024] はんだ層と金属凸部とが接触した状態で加圧する際に、基板及び半導体素子の少なくとも一方を加熱してもよい。加熱温度は、生産性及び半導体素子を搬送装置で搬送する際の取り扱い性の観点から、はんだが溶融しない温度で行われることが好ましく、210℃以下の温度で行われることが好ましく、200℃以下の温度で行われることがより好ましい。

[0025] 半導体素子の種類は特に制限されず、シリコン、ゲルマニウム等の同一種類の元素から構成される元素半導体、ガリウムヒ素、インジウムリン等の化合物半導体などを用いることができる。樹脂等によってパッケージングされていないチップ(ダイ)そのもの、樹脂等によってパッケージングされているCSP、BGA(Ball Grid Array)等と呼ばれている半導体パッケージなども挙げることができる。また、半導体素子は、複数個の半導体素子を高さ方向及び平面方向の少なくとも一方に配置する構成のものでもよい。複数個の半導体素子を高さ方向に配置する場合には、複数個の半導体素子がTSVによって接続されていてもよい。

[0026] 突起電極としては、先端部にはんだ層を有するものであれば特に限定され

ない。突起電極としては、金属ポストと金属ポストの先端に設けられたはんだ層との組み合わせであってもよい。はんだ層を有する突起電極の材質は、はんだを有すること以外は特に制限されず、通常使用される材質から選択することができる。

突起電極の間隔は、 $1\ \mu\text{m}$ ～ $100\ \mu\text{m}$ であることが好ましく、 $10\ \mu\text{m}$ ～ $70\ \mu\text{m}$ であることがより好ましく、 $30\ \mu\text{m}$ ～ $50\ \mu\text{m}$ であることがさらに好ましい。

はんだ層の厚みは、 $0.1\ \mu\text{m}$ ～ $50\ \mu\text{m}$ であることが好ましく、 $1\ \mu\text{m}$ ～ $30\ \mu\text{m}$ であることがより好ましく、 $5\ \mu\text{m}$ ～ $20\ \mu\text{m}$ であることがさらに好ましい。はんだ層の厚みが $0.1\ \mu\text{m}$ 以上であれば、金属凸部のはんだ層への貫入量を十分に確保でき、仮固定力が小さくなりにくいいため後段の工程での位置ずれが生じにくい傾向にある。はんだ層の厚みが $50\ \mu\text{m}$ 以下であれば、はんだ層を熔融させて素子電極と基板電極とを接続するための処理時間が長くなりにくい傾向にある。また、素子電極と基板電極とを接続する際の、隣接する電極間の電氣的短絡が生じにくい傾向にある。

突起電極が金属ポストと金属ポストの先端に設けられたはんだ層とを有する構成である場合には、金、銀、銅、スズ、ニッケル等を主な成分とする金属層を有する金属ポストが、例えばメッキにより形成されていてもよい。金属ポストを構成する金属層は単一の成分を含むものであっても、複数の成分を含むものであってもよい。また、金属層は、単層構造であってもよく、複数の金属層が積層された積層構造をしていてもよい。金属ポストの材質としては、電気抵抗が小さく比較的耐蝕性が高いことから銅を好ましく用いることができる。

はんだ層のはんだ材料としては、スズ－銀系はんだ、スズ－鉛系はんだ、スズ－ビスマス系はんだ、スズ－銅系はんだ、金－銅系はんだ、スズ－銀－銅系はんだ等が使用でき、環境問題及び安全性の観点から、金－銅系はんだ、スズ－銅系はんだ、スズ－ビスマス系はんだ、スズ－銀系はんだ、スズ－銀－銅系はんだ等の無鉛はんだを好ましく使用することができる。

銅製の金属ポスト上にはんだ層を形成する場合は、接続信頼性を向上する観点から、金属成分間の拡散を抑制するためニッケル層を銅製の金属ポストとはんだ層との間に形成してもよい。また、はんだ層に電極パッドの金属凸部を貫入しやすくさせるために、めっき、印刷等ではんだ層を突起電極に形成後、はんだ層に対して加熱処理を行わなくともよい。

[0027] 基板の種類は特に制限されず、FR4、FR5等の繊維基材を含む有機基板、繊維基材を含まないビルドアップ型の有機基板、ポリイミド、ポリエステル等の有機フィルム、アルミナ、ガラス、シリコン等の無機材料を含む基材などに、接続用の電極を含む導体配線が形成された配線板を挙げることができる。基板には、セミアディティブ法、サブトラクティブ法等の手法により、回路、基板電極等が形成されていてもよい。

基板はシリコン(Si)でもよい。シリコン(Si)製の基板は、サイズ、厚み等について制限されない。シリコン(Si)製の基板としては、表面に接続用の電極を含む導体配線が形成されたウェハを挙げることができる。また、シリコン(Si)製の基板には、配線、トランジスタ、その他の電子素子、貫通電極(TSV)等が形成されていてもよい。

[0028] 金属凸部は、フォトリソグラフィーを用いて形成されたものであってもよい。

金属凸部を電極パッドの表面にフォトリソグラフィー技術を用いて形成する場合、シード層を残した電極パッド面に、感光性のフォトレジストを付与し、露光し、現像し、めっきし、フォトレジストを剥離し、シード層をエッチングするプロセスを経て形成することができる。金属凸部を形成する方法については、上記方法に限定されない。

金属凸部を形成する方法として、フォトリソグラフィーを用いて形成する方法以外に、ボールボンダーを用いて金、銅等の金属ワイヤーを電極パッド上に溶接し、柱状に形成し、特定の長さで切断する方法、3Dプリンターを用いて形成する方法、切削加工により形成する方法なども用いることができる。

[0029] 金属凸部の材質は、特に制限されず、銅、ニッケル等の各種金属を用いてもよい。金属凸部の材質に銅を用いた場合は、放熱効果のある接続抵抗の少ない接続部を有する半導体素子の実装構造を得ることが可能となる。

また、電極間の接続を確実にするために、金属凸部の表面に、金メッキ、ニッケル／金メッキ、OSP (Organic Solderability Preservatives) 処理等を施してもよい。OSPの市販品としては、四国化成工業株式会社の耐熱型水溶性プレフラックス タフエース F2 (LX) PK等が挙げられる。

[0030] 金属凸部の形状は特に限定されない。金属凸部の形状としては、円柱、直方体、三角柱等が挙げられる。

金属凸部の形状を円柱又は直方体としたときには、金属凸部の頂部と、これらの頂部が貫入され塑性変形した突起電極の先端部のはんだ層とがお互いに良好に噛み合うようになる。そのため、リフロー処理の際の外力に対しても十分な強度を得ることができ、接続部の位置ずれの発生をより抑制することができる傾向にある。

[0031] また、金属凸部は、円柱、直方体、三角柱等を高さ方向に少なくとも2つ重ねた形状としてもよい。この場合、電極パッドの表面に対して最上段に設けられた円柱、直方体、三角柱等の底部面積は、電極パッドの表面に対して最下段に設けられた円柱、直方体、三角柱等の底部面積よりも小さいことが好ましい。これにより、突起電極のはんだ層に金属凸部の頂部が貫入されやすくなり、金属凸部と突起電極のはんだ層との噛み合いが良好になり、リフロー処理の際の外力に対する強度が高くなり位置ずれがより生じにくくなる傾向にある。

はんだ層への貫入のし易さから、金属凸部の形状としては、円柱又は直方体が好ましい。

また、金属凸部は、円柱又は直方体を高さ方向に少なくとも2つ重ねた形状としたものであってもよい。

[0032] また、電極パッドは、表面に金属凸部を2つ以上有していてもよい。表面

に金属凸部を2つ以上有する場合、各金属凸部の形状は同じであっても異なっているもよい。

[0033] 電極パッドにおける金属凸部の高さは、突起電極のはんだ層の厚さ以下であることが望ましい。金属凸部の高さははんだ層の厚さ以下とすることで、金属凸部がはんだ層に貫入しやすくなる。金属凸部ができるだけ深くはんだ層に貫入された方が強度を大きくすることができ、接続部の位置ずれを抑制することができる傾向にある。金属凸部の高さは、特に限定されるものではなく、金属凸部のはんだ層への貫入量を大きくできるという観点及び工業的な生産性の観点から、 $0.1\ \mu\text{m} \sim 50\ \mu\text{m}$ であることが好ましく、 $0.5\ \mu\text{m} \sim 30\ \mu\text{m}$ であることがより好ましく、 $1\ \mu\text{m} \sim 10\ \mu\text{m}$ であることがさらに好ましい。はんだ溶融による金属凸部と突起電極との接続形成時にはんだの濡れ性を向上するために、金属凸部の最表面に金を主成分とする金含有層を形成することもできる。金含有層の形成方法は特に限定されず、めっき、スパッタリング等の方法を用いることができる。

[0034] 本開示の第一の半導体素子の実装構造では、電極パッドの金属凸部を突起電極のはんだ層に貫入させるために、金属凸部の底部面積が、突起電極のはんだ層の最大断面積に対して、75%以下とされ、好ましくは70%以下であり、より好ましくは50%以下であり、さらに好ましくは40%以下である。金属凸部の底部面積が突起電極のはんだ層の最大断面積に対して75%以下であると、突起電極のはんだ層に金属凸部が貫入することが容易となり、接続部の位置ずれが抑制される。また、突起電極のはんだ層に金属凸部が貫入する際の金属凸部の折れ、倒れなどを防止できる観点から、金属凸部の底部面積は、突起電極のはんだ層の最大断面積に対して、5%以上であることが好ましく、10%以上であることがより好ましい。本開示において、はんだ層の最大断面積は、突起電極を高さ方向から見たときのはんだ層の面積をいう。

また、本開示の第二の半導体素子の実装構造では、電極パッドの金属凸部を突起電極のはんだ層に貫入させるために、金属凸部の底部面積が、電極パ

ッドの面積に対して、70%以下とされ、好ましくは50%以下であり、より好ましくは40%以下である。金属凸部の底部面積が電極パッドの面積に対して70%以下であると、突起電極のはんだ層に金属凸部が貫入することが容易となり、接続部の位置ずれが抑制される。また、金属凸部の底部面積は、電極パッドの面積に対して、5%以上であってもよく、10%以上であってもよい。

[0035] 金属凸部の底部面積とは、金属凸部を高さ方向から観察したときの当該金属凸部が占める面積をいう。また、金属凸部が円柱、直方体、三角柱等を高さ方向に重ねた形状である場合、金属凸部の底部面積とは、最下段に設けられた円柱、直方体、三角柱等についての底部面積をいう。また、電極パッドが表面に金属凸部を2つ以上有する場合、金属凸部の底部面積とは、各金属凸部の底部面積の合計をいう。

[0036] 本開示の第二の半導体素子の実装構造において、突起電極を高さ方向から見たときのはんだ層の面積（はんだ層の最大断面積）に対する、金属凸部の底部面積は、75%以下であってもよく、70%以下であってもよく、50%以下であってもよく、40%以下であってもよい。また、突起電極を高さ方向から見たときのはんだ層の面積に対する、金属凸部の底部面積は、5%以上であってもよく、10%以上であってもよく、15%以上であってもよい。

[0037] 本開示の半導体素子の実装構造では、半導体素子の基板と対向する側とは反対側に、1又は2以上のその他の半導体素子が、各半導体素子同士が素子電極を介して接続された状態で積層されていてもよい。複数の半導体素子が積層される場合、接続関係にある2つの半導体素子において、一の半導体素子が有する素子電極及び他の半導体素子が有する素子電極の一方が、先端部にはんだ層を有する第2突起電極であり、一の半導体素子が有する素子電極及び他の半導体素子が有する素子電極の他方が、1又は2以上の金属凸部を表面に有する第2電極パッドであり、第2電極パッドが有する金属凸部が、第2突起電極が有するはんだ層に貫入しており、第2電極パッドが有する金

属凸部の底部面積が、先端部にはんだ層を有する第2突起電極のはんだ層の最大断面積に対して、75%以下であるか、または、第2電極パッドが有する金属凸部の底部面積が、第2電極パッドの面積に対して、70%以下であってもよい。

第2電極パッドが有する金属凸部の底部面積は、先端部にはんだ層を有する第2突起電極のはんだ層の最大断面積に対して、70%以下であってもよく、50%以下であってもよく、40%以下であってもよい。一方、第2電極パッドが有する金属凸部の底部面積は、先端部にはんだ層を有する第2突起電極のはんだ層の最大断面積に対して、5%以上であってもよく、10%以上であってもよく、15%以上であってもよい。

また、第2電極パッドが有する金属凸部の底部面積は、第2電極パッドの面積に対して、50%以下であってもよく、40%以下であってもよい。一方、第2電極パッドが有する金属凸部の底部面積は、第2電極パッドの面積に対して、5%以上であってもよく、10%以上であってもよく、15%以上であってもよい。

複数の半導体素子が積層される場合における突起電極及び電極パッドの詳細並びに突起電極と電極パッドとを接続するための方法の詳細は、上述のとおりである。

[0038] 次に、本開示の半導体素子の実装構造及びその製造方法について図面を参照しつつ具体例を説明する。但し、本発明はこれらの態様に限定されるものではない。なお、各図面においては、突起電極と電極パッドの金属凸部との接続部近傍の要部を図示している。

[0039] 図1Aは、半導体素子及び基板が接続される前の状態を示す要部断面図であり、図1Bは、半導体素子及び基板が接続される前の基板の状態を示す平面図であり、図2は、半導体素子が基板に仮搭載された状態を示す要部断面図であり、図3は、半導体素子及び基板が接続された後の状態を示す要部断面図である。なお、以下の図面においては、素子電極が突起電極であり、基板電極が電極パッドである構成について説明するが、本開示はこれに限定さ

れるものではなく、素子電極が電極パッドであり、基板電極が突起電極である構成であってもよい。

図1A、図1B、図2及び図3において、符号1は不図示の電極パッドを含む半導体素子を、符号2は半導体素子1の素子面の電極パッド上に形成された銅等の金属からなる金属ポスト（ピラー）を、符号3は金属ポスト2の先端部に設けられたはんだ層を示す。図1Aにおいて、金属ポスト2及びはんだ層3により突起電極が構成されている。また、符号6は基板を、符号4は基板6の表面の突起電極に対向する位置に形成された電極パッドを、符号5は電極パッド4の表面に設けられた金属凸部を示す。突起電極は半導体素子の素子面に形成され、電極パッド4は基板6の表面の突起電極に対向する位置に形成される。

[0040] まず、図1Aに示すように、半導体素子1の突起電極と、突起電極に対向する電極パッド4に設けられた金属凸部5の位置合わせを行う。次に図2に示すように、突起電極と金属凸部5を有する電極パッド4が対向した状態で加圧して、突起電極のはんだ層3に電極パッド4の金属凸部5を貫入させて仮搭載する。

[0041] その後、半導体素子1を基板6に仮搭載した状態で、リフローに代表される加熱装置を用いて、はんだ層3を熔融させ、半導体素子1の突起電極（素子電極）と基板6の金属凸部5を有する電極パッド4（基板電極）をはんだ接続させる。以上の工程を経ることで、図3に示すような金属凸部5がはんだ層3に貫入している半導体素子の実装構造が製造される。

はんだ接続完了後に、半導体素子と基板の間を樹脂材料で埋める封止を行ってもよい。作製物の構造、使用環境等に合わせた適切な封止樹脂材料を用いることで、作製物の使用環境下での動作の信頼性を向上できることがある。樹脂封止の方法は限定されないが、半導体素子と基板との間に液状樹脂材料を流し込むキャピラリーフローアンダーフィル工法、モールド工程で液状樹脂、熔融させた顆粒状樹脂等を流し込むモールドアンダーフィル工法などを用いることができる。液状樹脂には、シリカ、アルミナ、窒化珪素、窒化

ホウ素等の無機材料、有機材料などからなる粒子を加えたものを用いることもできる。アルミナ、窒化珪素、窒化ホウ素等の粒子を用いると樹脂材料の熱伝導率を高めることができ、発熱量の多い半導体素子を用いる場合、放熱特性を向上でき、半導体の動作の安定性を高めることができる傾向にある。

[0042] <半導体素子と基板との組み合わせ>

本開示の第一の半導体素子と基板との組み合わせは、素子電極を有する半導体素子と、前記半導体素子と対向する側の面の前記素子電極と対向する位置に設けられた基板電極を有する基板と、を含み、前記素子電極及び前記基板電極の一方が、先端部にはんだ層を有する突起電極であり、前記素子電極及び前記基板電極の他方が、1又は2以上の金属凸部を表面に有する電極パッドであり、前記金属凸部の底部面積が、前記先端部にはんだ層を有する突起電極の前記はんだ層の最大断面積に対して、75%以下としたものである。

また、本開示の第二の半導体素子と基板との組み合わせは、素子電極を有する半導体素子と、前記半導体素子と対向する側の面の前記素子電極と対向する位置に設けられた基板電極を有する基板と、を含み、前記素子電極及び前記基板電極の一方が、先端部にはんだ層を有する突起電極であり、前記素子電極及び前記基板電極の他方が、1又は2以上の金属凸部を表面に有する電極パッドであり、前記金属凸部の底部面積が、前記電極パッドの面積に対して、70%以下としたものである。

本開示において、第一の半導体素子と基板との組み合わせ及び第二の半導体素子と基板との組み合わせを、合わせて「半導体素子と基板との組み合わせ」と称することがある。

本開示の半導体素子と基板との組み合わせを用いることで、本開示の半導体素子の実装構造を製造してもよい。

本開示の半導体素子と基板との組み合わせに含まれる半導体素子、基板、電極パッド、突起電極等の詳細は、本開示の半導体素子の実装構造の場合と同様である。

- [0043] なお、以上はあくまで本開示の実施の形態の例示であって、本開示はこれらに限定されるものではなく、本開示の要旨を逸脱しない範囲で種々の変更及び改良を加えることは何ら差し支えない。

実施例

- [0044] 以下、本発明を実施例により具体的に説明するが、本発明はこれらの実施例に限定されるものではない。

- [0045] [実施例 1]

アルミニウム配線を有するサイズが $10\text{ mm} \times 8\text{ mm}$ で厚みが $725\text{ }\mu\text{ m}$ のシリコンチップ（株式会社ウォルツ、商品名「WALTS-TEG WM40-0102JY」、突起電極（バンプ）：Sn-Ag系はんだ、バンプはんだ厚み： $8\text{ }\mu\text{ m}$ 、バンプ間隔： $40\text{ }\mu\text{ m}$ 、銅ピラーの高さ： $15\text{ }\mu\text{ m}$ 、バンプサイズ： $\phi 20\text{ }\mu\text{ m}$ ）を半導体素子として用意した。

- [0046] シリコンウェハー上に、「WALTS-TEG WM40-0102JY」のバンプ位置に対向する位置にセミアディティブ工法を用いて、直径 $26\text{ }\mu\text{ m}$ 、厚み $2\text{ }\mu\text{ m}$ のめっき銅で電極パッドを形成した。このとき、シード層はエッチングしないでおいた。次に、作製した電極パッドの表面に同様にセミアディティブ工法を用いて、縦 $20\text{ }\mu\text{ m}$ 、横 $3\text{ }\mu\text{ m}$ 、高さ $5\text{ }\mu\text{ m}$ の金属凸部を作製し、最後に電極パッドのシード層をエッチングし、金属凸部を有する電極パッドを作製した。これを、 $10\text{ mm} \times 8\text{ mm}$ にダイシングして基板を作製し、これを評価に使用した。

- [0047] 次に、シリコンチップのバンプを有する面を基板側に向け、バンプが基板と接触するように、シリコンチップの上から 100 N の荷重で加圧用部材により加圧し、バンプのはんだ層に基板の金属凸部を貫入させた。この際、シリコンチップのバンプにフラックスを付与してから加圧した。このようにして、シリコンチップ（半導体素子）を仮搭載した基板を作製した。

- [0048] 上記でシリコンチップを仮搭載した基板を、IRリフロー炉（株式会社タムラ製作所、商品名「TNP225-337EM」）を通過させ、はんだを溶融し、シリコンチップのバンプを基板にはんだ接続した。なお、IRリフ

ロー炉内での加熱最高温度が260℃になるように温度プロファイルを設定した。

[0049] [実施例2]

シリコンウェハー上に、「WALTS-TEG WM40-0102JY」のバンプ位置に対向する位置にセミアディティブ工法を用いて、直径26 μm 、厚み2 μm のめっき銅で電極パッドを形成した。このとき、シード層はエッチングしないでおいた。次に、作製した電極パッドの表面に同様にセミアディティブ工法を用いて、縦20 μm 、横3 μm 、高さ5 μm の金属凸部を電極パッド上に2つ作製し、最後に電極パッドのシード層をエッチングし、金属凸部を有する電極パッドを作製した。これを、10mm×8mmにダイシングして評価に使用した以外は実施例1と同様とした。

[0050] [実施例3]

シリコンウェハー上に、「WALTS-TEG WM40-0102JY」のバンプ位置に対向する位置にセミアディティブ工法を用いて、直径26 μm 、厚み2 μm のめっき銅で電極パッドを形成した。このとき、シード層はエッチングしないでおいた。次に、作製した電極パッドの表面に同様にセミアディティブ工法を用いて、縦10 μm 、横10 μm 、高さ5 μm の金属凸部を電極パッド上に作製し、最後に電極パッドのシード層をエッチングし、金属凸部を有する電極パッドを作製した。これを、10mm×8mmにダイシングして評価に使用した以外は実施例1と同様とした。

[0051] [実施例4]

シリコンウェハー上に、「WALTS-TEG WM40-0102JY」のバンプ位置に対向する位置にセミアディティブ工法を用いて、直径26 μm 、厚み2 μm のめっき銅で電極パッドを形成した。このとき、シード層はエッチングしないでおいた。次に、作製した電極パッドの表面に同様にセミアディティブ工法を用いて、直径16 μm 、高さ5 μm の金属凸部を電極パッド上に作製し、最後に電極パッドのシード層をエッチングし、金属凸部を有する電極パッドを作製した。これを、10mm×8mmにダイシングし

て評価に使用した以外は実施例 1 と同様とした。

[0052] [実施例 5]

シリコンウェハー上に、「WALTS-TEG WM40-0102JY」の bumps 位置に対向する位置にセミアディティブ工法を用いて、直径 $26\ \mu\text{m}$ 、厚み $2\ \mu\text{m}$ のめっき銅で電極パッドを形成した。このとき、シード層はエッチングしないでおいた。次に、作製した電極パッドの表面に同様にセミアディティブ工法を用いて、直径 $16\ \mu\text{m}$ 、高さ $2\ \mu\text{m}$ の金属凸部を電極パッド上に作製した。この作製した円柱状の金属凸部上面に同様にセミアディティブ工法を用いて、直径 $8\ \mu\text{m}$ 、高さ $3\ \mu\text{m}$ の金属凸部を作製し、最後に電極パッドのシード層をエッチングし、金属凸部を有する電極パッドを作製した。これを、 $10\text{ mm} \times 8\text{ mm}$ にダイシングして評価に使用した以外は実施例 1 と同様とした。

[0053] [比較例 1]

実施例 1 の電極パッドの表面に金属凸部を作製しないこと以外は実施例 1 と同様とした。

[0054] [比較例 2]

シリコンウェハー上に、「WALTS-TEG WM40-0102JY」の bumps 位置に対向する位置にセミアディティブ工法を用いて、直径 $26\ \mu\text{m}$ 、厚み $2\ \mu\text{m}$ のめっき銅で電極パッドを形成した。このとき、シード層はエッチングしないでおいた。次に、作製した電極パッドの表面に同様にセミアディティブ工法を用いて、直径 $24\ \mu\text{m}$ 、高さ $5\ \mu\text{m}$ の金属凸部を電極パッド上に作製し、最後に電極パッドのシード層をエッチングし、金属凸部を有する電極パッドを作製した。これを、 $10\text{ mm} \times 8\text{ mm}$ にダイシングして評価に使用した以外は実施例 1 と同様とした。

[0055] [比較例 3]

シリコンウェハー上に、「WALTS-TEG WM40-0102JY」の bumps 位置に対向する位置にセミアディティブ工法を用いて、直径 $26\ \mu\text{m}$ 、厚み $2\ \mu\text{m}$ のめっき銅で電極パッドを形成した。このとき、シード層

はエッチングしないでおいた。次に、作製した電極パッドの表面に同様にセミアディティブ工法を用いて、直径 $22\mu\text{m}$ 、高さ $5\mu\text{m}$ の金属凸部を電極パッド上に作製し、最後に電極パッドのシード層をエッチングし、金属凸部を有する電極パッドを作製した。これを、 $10\text{mm}\times 8\text{mm}$ にダイシングして評価に使用した以外は実施例1と同様とした。

[0056] 上記で得られた半導体素子の実装構造について、以下のようにして、実装後の位置ずれの確認を行った。評価結果を表1に示す。

[0057] <シリコンチップと基板との位置ずれの確認>

位置ずれの確認は、シリコンチップのはんだバンプに、基板の金属凸部を貫入させシリコンチップを基板に仮搭載し、加熱処理によりはんだ接続した半導体素子の実装構造について、シリコンチップのはんだバンプと基板の電極パッド部分との位置ずれをX線観察装置（ノードソン・アドバンスト・テクノロジー株式会社、商品名「XD-7600NT100-CT」）で確認することで行った。位置ずれは、下記の評価基準に従って評価した。

なお、位置ずれは5箇所を測定し、その算術平均値を求めた。

[0058] ー評価基準ー

A：シリコンチップのバンプと基板の電極パッド部分との位置ずれの平均が $10\mu\text{m}$ 未満である。

B：シリコンチップのバンプと基板の電極パッド部分との位置ずれの平均が $10\mu\text{m}$ 以上、 $15\mu\text{m}$ 未満である。

C：シリコンチップのバンプと基板の電極パッド部分との位置ずれの平均が $15\mu\text{m}$ 以上である。

[0059]

[表1]

	実施例 1	実施例 2	実施例 3	実施例 4	実施例 5	比較例 1	比較例 2	比較例 3
金属凸部形状	直方体	直方体 ×2	直方体	円柱	円柱 2段	—	円柱	円柱
金属凸部 底部面積 (μm^2)	60	120	100	201	201	—	452	380
電極パッド 面積 (μm^2)	531	531	531	531	531	531	531	531
金属凸部/ 電極パッド 面積比率 (%)	11	23	19	38	38	—	85	72
位置ずれ 確認結果	A	A	A	A	A	C	C	B

[0060] [実施例6]

突起電極と反対面の同じ位置に電極パッドを有し、積層可能なアルミニウム配線を有するサイズが $10\text{ mm} \times 8\text{ mm}$ で厚みが $50\text{ }\mu\text{m}$ のシリコンチップ（株式会社ウォルツ、商品名「WALTS-TEG WM40-0101 JY」、突起電極（バンプ）：Sn-Ag系はんだ、バンプはんだ厚み： $8\text{ }\mu\text{m}$ 、バンプ間隔： $40\text{ }\mu\text{m}$ 、銅ピラーの高さ： $15\text{ }\mu\text{m}$ 、バンプサイズ： $\phi 20\text{ }\mu\text{m}$ 、電極パッド：パッドサイズ： $\phi 26\text{ }\mu\text{m}$ 、パッド高さ： $6\text{ }\mu\text{m}$ ）を半導体素子として用意した。この「WALTS-TEG WM40-0101 JY」の電極パッド上に実施例1と同様の方法で縦 $20\text{ }\mu\text{m}$ 、横 $3\text{ }\mu\text{m}$ 、高さ $5\text{ }\mu\text{m}$ の金属凸部を作製したものを評価に使用した。

次いで、シリコンチップのバンプを有する面を基板側に向け、バンプが基板と接触するように、シリコンチップの上から 100 N の荷重で加圧用部材により加圧し、バンプのはんだ層に基板の金属凸部を貫入させた。この際、シリコンチップのバンプにフラックスを付与してから加圧した。同様に、同じシリコンチップを同条件で4段積層して、シリコンチップ（半導体素子）を4段仮搭載した基板を作製した以外は実施例1と同様とした。

[0061] [実施例7]

実施例1において、シリコンチップを仮搭載した基板を、IRリフロー炉を通過させ、はんだ接続した基板に、日立化成株式会社の液状封止材：CE

LC-3730をジェットディスペンサー（武蔵エンジニアリング株式会社、商品名「FAD2500」）を用いて塗布し、165℃で2時間硬化した以外は実施例1と同様とした。

[0062] [実施例8]

シリコンウェハー上に、「WALTS-TEG WM40-0102JY」のバンプ位置に対向する位置にセミアディティブ工法を用いて、直径26 μm 、厚み2 μm のめっき銅で電極パッドを形成した。このとき、シード層はエッチングしないでおいた。次に、作製した電極パッドの表面に同様にセミアディティブ工法を用いて、直径16.4 μm 、高さ5 μm の金属凸部を電極パッド上に作製し、最後に電極パッドのシード層をエッチングし、金属凸部を有する電極パッドを作製した。これを、10mm×8mmにダイシングして評価に使用した以外は実施例1と同様とした。

[0063] [実施例9]

シリコンウェハー上に、「WALTS-TEG WM40-0102JY」のバンプ位置に対向する位置にセミアディティブ工法を用いて、直径26 μm 、厚み2 μm のめっき銅で電極パッドを形成した。このとき、シード層はエッチングしないでおいた。次に、作製した電極パッドの表面に同様にセミアディティブ工法を用いて、直径15 μm 、高さ5 μm の金属凸部を電極パッド上に作製し、最後に電極パッドのシード層をエッチングし、金属凸部を有する電極パッドを作製した。これを、10mm×8mmにダイシングして評価に使用した以外は実施例1と同様とした。

[0064] [実施例10]

シリコンウェハー上に、「WALTS-TEG WM40-0102JY」のバンプ位置に対向する位置にセミアディティブ工法を用いて、直径26 μm 、厚み2 μm のめっき銅で電極パッドを形成した。このとき、シード層はエッチングしないでおいた。次に、作製した電極パッドの表面に同様にセミアディティブ工法を用いて、直径14 μm 、高さ5 μm の金属凸部を電極パッド上に作製し、最後に電極パッドのシード層をエッチングし、金属凸部

を有する電極パッドを作製した。これを、 $10\text{ mm} \times 8\text{ mm}$ にダイシングして評価に使用した以外は実施例1と同様とした。

[0065] [実施例11]

シリコンウェハー上に、「WALTS-TEG WM40-0102JY」のバンプ位置に対向する位置にセミアディティブ工法を用いて、直径 $26\text{ }\mu\text{ m}$ 、厚み $2\text{ }\mu\text{ m}$ のめっき銅で電極パッドを形成した。このとき、シード層はエッチングしないでおいた。次に、作製した電極パッドの表面に同様にセミアディティブ工法を用いて、直径 $17\text{ }\mu\text{ m}$ 、高さ $5\text{ }\mu\text{ m}$ の金属凸部を電極パッド上に作製し、最後に電極パッドのシード層をエッチングし、金属凸部を有する電極パッドを作製した。これを、 $10\text{ mm} \times 8\text{ mm}$ にダイシングして評価に使用した以外は実施例1と同様とした。

[0066] 上記で得られた実施例6～実施例11の半導体素子の実装構造について、以下のようにして実装後の位置ずれの確認を行った。合わせて、実施例1～実施例5及び比較例1～比較例3の半導体素子の実装構造についても同様に評価した。評価結果を表2及び表3に示す。

[0067] <シリコンチップと基板との位置ずれの確認>

位置ずれの確認は、シリコンチップのはんだバンプに、基板の金属凸部を貫入させシリコンチップを基板に仮搭載し、加熱処理によりはんだ接続した半導体素子の実装構造について、シリコンチップのはんだバンプと基板の電極パッド部分との位置ずれをX線観察装置（ノードソン・アドバンスト・テクノロジー株式会社、商品名「XD-7600NT100-CT」）で確認することで行った。

なお、位置ずれは20箇所を測定し、シリコンチップのバンプと基板の電極パッド部分との位置ずれが $10\text{ }\mu\text{ m}$ 未満である箇所の割合（百分率）を求めた。

[0068]

[表2]

	実施例 1	実施例 2	実施例 3	実施例 4	実施例 5	実施例 6	実施例 7	実施例 8	実施例 9	実施例 10	実施例 11
金属凸部形状	直方体	直方体 x 2	直方体	円柱	円柱 2段	直方体	直方体	円柱	円柱	円柱	円柱
金属凸部 底部面積 (μm^2)	60	120	100	201	201	60	60	211	177	154	227
はんだ層の 最大断面積 (μm^2)	314	314	314	314	314	314	314	314	314	314	314
金属凸部の底部 面積／はんだ層 の最大断面積比 率 (%)	19	38	32	64	64	19	19	67	56	49	72
位置ずれ 確認結果 (%)	100	100	95	80	85	95	100	80	90	95	30
備考	-	-	-	-	-	チップ 積層	アンダー フィル	-	-	-	-

[0069] [表3]

	比較例 1	比較例 2	比較例 3
金属凸部形状	-	円柱	円柱
金属凸部 底部面積 (μm^2)	-	4 5 2	3 8 0
はんだ層の 最大断面積 (μm^2)	3 1 4	3 1 4	3 1 4
金属凸部の底部面積 ／はんだ層の最大断 面積比率 (%)	-	1 4 4	1 2 1
位置ずれ 確認結果 (%)	0	1 0	1 5
備考	-	-	-

[0070] 表 1 ～表 3 に示すように、本開示の半導体素子の実装構造は、位置ずれが生じにくく、接続精度に優れることがわかる。

[0071] 2017 年 9 月 15 日に出願された日本国特許出願 2017-177487 号の開示は、その全体が参照により本明細書に取り込まれる。

また、本明細書に記載された全ての文献、特許出願、及び技術規格は、個々の文献、特許出願、および技術規格が参照により取り込まれることが具体的かつ個々に記された場合と同程度に、本明細書中に参照により取り込まれる。

符号の説明

- [0072]
- 1 半導体素子
 - 2 金属ポスト
 - 3 はんだ層
 - 4 電極パッド
 - 5 金属凸部
 - 6 基板

請求の範囲

- [請求項1] 素子電極を有する半導体素子と、前記半導体素子と対向する側の面の前記素子電極と対向する位置に設けられた基板電極を有する基板とが、前記素子電極と前記基板電極とを介して接続されており、
- 前記素子電極及び前記基板電極の一方が、先端部にはんだ層を有する第1突起電極であり、
- 前記素子電極及び前記基板電極の他方が、1又は2以上の金属凸部を表面に有する第1電極パッドであり、
- 前記第1電極パッドが有する前記金属凸部が、前記第1突起電極が有する前記はんだ層に貫入しており、
- 前記第1電極パッドが有する前記金属凸部の底部面積が、前記先端部にはんだ層を有する第1突起電極の前記はんだ層の最大断面積に対して、75%以下である半導体素子の実装構造。
- [請求項2] 前記半導体素子の前記基板と対向する側とは反対側に、1又は2以上のその他の半導体素子が、各半導体素子同士が素子電極を介して接続された状態で積層されており、
- 接続関係にある2つの半導体素子において、一の半導体素子が有する素子電極及び他の半導体素子が有する素子電極の一方が、先端部にはんだ層を有する第2突起電極であり、
- 一の半導体素子が有する素子電極及び他の半導体素子が有する素子電極の他方が、1又は2以上の金属凸部を表面に有する第2電極パッドであり、
- 前記第2電極パッドが有する前記金属凸部が、前記第2突起電極が有する前記はんだ層に貫入しており、
- 前記第2電極パッドが有する前記金属凸部の底部面積が、前記先端部にはんだ層を有する第2突起電極の前記はんだ層の最大断面積に対して、75%以下である請求項1に記載の半導体素子の実装構造。
- [請求項3] 前記金属凸部の形状が、円柱又は直方体である請求項1又は請求項

2に記載の半導体素子の実装構造。

[請求項4] 前記金属凸部が、円柱又は直方体を高さ方向に少なくとも2つ重ねた形状としたものである請求項1～請求項3のいずれか1項に記載の半導体素子の実装構造。

[請求項5] 前記金属凸部が、フォトリソグラフィを用いて形成したものである請求項1～請求項4のいずれか1項に記載の半導体素子の実装構造。

[請求項6] 加圧により前記第1電極パッドが有する前記金属凸部の少なくとも一部が、前記第1突起電極が有する前記はんだ層に貫入した状態として前記半導体素子と前記基板とを仮固定し、加熱により前記第1突起電極が有する前記はんだ層を熔融させて前記素子電極と前記基板電極とを接続して得られる請求項1～請求項5のいずれか1項に記載の半導体素子の実装構造。

[請求項7] 素子電極を有する半導体素子と、前記半導体素子と対向する側の面の前記素子電極と対向する位置に設けられた基板電極を有する基板と、を含み、

前記素子電極及び前記基板電極の一方が、先端部にはんだ層を有する突起電極であり、

前記素子電極及び前記基板電極の他方が、1又は2以上の金属凸部を表面に有する電極パッドであり、

前記金属凸部の底部面積が、前記先端部にはんだ層を有する突起電極の前記はんだ層の最大断面積に対して、75%以下である半導体素子と基板との組み合わせ。

[請求項8] 素子電極を有する半導体素子と、前記半導体素子と対向する側の面の前記素子電極と対向する位置に設けられた基板電極を有する基板とが、前記素子電極と前記基板電極とを介して接続されており、

前記素子電極及び前記基板電極の一方が、先端部にはんだ層を有する第1突起電極であり、

前記素子電極及び前記基板電極の他方が、1又は2以上の金属凸部を表面に有する第1電極パッドであり、

前記第1電極パッドが有する前記金属凸部が、前記第1突起電極が有する前記はんだ層に貫入しており、

前記第1電極パッドが有する前記金属凸部の底部面積が、前記第1電極パッドの面積に対して、70%以下である半導体素子の実装構造。

[請求項9] 前記半導体素子の前記基板と対向する側とは反対側に、1又は2以上のその他の半導体素子が、各半導体素子同士が素子電極を介して接続された状態で積層されており、

接続関係にある2つの半導体素子において、一の半導体素子が有する素子電極及び他の半導体素子が有する素子電極の一方が、先端部にはんだ層を有する第2突起電極であり、

一の半導体素子が有する素子電極及び他の半導体素子が有する素子電極の他方が、1又は2以上の金属凸部を表面に有する第2電極パッドであり、

前記第2電極パッドが有する前記金属凸部が、前記第2突起電極が有する前記はんだ層に貫入しており、

前記第2電極パッドが有する前記金属凸部の底部面積が、前記第2電極パッドの面積に対して、70%以下である請求項8に記載の半導体素子の実装構造。

[請求項10] 前記金属凸部の形状が、円柱又は直方体である請求項8又は請求項9に記載の半導体素子の実装構造。

[請求項11] 前記金属凸部が、円柱又は直方体を高さ方向に少なくとも2つ重ねた形状としたものである請求項8～請求項10のいずれか1項に記載の半導体素子の実装構造。

[請求項12] 前記金属凸部が、フォトリソグラフィーを用いて形成したものである請求項8～請求項11のいずれか1項に記載の半導体素子の実装構造。

造。

[請求項13] 加圧により前記第1電極パッドが有する前記金属凸部の少なくとも一部が、前記第1突起電極が有する前記はんだ層に貫入した状態として前記半導体素子と前記基板とを仮固定し、加熱により前記第1突起電極が有する前記はんだ層を熔融させて前記素子電極と前記基板電極とを接続して得られる請求項8～請求項12のいずれか1項に記載の半導体素子の実装構造。

[請求項14] 素子電極を有する半導体素子と、前記半導体素子と対向する側の面の前記素子電極と対向する位置に設けられた基板電極を有する基板と、を含み、

前記素子電極及び前記基板電極の一方が、先端部にはんだ層を有する突起電極であり、

前記素子電極及び前記基板電極の他方が、1又は2以上の金属凸部を表面に有する電極パッドであり、

前記金属凸部の底部面積が、前記電極パッドの面積に対して、70%以下である半導体素子と基板との組み合わせ。