

명세서

발명의 명칭: 층간 경계를 덮는 증착층을 포함하는 반도체 제조용 부품 및 그 제조방법

기술분야

- [1] 본 발명은, 건식 식각 공정에서 웨이퍼 등의 기판을 이용하여 반도체 소자를 제조하기 위한 반도체 제조용 부품 및 그 제조방법에 관한 것으로서, 보다 상세하게는 복수 개의 층을 포함하며, 층간 경계를 덮는 증착층이 형성된 반도체 제조용 부품 및 그 제조방법에 관한 것이다.

배경기술

- [2] 일반적으로, 반도체 제조공정에서 사용되는 플라즈마 처리 기법은, 건식 식각공정 중 하나로서, 가스를 사용하여 대상을 식각하는 방법이다. 이는, 식각 가스를 반응용기 내로 주입시키고, 이온화시킨 후, 웨이퍼 표면으로 가속시켜, 웨이퍼 표면을 물리적, 화학적으로 제거하는 공정을 따른다. 이 방법은 식각의 조절이 용이하고, 생산성이 높으며, 수십 nm 수준의 미세 패턴형성이 가능하여 널리 사용되고 있다.
- [3]
- [4] 플라즈마 식각에서의 균일한 식각을 위하여 고려되어야 할 변수(parameter)들로는 식각할 층의 두께와 밀도, 식각 가스의 에너지 및 온도, 포토레지스트의 접착성과 웨이퍼 표면의 상태 및 식각 가스의 균일성 등을 들 수 있다. 특히, 식각 가스를 이온화시키고, 이온화된 식각 가스를 웨이퍼 표면으로 가속시켜 식각을 수행하는 원동력이 되는 고주파(RF: Radio frequency)의 조절은 중요한 변수가 될 수 있으며, 또한 실제 식각 과정에서 직접적으로 그리고 용이하게 조절할 수 있는 변수로 고려된다.
- [5]
- [6] 그러나, 실제로 건식 식각 장치 내에서 식각이 이루어지는 웨이퍼를 기준으로 볼 때, 웨이퍼 표면 전체에 대한 균일한 에너지 분포를 갖도록 하는 고른 고주파의 적용은 필수적이며, 이러한 고주파의 적용시의 균일한 에너지 분포의 적용은 고주파의 출력의 조절만으로는 달성될 수 없으며, 이를 해결하기 위하여는 고주파를 웨이퍼에 인가하는데 사용되는 고주파 전극으로서의 스테이지와 애노드의 형태 포커싱을 비롯한 반도체 제조용 부품들에 의하여 크게 좌우된다.
- [7]
- [8] 건식 식각 장치 내의 포커싱을 비롯한 다양한 반도체 제조용 부품들은 플라즈마가 존재하는 가혹한 조건의 반응용기 내에서 식각 처리가 이루어지는 웨이퍼 주변에 플라즈마가 집중되도록 하는 역할들을 수행하며 부품 스스로도 플라즈마에 노출되어 손상되게 된다. 따라서, 반도체 제조용 부품의 내플라즈마

특성을 증가시키기 위한 연구는 지속적으로 수행되어 왔다.

[9]

[10] 반도체 제조용 부품의 내플라즈마 특성 향상을 위해 화학적 기상 증착법을 비롯한 다양한 방법으로 내플라즈마 특성을 가진 물질로 반도체 제조용 부품을 증착하는 과정에서, 한번에 두꺼운 증착층을 형성하게 되면 여러 가지 문제가 발생할 수 있다.

[11]

[12] 많은 양의 원료가스가 주입되어 고온의 증착 물질이 계속 적층되는 과정에서 불순물이나 동종반응을 통해 형성된 핵 등이 이상 조직이 성장한 비정상 결정 구조를 발생시킬 수 있다. 최초에 작은 크기로 발생한 이상 조직의 비정상 결정 구조는 계속적인 증착이 수행되는 동안 지속적으로 성장하게 되어, 반도체 제조용 부품의 전체나 일부에 걸쳐 제품의 소재 특성을 저하시키는 요소로 작용하게 되는 문제가 있었다.

발명의 상세한 설명

기술적 과제

[13] 본 발명의 목적은, 전술한 바와 같은 문제점을 해결하기 위한 것으로, 이상 조직의 결정 구조의 확장을 차단할 수 있도록 층을 복수 개로 하여 빠르게 증착 형성하고, 그 복수 층간의 경계를 덮도록 내플라즈마 특성이 강한 층을 그 위에 다시 증착 형성함으로써, 내플라즈마 특성이 강하면서 이상 조직의 비정상 결정의 확장이 억제되고 생산 공정의 효율성은 오히려 높아지는, 층간 경계를 덮는 증착층을 포함하는 반도체 제조용 부품 및 그 제조방법을 제공할 수 있다.

[14]

[15] 그러나, 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 해당 기술분야의 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제 해결 수단

[16] 본 발명의 층간 경계를 덮는 증착층을 포함하는 반도체 제조용 부품은, 제 1 증착층; 상기 제 1 증착층 상에 형성되는 제 2 증착층; 및 상기 제 2 증착층 상에, 상기 제 1 증착층과 상기 제 2 증착층 간의 경계선의 적어도 일 부분을 덮도록 형성되는 제 3 증착층;을 포함하는 것이다.

[17] 본 발명의 일 실시예에 따르면, 상기 제 1 증착층, 제 2 증착층 또는 이 둘은, 복수 개의 층으로 형성되는 것이고, 상기 제 3 증착층은 상기 제 1 증착층, 제 2 증착층 또는 이 둘의 복수 개의 층 간 경계선의 적어도 일 부분을 덮도록 형성되는 것일 수 있다.

[18] 본 발명의 일 실시예에 따르면, 상기 제 1 증착층 및 제 2 증착층, 각각의 결정립 크기는, 상기 제 3 증착층의 결정립 크기보다 큰 것일 수 있다.

[19] 본 발명의 일 실시예에 따르면, 상기 제 1 증착층 및 제 2 증착층, 각각의 X선

- 회절 스펙트럼의 (111)면의 회절 피크 강도 대비, (200)면 및 (220)면의 회절 피크 강도 합의 비는, 0.9 내지 3.5 인 것일 수 있다.
- [20] 본 발명의 일 실시예에 따르면, 상기 제 3 증착층의 X선 회절 스펙트럼의 (111)면의 회절 피크 강도 대비, (200)면 및 (220)면의 회절 피크 강도 합의 비는, 0.05 내지 0.9 인 것일 수 있다.
- [21] 본 발명의 일 실시예에 따르면, 상기 제 3 증착층의 X선 회절 스펙트럼의 (111)면의 회절 피크 강도 대비, (311)면의 회절 피크 강도의 비는, 0.05 내지 0.3 인 것일 수 있다.
- [22] 본 발명의 일 실시예에 따르면, 상기 제 1 증착층, 상기 제 2 증착층 및 제 3 증착층, 각각은, SiC 또는 TaC 중 하나 이상을 포함하는 것일 수 있다.
- [23] 본 발명의 일 실시예에 따르면, 상기 제 1 증착층, 상기 제 2 증착층 및 제 3 증착층의 조성은 동일한 것일 수 있다.
- [24] 본 발명의 일 실시예에 따르면, 상기 제 3 증착층의 두께는, 0.7 mm 내지 2.5 mm 인 것일 수 있다.
- [25] 본 발명의 일 실시예에 따르면, 상기 제 1 증착층과 제 2 증착층은, 투과도 값이 각각 상이한 것일 수 있다.
- [26] 본 발명의 일 실시예에 따르면, 상기 제 1 증착층, 제 2 증착층 또는 이 둘의 복수 개의 층은, 투과도 값이 각각 상이한 것일 수 있다.
- [27] 본 발명의 일 실시예에 따르면, 상기 반도체 제조용 부품은, 플라즈마 처리장치 부품으로서, 링, 전극부 및 컨덕터로 이루어진 군에서 선택되는 적어도 어느 하나를 포함하는 것일 수 있다.
- [28]
- [29] 본 발명의 중간 경계를 덮는 증착층을 포함하는 반도체 제조용 부품의 제조방법은, 모재를 준비하는 단계; 상기 모재 상에 화학적 기상 증착법으로 제 1 증착층을 형성하는 단계; 상기 제 1 증착층 상에 화학적 기상 증착법으로 제 2 증착층을 형성하는 단계; 1차 가공 단계; 제 3 증착층을 형성하는 단계; 및 2차 가공 단계;를 포함하는 것일 수 있다.
- [30] 본 발명의 일 실시예에 따르면, 상기 제 1 증착층을 형성하는 단계와 상기 제 2 증착층을 형성하는 단계의 증착 가스 유량 및 증착 가스 조성은 동일한 것일 수 있다.
- [31] 본 발명의 일 실시예에 따르면, 상기 제 3 증착층을 형성하는 단계의 증착 가스 공급 유량은, 상기 제 1 증착층 및 제 2 증착층을 형성하는 단계의 증착 가스 공급 유량의 30 % 내지 80 % 인 것일 수 있다.
- [32] 본 발명의 일 실시예에 따르면, 상기 제 1 증착층 및 제 2 증착층을 형성하는 단계의 증착층 형성 속도는, 30 $\mu\text{m/hr}$ 내지 65 $\mu\text{m/hr}$ 인 것일 수 있다.
- [33] 본 발명의 일 실시예에 따르면, 상기 제 3 증착층을 형성하는 단계의 증착층 형성 속도는, 상기 제 1 증착층 및 제 2 증착층을 형성하는 단계의 증착층 두께 형성 속도의 30 % 내지 80 % 인 것일 수 있다.

- [34] 본 발명의 일 실시예에 따르면, 1차 가공 단계와 제 3 증착층을 형성하는 단계 사이, 2차 가공 단계 이후, 또는 둘 다에 세정 단계를 더 포함할 수 있다.
- [35] 본 발명의 일 실시예에 따르면, 1차 가공 단계는, 제 1 증착층 및 제 2 증착층 간 경계선의 적어도 일 부분을 포함하는 면을 가공하는 것일 수 있다.
- [36] 본 발명의 일 실시예에 따르면, 상기 1차 가공 단계는 모재를 제거하는 단계를 포함하는 것일 수 있다.
- [37] 본 발명의 일 실시예에 따르면, 상기 2차 가공단계는 상기 모재를 제거하는 단계를 포함하는 것일 수 있다.
- [38] 본 발명의 일 실시예에 따르면, 상기 모재는 그래파이트, 카본블랙, SiC, TaC 및 ZrC 로 이루어진 군에서 선택된 하나 이상을 포함하는 것일 수 있다.

발명의 효과

- [39] 본 발명의 일 실시예에 따른 층간 경계를 덮는 증착층을 포함하는 반도체 제조용 부품 및 그 제조방법은, 복수 개의 층을 형성함으로써 이상 조직의 비정상 결정 성장이 억제될 수 있다. 또한, 복수 개의 층이 형성될 때, 플라즈마에 취약해서 식각되기 쉬운 층간 경계 주변 부분이 내플라즈마 특성이 강한 층으로 덮임으로써 제품의 내구성이 증가하는 효과가 있다. 또한, 층 별 용도에 따라 각 층의 유량 및 적층 속도를 조절함으로써, 전체적인 반도체 제조용 부품의 생산 시간은 단축되어 제품 생산 공정의 효율성이 향상되는 측면도 있다.

도면의 간단한 설명

- [40] 도 1은, 본 발명의 일 실시예에 따라 제조된, 층간 경계를 덮는 증착층을 포함하는 반도체 제조용 부품의 단면을 예시적으로 나타낸 것이다.
- [41] 도 2는, 본 발명의 다른 일 실시예에 따라 제조된, 층간 경계를 덮는 증착층을 포함하는 반도체 제조용 부품의 단면을 예시적으로 나타낸 것이다.
- [42] 도 3a 및 도 3b는, 본 발명의 일 실시예에 따라 제조된, 층간 경계를 덮는 증착층을 포함하는 반도체 제조용 부품의 X-선 회절패턴을 나타낸 것이다.
- [43] 도 4는, 본 발명의 일 실시예에 따라, 층간 경계를 덮는 증착층을 포함하는 반도체 제조용 부품의 제조방법 각 단계를 순차적으로 도시한 것이다.
- [44] 도 5는, 본 발명의 일 실시예에 따라, 층간 경계를 덮는 증착층을 포함하는 반도체 제조용 부품의 제조방법 각 단계를, 제조되는 부품의 단면을 이용하여 예시적으로 나타낸 것이다.
- [45] 도 6은, 본 발명의 다른 일 실시예에 따라, 층간 경계를 덮는 증착층을 포함하는 반도체 제조용 부품의 제조방법 각 단계를, 제조되는 부품의 단면을 이용하여 예시적으로 나타낸 것이다.

발명의 실시를 위한 최선의 형태

- [46] 이하에서, 첨부된 도면을 참조하여 실시예들을 상세하게 설명한다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.
- [47] 아래 설명하는 실시예들에는 다양한 변경이 가해질 수 있다. 아래 설명하는

실시예들은 실시 형태에 대해 한정하려는 것이 아니며, 이들에 대한 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

- [48] 실시예에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 실시예를 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [49] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 실시예가 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [50] 또한, 첨부 도면을 참조하여 설명함에 있어, 도면 부호에 관계없이 동일한 구성 요소는 동일한 참조 부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다. 실시예를 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 실시예의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [51]
- [52] 도 1은, 본 발명의 일 실시예에 따라 제조된, 층간 경계를 덮는 증착층을 포함하는 반도체 제조용 부품의 단면을 예시적으로 나타낸 것이다.
- [53]
- [54] 본 발명의 층간 경계를 덮는 증착층을 포함하는 반도체 제조용 부품은, 제 1 증착층(210); 상기 제 1 증착층 상에 형성되는 제 2 증착층(220); 및 상기 제 2 증착층 상에, 상기 제 1 증착층과 상기 제 2 증착층 간의 경계선(300)의 적어도 일 부분을 덮도록 형성되는 제 3 증착층;을 포함하는 것이다.
- [55]
- [56] 본 발명의 일 실시예에 따르면, 탄소를 포함하는 모재 상에 상기 제 1 증착층, 제 2 증착층 및 제 3 증착층이 형성되는 단계를 포함하여 반도체 제조용 부품을 제조할 수 있는 것이며, 최종적으로 제조가 완성된 반도체 제조용 부품에서는 상기 모재를 제거한 것일 수 있다.
- [57] 도 2는, 본 발명의 다른 일 실시예에 따라 제조된, 층간 경계를 덮는 증착층을 포함하는 반도체 제조용 부품의 단면을 예시적으로 나타낸 것이다.
- [58] 상기 도 1 및 도 2에서는 본 발명의 일 실시예에 따라 최종적으로 모재가 제거된 상태인 반도체 제조용 부품의 단면이 도시되어 있다.
- [59] 적층 형성된 제 1 증착층 및 제 2 증착층 간에는, 각 층을 형성하는 증착 가스의

조성이 상이한 경우는 물론, 동일한 경우에도 경계선이 생길 수 있다. 이 때, 제 3 증착층은 제 1 증착층 및 제 2 증착층 간의 경계선의 적어도 일 부분을 덮도록 형성될 수 있다.

[60]

[61] 본 발명의 일 측면에 따르는 제 3 증착층은 플라즈마 식각 장치에서 제 1 증착층 및 제 2 증착층 간의 경계선이 플라즈마에 노출되지 않도록 적어도 일 부분을 덮도록 형성되면 충분하다. 제 3 증착층은 도 1과 같이, 반도체 제조용 부품의 상면을 덮도록 형성될 수도 있으며, 도 2와 같이, 반도체 제조용 부품의 상면 및 일 측부까지 덮도록 형성될 수도 있다. 두 경우 모두 제 1 증착층 및 제 2 증착층 간 경계선의 적어도 일 부분을 제 3 증착층이 덮고 있다.

[62]

[63] 앞서 설명한 바와 같이, 고온의 증착 가스를 계속적으로 증착하게 되면, 이상 조직의 비정상 결정 구조가 계속 성장할 수 있다. 본 발명의 일 측면에서는, 제 1 증착층 및 제 2 증착층을 나누어 형성함으로써, 이상 조직의 비정상 결정 구조의 계속적인 성장을 차단하는 효과가 있다.

[64]

다만, 위와 같이 층을 구분하여 적층하게 될 경우, 플라즈마 식각 공정에 이용되는 포커스 링과 같은 반도체 제조용 부품은 제 1 증착층과 제 2 증착층 간의 경계면에서 크게 식각되는 문제가 발생할 수도 있다. 이는, 부품의 내구성을 떨어뜨리고, 비산된 증착층의 물질이 최종적으로 생산되는 반도체 제품의 결함을 유발할 수 있게 된다. 이로 인해, 부품의 내플라즈마성 향상을 위한 목적으로 형성되는 제 1 증착층 및 제 2 증착층은 그 역할을 다하지 못하게 될 수 있다.

[65]

본 발명의 일 측면에서는, 적층 공정으로 층을 형성할 경우 발생할 수 있는 이와 같은 문제점을 차단하고자, 제 1 증착층과 제 2 증착층 간의 경계선의 적어도 일 부분을 덮도록 제 3 증착층을 포함하는 반도체 제조용 부품을 제공하는 것이다.

[66]

[67] 본 발명의 일 실시예에 따르면, 상기 제 1 증착층, 2 증착층 또는 이 둘은, 복수 개의 층으로 형성되는 것이고, 상기 제 3 증착층은 상기 제 1 증착층, 2 증착층 또는 이 둘의 복수 개의 층 간 경계선의 적어도 일 부분을 덮도록 형성되는 것일 수 있다. 즉, 제 1 증착층과 제 2 증착층은 각각이 복수 개의 층으로 형성될 수도 있는 것이다.

[68]

[69] 본 발명의 일 실시예에 따르면, 상기 제 1 증착층 및 제 2 증착층, 각각의 결정립 크기는, 상기 제 3 증착층의 결정립 크기보다 큰 것일 수 있다.

[70]

증착층이 형성될 때, 빠른 속도로 증착층을 형성하면 그 생산성이 증가하는 반면, 그 결정립의 크기가 크게 형성되어 그 조직이 성기게 형성되고 내플라즈마 특성이 저하되며, 느린 속도로 증착층을 형성하면 그 생산성은 떨어지는 반면, 결정립의 크기가 작게 형성되어 그 조직이 치밀하고 내플라즈마 특성이

증가한다고 알려져 있다.

- [71] 본 발명의 일 측면에 따르면, 제 3 증착층은 결정립의 크기를 작게 형성하여 내플라즈마 특성이 강화되는 장점이 있고, 제 1 증착층 및 제 2 증착층은 결정립의 크기를 상대적으로 크게 형성하여 빠른 시간 안에 증착함으로써 공정의 생산성을 향상시키는 효과가 있다. 이 때, 제 3 증착층은 제 1 증착층 및 제 2 증착층 보다 다소 느린 속도로 형성되더라도, 제 1 증착층 및 제 2 증착층을 증착하는 시간이 크게 단축되어 전체적으로 생산 속도가 증가하게 될 수 있다. 즉, 본 발명의 일 측면에 따르면, 제품의 생산성이 향상되는 효과도 있다.
- [72]
- [73] 상기 반도체 제조용 부품의 증착층은, 결정성이 높고 다양한 결정면이 성장된 이방성 결정을 포함할 수 있다. 이러한 결정면은, 도 3a 및 도 3b를 참고하면 확인할 수 있다.
- [74]
- [75] 도 3a 및 도 3b는, 본 발명의 일 실시예에 따라 제조된, 층간 경계를 덮는 증착층을 포함하는 반도체 제조용 부품의 X-선(XRD) 회절패턴을 나타낸 것이다. 도 3a는, 본 발명의 일 실시예에 따라 형성된 제 1 증착층 및 제 2 증착층의 X-선 회절 패턴을 나타낸 그래프이고, 도 3b는, 본 발명의 일 실시예에 따라 형성된 제 3 증착층의 X-선 회절 패턴을 나타낸 그래프이다.
- [76] 도 3a 및 도 3b의 X-선 회절 패턴은, 본 발명의 기술 분야에서 적용되는 X-선 회절 측정 방법을 이용할 수 있으며, 예를 들어, 박막 또는 분말 X-선 회절 측정 방법을 이용할 수 있다. 도 3a 및 도 3b의 경우, SiC를 제 1 증착층 내지 제 3 증착층의 성분으로 하여 본 발명의 일 실시예에 따른 반도체 제조용 부품을 제조하고, 각 층에 X-선을 조사하여 얻은 그래프이다. X-선 분석 장치는 "Rigaku, Dmax 2500" 를 이용하여 세로축에 회절강도, 가로축에 회절각(2 θ)을 나타낸 X-선 패턴을 획득하였고, MDI/JADE 35-0801에 의해 SiC 성분을 확인하였다.
- [77] 각각의 결정면 방향의 회절 피크 강도의 비는 각각의 방향으로의 결정의 성장 정도를 의미하는 것이고, 각 증착층은 그 증착 환경에 따라 결정된 고유의 결정면 회절 피크 강도 값을 가지게 된다. 이러한 X-선 패턴의 결과에서, (111)면에 비해 타 결정면 방향, 예를 들어 (200), (220) 또는 (311)면 방향으로의 결정 성장이 얼마나 이루어졌는가를 통해 각 증착층의 물성을 나타내는 지표를 확보할 수 있게 된다.
- [78]
- [79] 본 발명의 일 실시예에 따르면, 상기 제 1 증착층 및 제 2 증착층, 각각의 X선 회절 스펙트럼의 (111)면의 회절 피크 강도 대비, (200)면 및 (220)면의 회절 피크 강도 합의 비는, 0.9 내지 3.5 인 것일 수 있다.
- [80] 본 발명의 일 실시예에 따르면, 상기 제 3 증착층의 X선 회절 스펙트럼의 (111)면의 회절 피크 강도 대비, (200)면 및 (220)면의 회절 피크 강도 합의 비는, 0.05 내지 0.9 인 것일 수 있다.

- [81] 본 발명의 일 실시예에 따르면, 상기 제 3 증착층의 X선 회절 스펙트럼의 (111)면의 회절 피크 강도 대비, (311)면의 회절 피크 강도의 비는, 0.05 내지 0.3 인 것일 수 있다.
- [82]
- [83] 본 발명의 일 측면에 따르면, 제 1 증착층 및 제 2 증착층 각각은, (200)면 및 (220)면 방향으로의 성장면의 강도의 합이 (111)면 방향의 성장면에 대비할 때 상당히 높은 수준으로 성장된 것임을 의미하는 것이다. 반면, 제 3 증착층의 경우, (200)면 및 (220)면 방향으로의 성장면의 강도의 합이 (111)면 방향의 성장면에 대비할 때 높지 않은 수준임을 의미한다. 또한, 제 3 증착층의 경우, (311)면의 성장면의 강도 또한 (111)면 방향의 성장면에 대비할 때 높지 않은 수준임을 의미한다.
- [84]
- [85] 본 발명의 일 실시예에 따르면, 상기 제 1 증착층, 상기 제 2 증착층 및 제 3 증착층, 각각은, SiC 또는 TaC 중 하나 이상을 포함하는 것일 수 있다. 본 발명의 일 실시예에 따르면, 상기 제 1 증착층, 상기 제 2 증착층 및 제 3 증착층의 조성은 동일한 것일 수 있다.
- [86] 본 발명에서는, 제 1 증착층, 제 2 증착층 및 제 3 증착층은 내플라즈마 특성 등에 있어서 각각의 층 별로 차이가 있을 수 있으나, 각각의 증착층의 조성은 동일한 것으로 형성될 수 있다.
- [87] 본 발명의 일 실시예에 따르면, 상기 제 3 증착층의 두께는, 0.7 mm 내지 2.5 mm 인 것일 수 있다.
- [88] 본 발명의 일 실시예에 따르면, 제 3 증착층은 건식 식각장치 내에서 플라즈마에 의해 손상되는 두께를 고려하여 형성되는 것이 좋다. 건식 식각 장치에서 통상적으로 플라즈마에 의해 식각되는 내플라즈마성 소재의 경우 그 소재의 종류에 따라 일반적으로 0.5 mm 정도가 식각될 수 있다. 본 발명에서는 플라즈마에 의해 제 3 증착층 일부가 식각되더라도, 제 1 증착층과 제 2 증착층 간의 경계선이 드러나지 않도록 0.7 mm 내지 2.5 mm 두께로 제 3 증착층을 형성할 수 있다. 0.7 mm 미만의 경우, 선택된 소재에 따라 제 1 증착층과 제 2 증착층 간의 경계가 드러나서 부품이 크게 손상될 수 있으며, 2.5 mm 두께를 초과할 경우, 제품의 생산성이 떨어지는 문제가 생길 수 있다.
- [89]
- [90] 본 발명의 일 실시예에 따르면, 상기 제 1 증착층과 제 2 증착층은, 투과도 값이 각각 상이한 것일 수 있다.
- [91] 본 발명에서 의미하는 투과도는 물질층을 빛이 통과하는 정도로서, 물질층을 통과하여 나온 빛의 세기를 물질층에 대한 입사광의 세기로 나눈 값에 해당한다. 투과도는 다양한 방법으로 측정될 수 있으나, 3 mm 두께로 시편을 제작하고 광도 150 Lux 이상의 광원을 이용하여 시편과 광원과의 거리가 7 cm 이내에서 측정한 것일 수 있다. 두께나 광원, 시편과 광원과의 거리에 따라 투과도는

달라지게 되므로, 동일한 두께인 경우의 상대값으로 고려될 수 있다.

- [92] 투과도는 물질의 고유한 특징에 해당하며, 동일한 성분 및 조성을 가진 소재라도 그 결정 구조나 상에 따라 서로 다른 투과도를 가질 수 있다. 본 발명에 따르는 층간 경계를 덮는 증착층을 포함하는 반도체 제조용 부품은, 서로 다른 투과도를 갖는 제 1 증착층과 제 2 증착층을 포함할 수 있다. 상기 제 1 증착층과 제 2 증착층은 또한 각각이 복수개의 층으로 구성될 수 있음은 물론이다.
- [93]
- [94] 적층된 제 1 증착층과 제 2 증착층은, 동일한 조성의 증착 가스로 형성되더라도 그 층들의 경계에서 색이 점진적으로 중첩되면서 변하게 될 수 있다. 이렇게 형성된 제 1 증착층과 제 2 증착층은 서로 다른 투과도를 가질 수 있다.
- [95]
- [96] 본 발명의 일 측면에 따르면, 상술한 바와 같이 상기 적층된 제 1 증착층과 제 2 증착층의 경계에서, 이상 조직으로 형성된 비정상 결정 구조의 성장이 단절될 수 있다. 본 발명의 일 측면에서는, 종래의 연속적인 증착 과정을 단절시켜 단계적으로 각 층을 형성함으로써 비정상 결정 구조의 계속적인 성장을 제어할 수 있다. 이 때 비정상 결정 구조는 연속적인 증착 과정이 단절됨으로써 계속적으로 성장하지 못하고, 각 층의 경계에서 비정상 결정의 성장이 단절된 구조가 형성될 수 있다.
- [97]
- [98] 본 발명의 일 실시예에 따르면, 상기 제 1 증착층, 2 증착층 또는 이 둘의 복수 개의 층은, 투과도 값이 각각 상이한 것일 수 있다.
- [99]
- [100] 본 발명의 일 실시예에 따르면, 상기 반도체 제조용 부품은, 플라즈마 처리장치 부품으로서, 링, 전극부 및 컨덕터로 이루어진 군에서 선택되는 적어도 어느 하나를 포함하는 것일 수 있다. 본 발명의 제 1 증착층 내지 제 3 증착층을 포함하는 반도체 제조용 부품은, 플라즈마 처리장치에서 부품이 플라즈마에 노출되어 식각되는 문제를 개선하기 위한 측면도 있으므로, 플라즈마 처리 부품으로 플라즈마에 노출되는 것이 일반적인 링, 전극부 및 컨덕터 등을 포함할 수 있다. 상기 링은 포커스 링을 포함할 수 있다.
- [101]
- [102] 도 4는, 본 발명의 일 실시예에 따라, 층간 경계를 덮는 증착층을 포함하는 반도체 제조용 부품의 제조방법 각 단계를 순차적으로 도시한 것이다.
- [103] 도 5는, 본 발명의 일 실시예에 따라, 층간 경계를 덮는 증착층을 포함하는 반도체 제조용 부품의 제조방법 각 단계를, 제조되는 부품의 단면을 이용하여 예시적으로 나타낸 것이다.
- [104] 도 6은, 본 발명의 다른 일 실시예에 따라, 층간 경계를 덮는 증착층을 포함하는 반도체 제조용 부품의 제조방법 각 단계를, 제조되는 부품의 단면을 이용하여 예시적으로 나타낸 것이다.

- [105]
- [106] 아래에서는 도 4 내지 도 6을 참조하여, 본 발명의 일 실시예에 따르는, 중간 경계를 덮는 증착층을 포함하는 반도체 제조용 부품의 제조방법을 설명한다.
- [107]
- [108] 본 발명의 중간 경계를 덮는 증착층을 포함하는 반도체 제조용 부품의 제조방법은, 모재를 준비하는 단계(S10); 상기 모재 상에 화학적 기상 증착법으로 제 1 증착층을 형성하는 단계(S20); 상기 제 1 증착층 상에 화학적 기상 증착법으로 제 2 증착층을 형성하는 단계(S30); 1차 가공 단계(S40); 제 3 증착층을 형성하는 단계(S50); 및 2차 가공 단계(S60);를 포함하는 것일 수 있다.
- [109] 본 발명에서 모재는, 그라파이트, 카본 블랙, 천연 흑연, 인조 흑연, 합성 흑연 등 탄소를 포함하는 물질이면 특별히 한정하지 아니한다. 모재는 증착 장치 내에서, 증착 가스가 그 주변으로 형성되어 그 표면에 증착되도록 하는 피증착물 기능을 하며, 결과적으로 본 발명에서는 모재 상에 제 1 증착층 내지 제 3 증착층이 형성되는 것이다. 이 때, 제 1 증착층 내지 제 3 증착층은 모재의 전체 면 상에 형성 될 수 있고, 설계에 따라 모재의 일 면이 마스킹 등으로 가리워진 채로, 가리워지지 않은 타 면 상에만 형성될 수도 있다.
- [110] 모재는 그 위로 제 1 증착층이 형성될 수 있는 것이면 족하며, 제 1 증착층(210)의 하면 면적이 모재(100)의 상면 면적과 동일한 면적을 가지도록 상면 위로 형성될 수 있고, 제 1 증착층이 모재의 상면뿐 아니라 일 측부까지 덮도록 형성될 수도 있다.
- [111] 상기 모재는 제 1 증착층이 상부에 형성되는 것이므로, 제 1 증착층의 증착 소재를 고려하여 상기 군에서 선택된 소재를 포함하여 증착이 잘 이루어질 수 있는 재질로 형성하는 것이 바람직하다.
- [112] 제 1 증착층을 형성하는 단계에서는, 모재를 피증착물로 하여 모재 상부에 화학적 기상 증착법으로 제 1 증착층을 형성한다. 이 때, 제 1 증착층은, 모재 상면을 덮도록 형성될 수 있으며, 모재 측면의 일부까지 덮도록 형성될 수도 있으며, 모재의 하면 까지 덮도록 형성될 수도 있다.
- [113] 제 2 증착층을 형성하는 단계에서는, 모재 및 제 1 증착층을 피증착물로 하여 화학적 기상 증착법으로 그 상부에 제 2 증착층을 형성한다. 제 2 증착층 또한, 제 1 증착층과 마찬가지로 모재 및 제 1 증착층으로 형성된 피증착물의 상면을 덮도록 형성될 수 있으며, 추가적인 측면 또는 하면까지 덮도록 형성될 수도 있다.
- [114] 이 후, 1차 가공 단계에서 반도체 제조용 부품의 필요한 규격 및 형상에 부합하도록 가공을 수행하는데, 본 발명에서 이 가공 수단은 물리적으로 반도체 제조용 부품 외형을 가공할 수 있는 것이라면 특별히 한정하지 아니한다.
- [115] 그 다음, 가공 형성된 반도체 제조용 부품을 다시 피증착물로 하여 제 3 증착층을 형성한다.
- [116] 일반적으로 복수 층을 적층하는 공정들은 복수 개의 층을 증착하여 적층한 뒤

가공하고 공정을 종료하게 되나, 본 발명에 따르면, 적어도 두 개 이상의 층을 적층한 뒤, 제 1 차 가공 단계를 수행하고 다시 제 3 증착층의 적층 작업이 필요로 되는 차별성이 있다. 제 3 증착층은 상술한 바와 같이 제 1 증착층 및 제 2 증착층을 덮어 플라즈마 식각 장치 내에서 플라즈마에 가장 많이 노출되는 부분이다. 따라서 제 3 증착층은 내플라즈마 특성이 강한 재질로 형성하여 플라즈마 식각 장치 내에서 부품의 손상을 최소화하기 위하여 제 1 증착층과 제 2 증착층 간의 경계선의 적어도 일부를 덮도록 형성될 수 있다.

- [117] 이 후, 2차 가공 단계에서 반도체 제조용 부품의 필요한 규격 및 형상에 부합하도록 다시 가공을 수행하는데, 본 발명에서 이 가공 수단 또한 1차 가공 단계와 같이 물리적으로 반도체 제조용 부품 외형을 가공할 수 있는 것이라면 특별히 한정하지 아니한다.
- [118]
- [119] 본 발명의 일 실시예에 따르면, 상기 제 1 증착층을 형성하는 단계와 상기 제 2 증착층을 형성하는 단계의 증착 가스 유량 및 증착 가스 조성은 동일한 것일 수 있다.
- [120] 즉, 제 1 증착층 및 제 2 증착층은 동일한 증착 속도로 동일한 조성을 가진 층으로 형성될 수 있다. 이렇게 형성된 제 1 증착층 및 제 2 증착층은 결정면의 성장 패턴 또한 동일하게 형성될 수 있다. 이는 X선 회절 실험을 통해 확인할 수 있다.
- [121]
- [122] 본 발명의 일 실시예에 따르면, 상기 제 3 증착층을 형성하는 단계의 증착 가스 공급 유량은, 상기 제 1 증착층 및 제 2 증착층을 형성하는 단계의 증착 가스 공급 유량의 30 % 내지 80 % 인 것일 수 있다.
- [123] 제 3 증착층은 제 1 증착층 및 제 2 증착층에 비해 적은 가스 공급 유량에 의해 형성될 수 있다. 이는 상대적으로 증착층의 형성이 서서히 이루어짐을 의미하며, 결정립의 크기가 작고 치밀하게 형성될 수 있음을 의미한다. 이렇게 형성된 제 3 증착층은 제 1 증착층 및 제 2 증착층에 비해 내플라즈마 특성이 향상될 수 있게 된다.
- [124]
- [125] 본 발명의 일 실시예에 따르면, 상기 제 1 증착층 및 제 2 증착층을 형성하는 단계의 증착층 형성 속도는, 30 $\mu\text{m/hr}$ 내지 65 $\mu\text{m/hr}$ 인 것일 수 있다.
- [126] 제 1 증착층 및 제 2 증착층은 상기 수치범위의 속도로 비교적 빠른 속도로 단시간에 증착층을 형성할 수 있다. 이 때, 30 $\mu\text{m/hr}$ 미만의 경우 증착 속도가 너무 느려서 본 발명의 공정 생산성을 향상시키는 효과가 둔화되는 문제가 있고, 65 $\mu\text{m/hr}$ 초과인 경우 지나치게 빠른 증착 속도로 인해 균질한 증착층 형성에 문제가 생길 수 있다.
- [127]
- [128] 본 발명의 일 실시예에 따르면, 상기 제 3 증착층을 형성하는 단계의 증착층

형성 속도는, 상기 제 1 증착층 및 제 2 증착층을 형성하는 단계의 증착층 두께 형성 속도의 30 % 내지 80 % 인 것일 수 있다.

- [129] 제 3 증착층은 제 1 증착층 및 제 2 증착층에 비해 느리게 형성될 수 있다. 제 1 증착층 및 제 2 증착층 형성 속도의 30 % 미만의 경우, 속도가 지나치게 느려 생산성에 문제가 생길 수 있고, 80 % 를 초과할 경우 내플라즈마 특성이 제 1 증착층 및 제 2 증착층과 크게 차이가 나지 않을 수 있어 그 경계 부분을 보호하는 기능에 문제가 생길 수 있다.

[130]

- [131] 본 발명의 일 측면에 따르는 제 1 증착층 및 제 2 증착층을 형성하는 단계는, 화학적 기상 증착 챔버 내에서, 화학적 기상 증착 방식에 의해 제조될 수 있다. 이 때, 각 층을 형성하는 원료가스는 복수 개의 원료가스 분사 노즐을 통해 공급될 수 있다. 복수 개의 원료가스 분사 노즐은 고르게 각 층을 적층할 수 있는 것이라면 본 발명에서 화학적 기상 증착 챔버 내의 위치나 개수를 특별히 한정하지는 아니한다.

- [132] 본 발명의 일 실시예에 따르면, 1차 가공 단계와 제 3 증착층을 형성하는 단계 사이, 2차 가공 단계 이 후, 또는 둘 다에 세정 단계를 더 포함할 수 있다. 각각의 가공 단계 이후에는, 부품 표면에 불순물이 잔류할 수 있으므로, 세정 단계를 포함할 수 있다. 이 때, 상기 세정 단계의 세정 수단은 산, 염기, 물, 비활성 기체 등 다양한 수단을 이용할 수 있으며, 본 발명에서는 표면에 형성된 불순한 잔류물을 제거할 수 있는 것이라면 그 방법을 특별히 한정하지 않는다.

[133]

- [134] 본 발명의 일 실시예에 따르면, 1차 가공 단계는, 제 1 증착층 및 제 2 증착층 간 경계선의 적어도 일 부분을 포함하는 면을 가공하는 것일 수 있다. 1차 가공 단계는, 제 3 증착층이 형성될 수 있는 면을 잘 증착되도록 가공하는 것일 수 있다. 또한, 1차 가공 단계는, 제 1 증착층, 제 2 증착층 또는 둘 다가 복수 개의 층으로 형성될 경우, 상기 복수 개의 층 간 경계선의 적어도 일 부분을 포함하는 면을 가공하는 것일 수 있다.

[135]

- [136] 본 발명의 일 실시예에 따르면, 상기 1차 가공 단계는 모재를 제거하는 단계를 포함하는 것일 수 있다.

- [137] 상기 모재는 최종적인 반도체 제조용 부품의 완제품에서 제거된 것일 수 있다. 상기 1차 가공 단계에서 제 1 증착층 및 제 2 증착층과 함께 하부의 모재를 제거하는 가공을 함께 수행할 수 있다. 이 때, 모재를 제거하는 방법은, 상기 제 1 증착층 내지 제 2 증착층의 품질에 영향을 주지 않는 방법이라면, 본 발명에서는 그 수단을 특별히 제한하지 않는다.

- [138] 도 5에는, 본 발명의 일 실시예에 따라, 1차 가공단계에서 모재를 함께 제거하여, 제 3 증착층을 형성하는 단계 이전에 모재가 없도록 형성된 구조의 단면도(S40)가 도시되어 있다.

[139]

[140] 본 발명의 일 실시예에 따르면, 상기 2차 가공단계는 상기 모재를 제거하는 단계를 포함하는 것일 수 있다. 상기 모재는 상기 2차 가공단계에서 반도체 제조용 부품의 필요한 규격 및 형상에 부합하도록 가공하면서 함께 제거되는 것일 수 있다. 이 때, 모재를 제거하는 방법은, 상기 제 1 증착층 내지 제 2 증착층의 품질에 영향을 주지 않는 방법이라면, 본 발명에서는 그 수단을 특별히 제한하지 않는다.

[141] 도 6에는 본 발명의 다른 일 실시예에 따라, 2차 가공단계에서 제 3 증착층의 증착물과 함께 상기 모재를 제거하는 과정이 함께 수행되어 제조된 반도체 제조용 부품의 단면도(S60)가 도시되어 있다.

[142]

[143] 본 발명의 일 실시예에 따르면, 상기 모재는 그래파이트, 카본블랙, SiC, TaC 및 ZrC 로 이루어진 군에서 선택된 하나 이상을 포함하는 것일 수 있다.

[144]

[145] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

[146] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.