

半导体结构及其制造方法、存储器及其操作方法

相关申请的交叉引用

本公开基于申请号为 202210728734.6、申请日为 2022 年 06 月 24 日、发明名称为“半导体结构及其制造方法、存储器及其操作方法”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及半导体技术领域，涉及但不限于一种半导体结构及其制造方法、存储器及其操作方法。

背景技术

随着当今科学技术的不断发展，半导体存储装置的性能越来越强大，而特征尺寸则越来越小。其中，一次性可编程（One Time Programmable, OTP）存储器是一种非易失性存储器（Non-Volatile Memory, NVM），在失去电源的情况下仍能保持存储的数据。一次性可编程存储器只能进行一次烧录编程，不可以通过电擦除，可应用于程序代码存储器、串行配置存储器、芯片上系统（System-on-Chip, SOC），并在 ID 识别、存储修复等方面发挥作用。

目前，一次性可编程存储器主要采用动态随机存储器（Dynamic Random Access Memory, DRAM）相似的结构，其包括一个选择晶体管和一个可击穿的电容（1T1C），由于电容中介质层的击穿是不可逆的，可以通过读取电容的击穿状态获得固化的存储数据。然而，一次性可编程存储器面临存储单元占用面积较大、集成度较低、制造工艺复杂、制造成本较高等问题。

发明内容

有鉴于此，本公开实施例提供了一种半导体结构及其制造方法、存储器及其操作方法。

第一方面，本公开实施例提供了一种半导体结构，包括：
衬底，衬底中具有靠近衬底表面的多个有源区；栅极结构，位于衬底上方第一结构层；栅极结构与有源区构成选择晶体管；反熔丝位结构，位于第一结构层上方的第二结构层，且反熔丝位结构通过第一连接结构与一个选择晶体管的有源区连接；反熔丝位结构的击穿状态和非击穿状态用于表示不同的存储数据。

在一些实施例中，反熔丝位结构包括：第一电极，第一电极通过第一连接结构与有源区连接；第二电极，第二电极与第一电极位于同一平面内，且第一电极和第二电极所在的平面平行于衬底的表面；反熔丝位介质层，位于第一电极和第二电极之间且连接第一电极和第二电极；其中，击穿状态为反熔丝位介质层被击穿的状态，非击穿状态为反熔丝位介质层未被击穿的状态。

在一些实施例中，位于平行于栅极结构的延伸方向上的多个反熔丝位结构的第二电

极相互连通。

在一些实施例中，第一电极中靠近第二电极的一侧具有凸起结构，第二电极中靠近第一电极的一侧具有与凸起结构对应的凹陷结构。

在一些实施例中，反熔丝位结构在衬底上的投影与栅极结构在衬底上的投影至少部分重叠。

在一些实施例中，第一结构层还包括至少包围栅极结构的栅电极底面和侧面的第一隔离层；第二结构层还包括至少包围反熔丝位结构底面和侧面的第二隔离层；第一连接结构贯穿第一隔离层和第二隔离层。

在一些实施例中，第一隔离层为氧化物材料，其中，栅极结构中的部分第一隔离层用于作为选择晶体管的栅介质。

在一些实施例中，有源区包括：具有相同掺杂类型的第一掺杂区和第二掺杂区，第一掺杂区与第二掺杂区分别位于栅极结构的两侧；其中，第一掺杂区通过第一连接结构与反熔丝位结构连接。

在一些实施例中，半导体结构还包括：第一金属线，位于第二结构层上方的第三结构层；第一金属线通过第二连接结构与第二掺杂区连接；第一金属线的延伸方向垂直于栅极结构的延伸方向。

在一些实施例中，第三结构层还包括至少包围第一金属线底面和侧面的第三隔离层。

在一些实施例中，两个相邻的反熔丝位结构对称设置；每两个对称设置的反熔丝位结构连接的选择晶体管共用同一个第二掺杂区。

在一些实施例中，半导体结构还包括：隔离结构，位于两个相邻的第一掺杂区之间；其中，两个相邻的第一掺杂区为：相邻且不共用第二掺杂区的两个选择晶体管对应的第一掺杂区。

第二方面，本公开实施例提供了一种半导体结构的制造方法，包括：提供衬底，衬底中具有靠近衬底表面的多个有源区；在衬底上方形成包含有栅极结构的第一结构层；栅极结构与栅极结构下方有源区构成选择晶体管；在第一结构层上方形成包含有反熔丝位结构的第二结构层，并形成连接反熔丝位结构和选择晶体管的有源区的第一连接结构；反熔丝位结构的击穿状态和非击穿状态用于表示不同的存储数据。

在一些实施例中，在第一结构层上方形成包含有反熔丝位结构的第二结构层，并形成连接反熔丝位结构和选择晶体管的有源区的第一连接结构，包括：在第一结构层上方沉积绝缘材料；绝缘材料用于形成第二结构层中的第二隔离层；在绝缘材料中形成第一沟槽和第二沟槽，并在第一沟槽中形成贯穿第一结构层的第一连接孔；在第一连接孔中填充导电材料，形成第一连接结构；在第一沟槽和第二沟槽中填充导电材料，分别形成第一电极和第二电极；第一电极与第二电极以外的绝缘材料为第二隔离层；第一电极与第二电极之间的部分第二隔离层用于作为反熔丝位结构的反熔丝位介质层；其中，击穿状态为反熔丝位介质层被击穿的状态，非击穿状态为反熔丝位介质层未被击穿的状态。

在一些实施例中，第一沟槽和第二沟槽的延伸方向平行于栅极结构的延伸方向。

在一些实施例中，在第一沟槽和第二沟槽中填充导电材料，分别形成第一电极和第二电极，包括：在第一沟槽和第二沟槽中填充导电材料；去除至少部分第一沟槽中的导电材料，形成多个相互分离的第一电极，以及位于平行于栅极结构的延伸方向上同一直线的多个反熔丝位结构中相互连通的第二电极。

第三方面，本公开实施例提供了一种存储器的操作方法，存储器包括上述实施例任一的半导体结构；方法包括：根据待写入的数据，击穿存储器的反熔丝位结构中的一个目标反熔丝位结构，使目标反熔丝位结构由非击穿状态切换为击穿状态；且保持非目标反熔丝位结构的非击穿状态；其中，非目标反熔丝位结构为目标反熔丝位结构以外的反

熔丝位结构。

5 在一些实施例中，击穿存储器的反熔丝位结构中的一个目标反熔丝位结构，使目标反熔丝位结构由非击穿状态切换为击穿状态，包括：对目标反熔丝位结构连接的选择晶体管的栅极结构施加第一电压，以导通选择晶体管；对选择晶体管连接的第一金属线施加第二电压；对目标反熔丝位结构的第二电极施加第三电压，以使目标反熔丝位结构由非击穿状态切换为击穿状态；其中，第二电压与第三电压之间的电压差大于或等于反熔丝位结构的击穿电压。

10 在一些实施例中，保持非目标反熔丝位结构的非击穿状态，包括：对非目标反熔丝位结构连接的选择晶体管的栅极结构施加第一电压，以导通选择晶体管；对选择晶体管连接的第一金属线施加第四电压；对非目标反熔丝位结构的第二电极施加第三电压，以使非目标反熔丝位结构保持非击穿状态；其中，第四电压与第三电压之间的电压差小于反熔丝位结构的击穿电压。

15 在一些实施例中，保持非目标反熔丝位结构的非击穿状态，包括：对非目标反熔丝位结构连接的选择晶体管的栅极结构施加第五电压，以截止选择晶体管，使非目标反熔丝位结构保持非击穿状态。

第四方面，本公开实施例提供了一种存储器，包括：存储阵列，存储阵列中包括上述实施例任一的半导体结构；与存储阵列耦接的外围电路。

20 在本公开实施例提供的半导体结构中，栅极结构位于衬底上方的第一结构层，反熔丝位结构位于第一结构层上方的第二结构层，且反熔丝位结构通过第一连接结构与衬底中的有源区连接。如此，反熔丝位结构不需要在水平方向上占用额外的面积，提高了存储器的集成度，且减少了形成反熔丝位结构所需要的掩膜工艺次数，从而简化了制造工艺。

附图说明

25 图 1 为本公开实施例提供的一种半导体结构的示意图；
图 2 为本公开实施例提供的一种半导体结构的示意图；
图 3 为本公开实施例提供的另一种半导体结构的示意图；
图 4 为本公开实施例提供的又一种半导体结构的示意图；
图 5 为本公开实施例提供的又一种半导体结构的俯视图；
图 6 为本公开实施例提供的又一种半导体结构的示意图；
30 图 7 为本公开实施例提供的一种形成半导体结构的步骤流程图；
图 8A 至图 8C 为本公开实施例提供的一种形成半导体结构的过程示意图；
图 9A 至图 9C 为本公开实施例提供的一种形成反熔丝位结构的过程示意图；
图 10A 至图 10D 为本公开实施例提供的一种形成反熔丝位结构的俯视图；
图 11 为本公开实施例提供的一种存储器的示意图；
35 图 12 为本公开实施例提供的一种存储器中存储阵列的示意图。

具体实施方式

40 为了便于理解本公开，下面将参照相关附图更详细地描述本公开的示例性实施方式。虽然附图中显示了本公开的示例性实施方式，然而应当理解，可以以各种形式实现本公开，而不应被这里阐述的具体实施方式所限制。相反，提供这些实施方式是为了能够更透彻地理解本公开，并且能够将本公开的范围完整的传达给本领域的技术人员。

在下文的描述中,给出了大量具体的细节以便提供对本公开更为彻底的理解。然而,对于本领域技术人员而言显而易见的是,本公开可以无需一个或多个这些细节而得以实施。在一些实施例中,为了避免与本公开发生混淆,对于本领域公知的一些技术特征未

5 一般地,术语可以至少部分地从上下文中的使用来理解。例如,至少部分地取决于上下文,如本文中所述的术语“一个或多个”可以用于以单数意义描述任何特征、结构或特性,或者可以用于以复数意义描述特征、结构或特性的组合。类似地,诸如“一”或“所述”的术语同样可以被理解为传达单数用法或传达复数用法,这至少部分地取决于上下文。另外,属于“基于”可以被理解为不一定旨在传达排他的一组因素,并且可以

10 以替代地允许存在不一定明确地描述的附加因素,这同样至少部分地取决于上下文。除非另有定义,本文使用的术语的目的仅在于描述具体实施例并且不作为本公开的限制。在使用时,单数形式的“一”、“一个”和“/该”也意图包括复数形式,除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”,当在该说明书中使用

15 确定特征、整数、步骤、操作、元件和/或部件的存在,但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时,术语“和/或”包括相关所列项目的任何及所有组合。

为了彻底理解本公开,将在下列的描述中提出详细的步骤以及详细的结构,以便阐释本公开的技术方案。本公开的较佳实施例详细描述如下,然而除了这些详细描述外,本公开还可以具有其他实施方式。

20 在一些实施例中,如图1和图2所示,分别为具有反熔丝位(Anti Fuse Bit)结构的半导体结构10a和半导体结构10b。半导体结构10a和10b用于一次性可编程存储器。其中,半导体结构10a包括:

基底100;位于基底100上的绝缘层101;位于绝缘层101上的P型半导体层102;第一掺杂区103,第二掺杂区104和第三掺杂区105,均位于P型半导体层102中;其中,第一掺杂区103,第二掺杂区104和第三掺杂区105可以为N型掺杂区;第一掺杂区103连接第一金属线130;第一金属线130可以为位线(Bit Line, BL);

25 第一栅介质111,位于第一掺杂区103和第二掺杂区104之间的P型半导体层102上方;第一栅极121,位于第一栅介质111上方;第一栅极121可以为字线(Word Line, WL);

30 第二栅介质112,位于第二掺杂区104和第三掺杂区105之间的P型半导体层102上方;第二栅介质112可以为反熔丝位介质层,第二栅介质112的击穿状态与非击穿状态可以用于表示不同的存储数据,即“0”或“1”;第二栅极122,位于第二栅介质112上方。

值得注意的是,图中为了使得各结构均能被清晰示出,可能造成各结构的尺寸比例关系与实际结构不符。如此,第一掺杂区103、第二掺杂区104、第一栅介质111和第一栅极121构成选择晶体管;第二掺杂区104、第三掺杂区105、第二栅介质112和第二栅极122构成反熔丝位结构;而一个选择晶体管与一个反熔丝位结构构成一个存储单元。

40 在一些实施例中,如图2所示,半导体结构10b中的P型半导体层102的厚度可以大于各掺杂区的深度;且半导体结构10b还包括深N阱(Deep N-Well, DNW)106,以及位于深N阱106下方的P型基底107。如此,可以使得P型半导体层102与深N阱106之间,以及深N阱106与P型基底107之间形成反相偏置的PN结,以替代半导体结构10a中的绝缘层101,起到电性隔离的作用。

由此,通过第一栅极121可以控制选择晶体管的导通与截止。当选择晶体管导通时,

第一金属线 130 上施加的电压可以通过选择晶体管的沟道传递至第二掺杂区 104，此时可以使得第二栅极 122 与第二掺杂区 104 之间的电压差大于或等于第二栅介质 112 的击穿电压，从而使得第二栅介质 112 被永久性地击穿，完成对存储单元的写入操作。可以理解的是，第三掺杂区 105 在写入操作的过程中处于浮置状态（Floating）。

5 在一些实施例中，第一掺杂区 103，第二掺杂区 104 和第三掺杂区 105 可以为高浓度 N 型掺杂区，即 N+ 型掺杂区；第一栅介质 111 和第二栅介质 112 可以为较薄的氧化层，以减少存储单元的占用面积，且第二栅介质 112 更容易被击穿，从而满足存储器低能耗的需求。

可以理解的是，在半导体结构 10a 和 10b 中，选择晶体管和反熔丝位结构在水平方向上位于相邻的位置，因此在水平方向上占用了较多的面积，存储单元的尺寸较大，使得存储器集成度较低。

10 如图 3 所示，本公开实施例提供了一种半导体结构 20，包括：衬底 200，衬底 200 中具有靠近衬底 200 表面的多个有源区 201；栅极结构 211，位于衬底 200 上方第一结构层 210；栅极结构 211 与有源区 201 构成选择晶体管 240；反熔丝位结构 250，位于第一结构层 210 上方的第二结构层 220，且反熔丝位结构 250 通过第一连接结构 221 与一个选择晶体管 240 的有源区 201 连接；反熔丝位结构 250 的击穿状态和非击穿状态用于表示不同的存储数据。

在本公开实施例中，衬底 200 的材料可以包括单质半导体材料，例如硅（Si）、锗（Ge）等，或者化合物半导体材料，例如氮化镓（GaN）、砷化镓（GaAs）或磷化铟（InP）等。20 在一些实施例中，衬底 200 中还可以具有阱区，如 P 阱以及位于 P 阱下方的深 N 阱，其中 P 阱可以用于形成选择晶体管 240 的有源区 201，而深 N 阱则可以用于隔离 P 阱，减少 P 阱中形成的器件所受到的噪声干扰。有源区 201 可以为衬底 200 中的掺杂区域，多个有源区 201 的掺杂类型可以相同，其中，P 型掺杂区所掺杂的杂质离子可以为三价元素，如硼等；而 N 型掺杂区所掺杂的杂质离子可以为五价元素，如磷、砷等。示例性地，有源区 201 可以为 P 阱中 N+ 型掺杂区，用于构成选择晶体管 240 的源极和漏极。

在本公开实施例中，衬底 200 的上方具有第一结构层 210，第一结构层 210 中包括栅极结构 211，栅极结构 211 与栅极结构 211 下方的有源区 201 构成选择晶体管 240。栅极结构 211 还可以包括栅电极 2111 和栅介质 2112，其中栅电极 2111 可以为存储器中的字线，栅电极 2111 的材料可以包括金属、掺杂半导体等导电材料；栅介质 2112 可以位于第一结构层 210 中靠近衬底 200 的一侧，栅介质 2112 可以为氧化硅、氧化锗等材料。可以理解的是，第一结构层 210 中还可以包括图 3 中未示出的其他结构。

在本公开实施例中，第一结构层 210 的上方具有第二结构层 220，第二结构层 220 中包括反熔丝位结构 250，反熔丝位结构 250 可以是可击穿的电容结构。反熔丝位结构 250 通过第一连接结构 221 与至少一个选择晶体管 240 的有源区 201 连接，其中，第一连接结构 221 贯穿第一结构层 210，第一连接结构 221 的材料可以包括金属、掺杂半导体等导电材料。35 在一些实施例中，反熔丝位结构 250 可以包括位于同一平面内的两个电极，以及位于两个电极之间的反熔丝位介质层。示例性地，上述两个电极可以为导电材料，反熔丝位介质层可以为氧化硅等材料。反熔丝位结构 250 的击穿状态和非击穿状态可以用于表示不同的存储数据，即“0”或“1”。可以理解的是，第二结构层 220 中还可以包括图 3 中未示出的其他结构。

40 在一些实施例中，一个选择晶体管 240 和一个反熔丝位结构 250 构成一次性可编程存储器的一个存储单元，其中栅极结构 211 连接位于其延伸方向上的多个存储单元。通过对栅极结构 211 施加不同电压，可以控制选择晶体管 240 的导通与截止。在一些实施

例中,选择晶体管 240 的一端还连接至位线,当选择晶体管 240 导通时,可以将位线上的电压施加至反熔丝位结构 250 的一个电极上,此时在另一电极上施加合适的电压,可以使得反熔丝位结构 250 中两个电极的电压差大于或等于反熔丝位介质层的击穿电压,从而使得反熔丝位结构 250 永久性地击穿,完成对存储单元的一次性编程操作。

5 由于反熔丝位结构 250 位于第一结构层 210 上方的第二结构层 220,即反熔丝位结构 250 位于选择晶体管 240 的上方,如此,反熔丝位结构 250 无需在水平方向上占用额外的面积,使得存储单元的尺寸较小,提高了存储器的集成度;此外,反熔丝位结构 250 中的两个电极可以同步地在第二结构层 220 中形成,所需要的掩膜工艺次数较少,从而简化了制造工艺;另一方面,由于栅极结构 211 位于第一结构层 210 中,栅极结构 211 10 中的栅介质 2112 可以做得更厚,从而使得选择晶体管 240 的编程电压更加稳定,且栅介质 2112 不容易被误击穿,提高了存储器的可靠性。

在一些实施例中,如图 4 所示,反熔丝位结构 250 包括:第一电极 251,第一电极 251 通过第一连接结构 221 与有源区 201 连接;第二电极 252,第二电极 252 与第一电极 251 位于同一平面内,且第一电极 251 和第二电极 252 所在的平面平行于衬底 200 的 15 表面;反熔丝位介质层 253,位于第一电极 251 和第二电极 252 之间且连接第一电极 251 和第二电极 252;其中,击穿状态为反熔丝位介质层 253 被击穿的状态,非击穿状态为反熔丝位介质层 253 未被击穿的状态。

在本公开实施例中,反熔丝位结构 250 包括第一电极 251、第二电极 252 和反熔丝位介质层 253。第一电极 251 和第二电极 252 位于第二结构层 220 中的同一平面内,且 20 第一电极 251 和第二电极 252 所在的平面平行于衬底 200 的表面。反熔丝位介质层 253 位于第一电极 251 和第二电极 252 之间并连接第一电极 251 和第二电极 252,从而形成可击穿的电容结构。其中,第一电极 251 通过贯穿第一结构层 210 的第一连接结构 221 连接位于同一选择晶体管 240 中的有源区 201。如此,当第一电极 251 和第二电极 252 之间的电压差大于或等于反熔丝位介质层 253 的击穿电压时,反熔丝位介质层 253 被击穿,即反熔丝位结构 250 永久性地击穿,从而完成对存储单元的一次性编程操作。 25

在一些实施例中,第一电极 251 和第二电极 252 可以为导电材料,示例性地,第一电极 251 和第二电极 252 的材料为钨(W);反熔丝位介质层 253 可以为氧化硅等材料。可以理解的是,第一电极 251 和第二电极 252 可以同步地形成。示例性地,仅通过一道掩膜工艺,在同一平面内形成第一电极 251 和第二电极 252 对应的沟槽,然后在沟槽中 30 填充导电材料,形成第一电极 251 和第二电极 252,从而简化了制造工艺。

在一些实施例中,反熔丝位结构 250 在衬底 200 上的投影与栅极结构 211 在衬底 200 上的投影至少部分重叠。

在本公开实施例中,如图 4 所示,反熔丝位结构 250 在衬底 200 上的投影与栅极结构 211 在衬底 200 上的投影至少部分重叠,即反熔丝位结构 250 至少部分位于栅极结构 211 之上,如此可以进一步地减少反熔丝位结构 250 与选择晶体管 240 在水平方向上占用的面积,提高半导体结构的集成度。示例性地,反熔丝位结构 250 中的第二电极 252 位于栅极结构 211 上方,以减少水平方向上的占用面积,而至少部分第一电极 251 则与栅极结构 211 错位设置,以便于第一连接结构 221 可以垂直地将第一电极 251 与下方的有源区 201 连接,从而简化第一连接结构 221 的布置与制造工艺。 35

在一些实施例中,如图 5 所示为半导体结构 20 的俯视图,位于平行于栅极结构 211 的延伸方向上的多个反熔丝位结构 250 的第二电极 252 相互连通。 40

在本公开实施例中,栅极结构 211 中的栅电极 2111 可以为存储器中的字线,栅极结构 211 连接位于其延伸方向上的多个存储单元中的选择晶体管 240。如图 5 所示,位于平行于栅极结构 211 的延伸方向上的多个存储单元中的反熔丝位结构 250 的第二电极

252 相互连通。如此，通过栅极结构 211 可以控制位于其延伸方向上的多个存储单元中的选择晶体管 240 的导通或者截止；此时在第二电极 252 上施加合适的电压，可以使得多个存储单元中的至少部分反熔丝位结构 250 的第二电极 252 同时加压，简化了存储器的操作。值得注意的是，位于平行于栅极结构 211 的延伸方向上的多个存储单元中的反熔丝位结构 250 的第一电极 251 是相互分离的。

在一些实施例中，如图 5 所示，第一电极 251 中靠近第二电极 252 的一侧具有凸起结构 254，第二电极 252 中靠近第一电极 251 的一侧具有与凸起结构 254 对应的凹陷结构 255。

在本公开实施例中，第一电极 251 与第二电极 252 可以不是简单的矩形结构，而是采用相互嵌套的结构，例如凹陷结构 255 半包围凸起结构 254。如此，凸起结构 254 作为尖端结构可以增强周围的电场，使得邻近的反熔丝位介质层 253 更容易被击穿，以满足半导体器件低能耗的需求；此外，凸起结构 254 和凹陷结构 255 增大了第一电极 251 与第二电极 252 的表面积，从而使得反熔丝位结构 250 的击穿和非击穿状态更加稳定，增加了读取的可靠性。可以理解的是，凸起结构 254 和凹陷结构 255 还可以为图 5 之外的其他形状，例如第一电极 251 可以具有多个凸起结构 254，第二电极可以具有多个凹陷结构 252，两者相互穿插嵌套。凸起结构 254 还可以为三角形、锯齿形等具有尖端结构的形状。

在一些实施例中，如图 6 所示，第一结构层 210 还包括至少包围栅极结构 211 的栅电极 2111 底面和侧面的第一隔离层 212；第二结构层 220 还包括至少包围反熔丝位结构 250 底面和侧面的第二隔离层 222；第一连接结构 221 贯穿第一隔离层 212 和第二隔离层 222。

在本公开实施例中，第一结构层 210 中还包括第一隔离层 212，第一隔离层 212 可以包围栅电极 2111 的底面和侧面；第二结构层 220 中还包括第二隔离层 222，第二隔离层 222 可以包围反熔丝位结构 250 的底面和侧面。其中，第一隔离层 212 可以用于隔离第一结构层 210 中的栅电极 2111 和衬底 200 中的有源区 201，第二隔离层 222 可以用于隔离第二结构层 220 中的反熔丝位结构 250 与第一结构层 210 中的栅电极 2111。第一隔离层 212 和第二隔离层 222 的材料包括但不限于氧化硅 (SiO_2)、旋涂绝缘介质 (Spin-on Dielectrics, SOD)、氮化硅 (Si_3N_4)、氮氧化硅 (SiON) 等。可以理解的是，第一隔离层 212 和第二隔离层 222 的材料及厚度可以根据存储器的性能需求进行调整。在一些实施例中，第一结构层 210 中除栅电极 2111 以外的部分即为第一隔离层 212，而位于栅电极 2111 下方的部分第一隔离层 212 可以作为栅介质 2112。在一些实施例中，第二结构层 220 中除第一电极 251 和第二电极 252 以外的部分即为第二隔离层 222，而位于第一电极 251 和第二电极 252 之间的部分第二隔离层 222 可以作为反熔丝位介质层 253。如此可以简化制造工艺，降低制造成本。

在一些实施例中，如图 6 所示，第一隔离层 212 为氧化物材料，其中，栅极结构 211 中的部分第一隔离层 212 用于作为选择晶体管 240 的栅介质 2112。

在本公开实施例中，第一隔离层 212 为氧化物材料，如氧化硅等材料。其中，位于栅极结构 211 中的部分第一隔离层 212 可以作为选择晶体管 240 的栅介质 2112，如此可以简化制造工艺，降低制造成本。可以理解的是，由于第一隔离层 212 位于第一结构层 210 中，第一隔离层 212 可以在反熔丝位结构 250 之前形成，故可以形成较厚的氧化物层，以作为第一隔离层 212。如此，选择晶体管 240 的栅介质 2112 较厚，使得选择晶体管 240 的编程电压更加稳定，且栅介质 2112 不容易被误击穿，提高了半导体器件的可靠性。

在一些实施例中，如图 6 所示，有源区 201 包括：具有相同掺杂类型的第一掺杂区

202 和第二掺杂区 203, 第一掺杂区 202 与第二掺杂区 203 分别位于栅极结构 211 的两侧; 其中, 第一掺杂区 202 通过第一连接结构 221 与反熔丝位结构 250 连接。

在本公开实施例中, 有源区 201 可以包括分别位于栅极结构 211 两侧的第一掺杂区 202 和第二掺杂区 203。第一掺杂区 202 和第二掺杂区 203 的掺杂类型可以相同, 以作为选择晶体管 240 的源极和漏极, 栅极结构 211 则用于控制第一掺杂区 202 和第二掺杂区 203 之间沟道的导通或截止。示例性地, 衬底 200 中具有 P 阱, 第一掺杂区 202 和第二掺杂区 203 形成于 P 阱中, 且第一掺杂区 202 和第二掺杂区 203 为 N 型掺杂区或 N+ 型掺杂区, 即选择晶体管 240 为 NMOS 晶体管, NMOS 晶体管具有导通电阻小, 容易制造等优点。

10 在一些实施例中, 半导体结构 20 还包括: 第一金属线 231, 位于第二结构层 220 上方的第三结构层 230; 第一金属线 231 通过第二连接结构 232 与第二掺杂区 203 连接; 第一金属线 231 的延伸方向垂直于栅极结构 211 的延伸方向。

在本公开实施例中, 如图 6 所示, 半导体结构 20 还包括位于第二结构层 220 上方的第三结构层 230, 第三结构层 230 中具有第一金属线 231, 这里的第一金属线 231 可以是存储器中的位线。当选择晶体管 240 导通时, 可以将第一金属线 231 上的电压通过选择晶体管 240 施加在反熔丝位结构 250 的第一电极 251 上, 此时在第二电极 252 上施加合适的电压, 可以使得第一电极 251 和第二电极 252 之间的电压差大于或等于反熔丝位介质层 253 的击穿电压, 反熔丝位结构 250 永久性地击穿, 从而完成对存储单元的一次性编程操作。第一金属线 231 的延伸方向可以垂直于栅极结构 211 的延伸方向, 即存储器中位线与字线的延伸方向垂直, 以便于在位线与字线延伸方向的交点处设置存储单元, 形成存储单元阵列。在其他实施例中, 第一金属线 231 的延伸方向与栅极结构 211 的延伸方向相交, 但不垂直。可以理解的是, 第三结构层 230 中还可以包括图 6 中未示出的其他结构。第一金属线 231 通过第二连接结构 232 与第二掺杂区 203 连接, 其中, 第二连接结构 232 可以为金属、掺杂半导体等导电材料, 示例性地, 第二连接结构 232 的材料为钨。

25 在一些实施例中, 第三结构层 230 还包括至少包围第一金属线 231 底面和侧面的第三隔离层 233。

在本公开实施例中, 如图 6 所示, 第三结构层 230 中还包括第三隔离层 233, 第三隔离层 233 可以包围第一金属线 231 的底面和侧面。第三隔离层 233 用于隔离第三结构层 230 中的第一金属线 231 和第二结构层 220 中的反熔丝位结构 250。第三隔离层 233 的材料包括但不限于氧化硅、旋涂绝缘介质、氮化硅、氮氧化硅等。第二连接结构 232 贯穿第一隔离层 212、第二隔离层 222 和第三隔离层 233。第三隔离层 233 的材料及厚度可以根据存储器的性能需求进行调整。

35 在一些实施例中, 两个相邻的反熔丝位结构 250 对称设置; 每两个对称设置的反熔丝位结构 250 连接的选择晶体管 240 共用同一个第二掺杂区 203。

在本公开实施例中, 如图 6 所示, 两个相邻的反熔丝位结构 250 对称设置, 且每两个对称设置的反熔丝位结构 250 连接的选择晶体管 240 共用同一个第二掺杂区 203。如此, 在一次性可编程存储器中, 相邻的两个存储单元对称设置, 且共用一个第二掺杂区 203, 以减少每一个存储单元的占用面积; 此外, 一条位线 (第一金属线 231) 可以通过一个第二连接结构 232 连接至两个相邻的存储单元, 以同时进行两个存储单元的读写操作, 提升了存储器的工作效率。

40 在一些实施例中, 半导体结构 20 还包括: 隔离结构 204, 位于两个相邻的第一掺杂区 202 之间; 其中, 两个相邻的第一掺杂区 202 为: 相邻且不共用第二掺杂区 203 的两个选择晶体管 240 对应的第一掺杂区 202。

在本公开实施例中，如图 6 所示，相邻且不共用第二掺杂区 203 的两个选择晶体管 240 对应的第一掺杂区 202 是相互靠近的。由此，在两个相邻的第一掺杂区 202 之间设置隔离结构 204，可以实现对相邻且不共用第二掺杂区 203 的两个选择晶体管 240 的隔离，以防止漏电流现象的发生。其中，隔离结构 204 的深度大于第一掺杂区 202 的掺杂深度。示例性地，隔离结构 204 可以为浅槽隔离（Shallow Trench Isolation, STI），其具有成本低、隔离效果好等优势，隔离结构 204 的材料包括但不限于氧化硅等。

如图 7 和图 8A 至图 8C 所示，本公开实施例还提供了一种半导体结构 30 的制造方法，其对应的结构如图 8A 至图 8C 所示，制造方法包括以下步骤：

步骤 S10、提供衬底 300，衬底 300 中具有靠近衬底 300 表面的多个有源区 301；
步骤 S20、在衬底 300 上方形成包含有栅极结构 311 的第一结构层 310；栅极结构 311 与栅极结构 311 下方有源区 301 构成选择晶体管 340；步骤 S30、在第一结构层 310 上方形成包含有反熔丝位结构 350 的第二结构层 320，并形成连接反熔丝位结构 350 和选择晶体管 340 的有源区 301 的第一连接结构 321；反熔丝位结构 350 的击穿状态和非击穿状态用于表示不同的存储数据。

如图 8A 所示，提供衬底 300，衬底 300 的材料可以包括单质半导体材料，例如硅、锗等，或者化合物半导体材料，例如氮化镓、砷化镓或磷化铟等。在一些实施例中，衬底 300 中还可以具有阱区，如 P 阱以及位于 P 阱下方的深 N 阱，其中 P 阱可以用于形成选择晶体管 340 的有源区 301，而深 N 阱则可以用于隔离 P 阱，减少 P 阱中形成的器件所受到的噪声干扰。有源区 301 可以为衬底 300 中的掺杂区域，多个有源区 301 的掺杂类型可以相同。示例性地，有源区 301 可以为 P 阱中 N+ 型掺杂区，用于形成选择晶体管 340 的源极和漏极。

如图 8B 所示，可以通过沉积、光刻（Photolithography）、刻蚀（Etching）等工艺，在衬底 300 上方形成包含有栅极结构 311 的第一结构层 310，其中栅极结构 311 与栅极结构 311 下方有源区 301 构成选择晶体管 340。形成的栅极结构 311 中可以包括栅电极 3111 和栅介质 3112，其中栅电极 3111 可以为存储器中的字线。示例性地，通过沉积工艺在衬底 300 上方沉积绝缘材料，这里的绝缘材料可以为氧化硅等材料，然后利用光刻和刻蚀工艺在绝缘材料中形成栅电极 3111 对应的沟槽，再利用沉积工艺在沟槽中填充导电材料形成栅电极 3111，其中，栅电极 3111 下方的部分绝缘材料即为栅极结构 311 的栅介质 3112。可以理解的是，第一结构层 310 中还可以形成图 8B 中未示出的其他结构。这里的沉积工艺包括但不限于化学气相沉积（Chemical Vapor Deposition, CVD）、原子层沉积（Atomic Layer Deposition, ALD）或物理气相沉积（Physical Vapor Deposition, PVD）。刻蚀工艺包括但不限于干法刻蚀（Dry Etching）与湿法刻蚀（Wet Etching）。其中，干法刻蚀可以包括离子铣刻蚀（Ion Beam Milling Etching）、等离子体刻蚀（Plasma Etching）、反应离子刻蚀（Reactive Ion Etching）或激光烧蚀（Laser Ablation）等；湿法刻蚀是利用溶剂或溶液来进行刻蚀，例如酸碱溶液。

如图 8C 所示，可以通过沉积、光刻、刻蚀等工艺，在第一结构层 310 上方形成包含有反熔丝位结构 350 的第二结构层 320，并形成连接反熔丝位结构 350 和选择晶体管 340 的有源区 301 的第一连接结构 321。形成的反熔丝位结构 350 可以是可击穿的电容结构，包括位于同一平面内的两个电极，以及两个电极之间的反熔丝位介质层。示例性地，通过沉积工艺在第一结构层 310 上方沉积绝缘材料，这里的绝缘材料可以为氧化硅等材料，然后利用光刻和刻蚀工艺在绝缘材料中形成反熔丝位结构 350 的两个电极对应的沟槽，以及贯穿第一结构层 310 并连通至有源区 301 的第一连接孔，再利用沉积工艺在沟槽和第一连接孔中填充导电材料形成反熔丝位结构 350 的两个电极和第一连接结构 321，其中两个电极之间的部分绝缘材料即为反熔丝位介质层。在一些实施例中，还可

以通过自对准双重成像技术 (Self-Aligned Double Patterning, SADP), 形成具有反熔丝位结构 350 的第二结构层 320, 自对准双重成像技术可以减少曝光次数, 提高制造效率与产能。反熔丝位结构 350 的击穿状态和非击穿状态可以用于表示不同的存储数据, 即“0”或“1”。可以理解的是, 第二结构层 320 中还可以形成图 8C 中未示出的其他结构。

5 由于反熔丝位结构 350 形成于第一结构层 310 上方的第二结构层 320, 即反熔丝位结构 350 形成于选择晶体管 340 的上方, 如此, 反熔丝位结构 350 无需在水平方向上占用额外的面积, 使得存储单元的尺寸较小, 提高了存储器的集成度; 此外, 反熔丝位结构 350 中的两个电极可以同步地在第二结构层 320 中形成, 即所需要的掩膜工艺次数较少, 从而简化了制造工艺; 另一方面, 由于栅极结构 311 位于第一结构层 310 中, 通过
10 控制刻蚀的深度, 可以将栅极结构 311 中的栅介质 3112 做得更厚, 从而使得选择晶体管 340 的编程电压更加稳定, 且栅介质 3112 不容易被误击穿, 提高了存储器的可靠性。

在一些实施例中, 如图 9A 至图 9C 所示, 在第一结构层 310 上方形成包含有反熔丝位结构 350 的第二结构层 320, 并形成连接反熔丝位结构 350 和选择晶体管 340 的有源区 301 的第一连接结构 321, 包括: 在第一结构层 310 上方沉积绝缘材料; 所述绝缘材料用于形成第二结构层 320 中的第二隔离层 322; 在绝缘材料中形成第一沟槽 3202 和第二沟槽 3203, 并在第一沟槽 3202 中形成贯穿第一结构层 310 的第一连接孔 3204; 在第一连接孔 3204 中填充导电材料, 形成第一连接结构 321; 在第一沟槽 3202 和第二沟槽 3203 中填充导电材料, 分别形成第一电极 351 和第二电极 352; 第一电极 351 与第二电极 352 以外的绝缘材料为第二隔离层 322; 第一电极 351 与第二电极 352 之间的部分第二隔离层 322 用于作为反熔丝位结构 350 的反熔丝位介质层 353; 其中, 击穿状态为反熔丝位介质层 353 被击穿的状态, 非击穿状态为反熔丝位介质层 353 未被击穿的状态。

如图 9A 所示, 可以通过 CVD 等工艺, 在形成有栅极结构 311 的第一结构层 310 的上方沉积绝缘材料。可选地, 这里的绝缘材料可以为氧化硅、旋涂绝缘介质、氮化硅、氮氧化硅等材料。第一结构层 310 上方的绝缘材料可以用于形成第二结构层 320 中的第二隔离层 322, 其中第二隔离层 322 可以用于隔离第二结构层 320 中的反熔丝位结构 350 与第一结构层 310 中的栅电极 3111。

如图 9B 所示, 可以通过光刻和刻蚀工艺, 在绝缘材料中形成第一沟槽 3202 和第二沟槽 3203, 并在第一沟槽 3202 中形成贯穿第一结构层 310 的第一连接孔 3204。其中, 第一沟槽 3202 和第二沟槽 3203 分别用于形成第一电极 351 和第二电极 352, 第一连接孔 3204 用于形成第一连接结构 321。示例性地, 可以仅利用一道掩膜工艺, 在绝缘材料表面形成第一沟槽 3202 和第二沟槽 3203 对应的掩膜, 再通过刻蚀工艺同步形成第一沟槽 3202 和第二沟槽 3203, 并于第一沟槽 3202 中形成贯穿第一结构层 310 并连通至有源区 301 的第一连接孔 3204。第一沟槽 3202 和第二沟槽 3203 的深度可以相同, 且二者的深度小于沉积的绝缘材料的厚度。

如图 9C 所示, 可以通过沉积工艺, 在第一连接孔 3204 中填充导电材料, 形成第一连接结构 321, 并在第一沟槽 3202 和第二沟槽 3203 中填充导电材料, 分别形成第一电极 351 和第二电极 352。这里的导电材料可以为金属, 也可以为掺杂半导体等材料。可以理解的是, 形成第一电极 351 和第二电极 352 之后剩余的绝缘材料即为第二隔离层 322, 而位于第一电极 351 和第二电极 352 之间的部分第二隔离层 322 可以作为反熔丝位介质层 353。

如此, 当第一电极 351 和第二电极 352 之间的电压差大于或等于反熔丝位介质层 353 的击穿电压时, 反熔丝位介质层 353 被击穿, 即反熔丝位结构 350 永久性地击穿, 从而完成对存储单元的一次性编程操作。

在一些实施例中,第一电极 351 和第二电极 352 可以利用 SADP 工艺同步地形成,减少所需要的掩膜工艺次数,从而简化了制造工艺,降低了制造成本。

图 10A 至图 10D 为半导体结构 30 制造过程中的俯视图。在一些实施例中,第一沟槽 3202 和第二沟槽 3203 的延伸方向平行于栅极结构 311 的延伸方向。

5 在本公开实施例中,如图 10A 所示,栅极结构 311 中的栅电极可以为存储器的字线,即第一沟槽 3202 和第二沟槽 3203 的延伸方向平行于字线的延伸方向。由于第二沟槽 3203 用于形成第二电极,使得位于平行于栅极结构 311 延伸方向上的多个反熔丝位结构中的第二电极相互连通。如此,通过栅极结构 311 可以控制位于其延伸方向上的多个存储单元中的选择晶体管的导通或者截止,此时在第二电极上施加合适的电压,可以对多个存储单元中至少部分反熔丝位结构的第二电极同时加压,简化存储器的操作。值得注意的是,第一沟槽 3202 中形成的多个第一电极是相互分离的。

在一些实施例中,还可以通过自对准双重成像技术,形成第一沟槽 3202 和第二沟槽 3203,并在第一沟槽 3202 和第二沟槽 3203 中填充导电材料;然后再通过后续的掩膜工艺和刻蚀工艺,在第一沟槽 3202 中形成相互分离的多个第一电极。

15 在一些实施例中,如图 10B 所示,还可以通过自对准双重成像技术,形成具有凸起结构 354 的第一电极,和具有凹陷结构 355 的第二电极,凹陷结构 355 半包围凸起结构 354。如此,凸起结构 354 作为尖端结构可以增强周围的电场,使邻近的反熔丝位介质层 353 更容易被击穿,以满足半导体器件低能耗的需求;此外,凸起结构 354 和凹陷结构 355 增大了第一电极与第二电极的表面积,使得反熔丝位结构的击穿和非击穿状态更加稳定,增加了读取的可靠性。

20 在一些实施例中,如图 10B 至图 10D 所示,在第一沟槽 3202 和第二沟槽 3203 中填充导电材料,分别形成第一电极 351 和第二电极 352,包括:在第一沟槽 3202 和第二沟槽 3203 中填充导电材料;去除至少部分第一沟槽 3202 中的导电材料,形成多个相互分离的第一电极 351,以及位于平行于栅极结构 311 的延伸方向上同一直线的多个反熔丝位结构 350 中相互连通的第二电极 352。图 10B 至图 10D 中未示出栅极结构 311。

25 如图 10B 所示,可以通过沉积工艺在第一沟槽 3202 和第二沟槽 3203 中填充导电材料,这里的导电材料可以为金属,也可以为掺杂半导体等材料。示例性地,通过沉积工艺在第一沟槽 3202 和第二沟槽 3203 中填充钨,以便于在后续工艺中形成第一电极和第二电极。

30 如图 10C 所示,可以通过光刻或 SADP 等工艺,在填充有导电材料的第一沟槽 3202 和第二沟槽 3203 之上,形成掩膜层 3205,这里的掩膜层 3205 可以为硬掩膜(Hard Mask),用于在之后的刻蚀工艺中遮挡硬掩膜下方的区域,从而使得遮挡区域不被刻蚀去除。示例性地,可以先利用 CVD 工艺,在填充有导电材料的第一沟槽 3202 和第二沟槽 3203 之上形成一层无机薄膜材料,如 SiN、SiO₂ 等;然后在无机薄膜材料上涂覆光刻胶,并通过光刻工艺将图像转移到无机薄膜材料上,进而形成掩膜层 3205。可以理解的是,未被掩膜层 3205 遮挡的区域为后续工艺中进行刻蚀去除的区域。

35 如图 10D 所示,通过掩膜层 3205 对第一沟槽 3202 和第二沟槽 3203 内的导电材料进行刻蚀,使得至少部分第一沟槽 3202 中的导电材料被分隔开,以形成多个相互分离的第一电极 351,以及位于平行于栅极结构 311 的延伸方向上同一直线的多个反熔丝位结构 350 中相互连通的第二电极 352。

40 在一些实施例中,在形成多个相互分离的第一电极 351 后,由于刻蚀去除了部分第一沟槽 3202 和第二沟槽 3203 内的导电材料,可以继续向第一沟槽 3202 和第二沟槽 3203 内填充绝缘材料,用于隔离多个相互分离的第一电极 351。

如图 11 所示,本公开实施例还提供了一种存储器 40,包括:存储阵列 41,存储阵

列 41 中包括上述实施例任一的半导体结构；与存储阵列 41 耦接的外围电路 42。

在本公开实施例中，存储器 40 包括存储阵列 41 以及与存储阵列 41 耦接的外围电路 42。其中，存储阵列 41 中包括上述实施例任一的半导体结构。外围电路 42 包括用于对行/列地址信息进行锁存和译码的地址电路，用于对反熔丝单元存储的信息进行监测和判断的感测电路，以及用于对操作模式进行切换控制电路。如此，反熔丝位结构的占用面积较小，使得存储单元的尺寸较小，提高了存储器 40 的集成度；此外，形成反熔丝位结构所需的掩膜工艺次数较少，从而简化了存储器 40 的制造工艺；另一方面，栅介质可以做得更厚，从而使得选择晶体管的编程电压更加稳定，提高了存储器 40 的可靠性。

如图 12 所示为存储阵列 41 的示意图，其中一个选择晶体管 440 与一个反熔丝位结构 450 构成一个存储单元 410，每条字线 411 与第二电极 452 连接其延伸方向上的多个存储单元 410，一条第一金属线 430（位线）连接两个相邻且共用源极或漏极的存储单元 410。

本公开实施例还提供了一种存储器 40 的操作方法，存储器 40 包括上述实施例任一的半导体结构；方法包括：根据待写入的数据，击穿存储器 40 的反熔丝位结构 450 中的一个目标反熔丝位结构 450，使目标反熔丝位结构 450 由非击穿状态切换为击穿状态；且保持非目标反熔丝位结构 450 的非击穿状态；其中，非目标反熔丝位结构 450 为目标反熔丝位结构 450 以外的反熔丝位结构 450。

在本公开实施例中，参考图 12，存储器 40 的操作方法包括：在对目标存储单元执行写入操作时，根据待写入的数据，将存储阵列 41 中的一个目标反熔丝位结构 450 击穿，使该目标反熔丝位结构 450 由非击穿状态切换为击穿状态；以及保持非目标存储单元中的非目标反熔丝位结构 450 的非击穿状态。这里的非目标反熔丝位结构 450 为目标反熔丝位结构 450 以外的反熔丝位结构 450。

示例性地，通过在第一电极 451 和第二电极 452 上施加不同的电压，以使得二者之间的电压差大于或等于击穿电压 V_{blow} ，从而实现反熔丝位结构 450 的击穿；而若二者之间的电压差小于击穿电压 V_{blow} ，即可保持反熔丝位结构 450 的非击穿状态。

下面根据表 1 中示出的操作电压以及图 12，对存储器 40 的操作方法进行解释。其中，非目标存储单元 410b 与目标存储单元 410a 连接至同一条字线和同一条第二电极；非目标存储单元 410c 与目标存储单元 410a 既不连接至同一条字线和同一条第二电极，也不连接至同一条位线。

存储器 40 的操作电压			
	第一金属线 430	字线 411	第二电极 452
目标存储单元 410a	V2	V1	V3
非目标存储单元 410b	V4	V1	V3
非目标存储单元 410c	-	V5	-

表 1

在一些实施例中，击穿存储器 40 的反熔丝位结构 450 中的一个目标反熔丝位结构 450a，使目标反熔丝位结构 450a 由非击穿状态切换为击穿状态，包括：对目标反熔丝位结构 450a 连接的选择晶体管 440a 的栅极结构施加第一电压 V1，以导通选择晶体管 440a；对选择晶体管 440a 连接的第一金属线 430 施加第二电压 V2，第二电压 V2 由选择晶体管 440a 施加至目标反熔丝位结构 450a 的第一电极 451a；对目标反熔丝位结构 450a 的第二电极 452 施加第三电压 V3，以使目标反熔丝位结构 450a 由非击穿状态切换为击穿状态；其中，第二电压 V2 与第三电压 V3 之间的电压差大于或等于反熔丝位结

构 450 的击穿电压。

在本公开实施例中，可以通过将目标存储单元 410a 中的目标反熔丝位结构 450a 进行击穿，以实现数据的写入。具体地，如图 12 所示，对目标反熔丝位结构 450a 连接的选择晶体管 440a 的栅极结构，即字线 411 施加第一电压 V1，可选地，这里的第一电压 V1 可以大于 1/2 击穿电压 V_{blow}，以确保选择晶体管 440a 的导通。与此同时，对选择晶体管 440a 连接的第一金属线 430 施加第二电压 V2，并对目标反熔丝位结构 450a 的第二电极 452 施加第三电压 V3，如此，第二电压 V2 由导通的选择晶体管 440a 施加至目标反熔丝位结构 450a 的第一电极 451a，第二电压 V2 与第三电压 V3 之间的电压差大于或等于击穿电压 V_{blow}，以使目标反熔丝位结构 450a 由非击穿状态切换为击穿状态，可选地，这里的第二电压 V2 可以是 0V，而第三电压 V3 则可以是击穿电压 V_{blow}。

在一些实施例中，保持非目标反熔丝位结构 450b 的非击穿状态，包括：对非目标反熔丝位结构 450b 连接的选择晶体管 440b 的栅极结构施加第一电压 V1，以导通选择晶体管 440b；对选择晶体管 440b 连接的第一金属线 430b 施加第四电压 V4，第四电压 V4 由选择晶体管 440b 施加至非目标反熔丝位结构 450b 的第一电极 451b；对非目标反熔丝位结构 450b 的第二电极 452 施加第三电压 V3，以使非目标反熔丝位结构 450b 保持非击穿状态；其中，第四电压 V4 与第三电压 V3 之间的电压差小于反熔丝位结构 450 的击穿电压。

在本公开实施例中，在对目标存储单元 410a 中的目标反熔丝结构 450a 进行击穿时，还需要保持非目标存储单元 410b 中的非目标反熔丝位结构 450b 的非击穿状态。具体地，如图 12 所示，对于与目标存储单元 410a 连接至同一字线 411 和同一第二电极 452 的非目标存储单元 410b，由于对非目标反熔丝位结构 450b 连接的选择晶体管 440b 的栅极结构，即字线 411 施加了第一电压 V1，选择晶体管 440b 的导通，故需要保证非目标反熔丝位结构 450b 的第一电极 451b 与第二电极 452 之间的电压差小于击穿电压 V_{blow}。因此，对选择晶体管 440b 连接的第一金属线 430b 施加第四电压 V4，如此，第四电压 V4 由导通的选择晶体管 440b 施加至非目标反熔丝位结构 450b 的第一电极 451b，第二电极 452 上的第三电压 V3 与第一电极 451b 上的第四电压 V4 之间的电压差小于击穿电压 V_{blow}，以使非目标反熔丝位结构 450b 保持非击穿状态。可选地，这里的第三电压 V3 则可以是击穿电压 V_{blow}，而第四电压 V2 可以是 1/2V_{blow}。

在一些实施例中，保持非目标反熔丝位结构 450c 的非击穿状态，包括：对非目标反熔丝位结构 450c 连接的选择晶体管 440c 的栅极结构施加第五电压 V5，以截止选择晶体管 440c，使非目标反熔丝位结构 450c 保持非击穿状态。

在本公开实施例中，在对目标存储单元 410a 中的目标反熔丝结构 450a 进行击穿时，还需要保持非目标存储单元 410c 中的非目标反熔丝位结构 450c 的非击穿状态。具体地，如图 12 所示，非目标存储单元 410c 与目标存储单元 410a 既不连接至同一条字线 411，也不连接至同一条第一金属线 430，故仅需使选择晶体管 440c 截止，即可保持非目标反熔丝位结构 450c 的非击穿状态。具体地，对非目标反熔丝位结构 450c 连接的选择晶体管 440c 的栅极结构（字线 411）施加第五电压 V5，以截止选择晶体管 440c，使非目标反熔丝位结构 450c 保持非击穿状态。可选的，这里的第五电压 V5 可以是 0V。

存储器 40 的操作电压							
对象	第一金属线		栅极结构		第二电极		阱区
类型	目标存储单元	非目标存储单元	目标存储单元	非目标存储单元	目标存储单元	非目标存储单元	无
写入	0V	1/2Vblow	>1/2Vblow	0V	Vblow	1/2Vblow	0V
读取	Vblr	0V	Vwlr	0V	0V	0V	0V

表 2

5 在一些实施例中，还可以根据如表 2 所示的操作电压，对存储器 40 进行写入和读取操作。其中 Vblr 为第一金属线 430，即位线的读取电压；Vwlr 为字线 411 的读取电压。

需要说明的是，本公开所提供的几个方法或设备实施例中所揭露的特征，在不冲突的情况下可以任意组合，得到新的方法实施例或设备实施例。以上仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以权利要求的保护范围为准。

10

工业实用性

在本公开实施例提供的半导体结构中，栅极结构位于衬底上方的第一结构层，反熔丝位结构位于第一结构层上方的第二结构层，且反熔丝位结构通过第一连接结构与衬底中的有源区连接。如此，反熔丝位结构不需要在水平方向上占用额外的面积，提高了存储器的集成度，且减少了形成反熔丝位结构所需要的掩膜工艺次数，从而简化了制造工艺。

15

权利要求书

1. 一种半导体结构, 包括:
衬底, 所述衬底中具有靠近所述衬底表面的多个有源区;
栅极结构, 位于所述衬底上方第一结构层; 所述栅极结构与所述有源区构成选择晶
5 体管;
反熔丝位结构, 位于所述第一结构层上方的第二结构层, 且所述反熔丝位结构通过
第一连接结构与一个所述选择晶体管的所述有源区连接; 所述反熔丝位结构的击穿状态
和非击穿状态用于表示不同的存储数据。
2. 根据权利要求 1 所述的半导体结构, 其中, 所述反熔丝位结构包括:
10 第一电极, 所述第一电极通过所述第一连接结构与所述有源区连接;
第二电极, 所述第二电极与所述第一电极位于同一平面内, 且所述第一电极和所述
第二电极所在的平面平行于所述衬底的表面;
反熔丝位介质层, 位于所述第一电极和所述第二电极之间且连接所述第一电极和所
述第二电极; 其中, 所述击穿状态为所述反熔丝位介质层被击穿的状态, 所述非击穿状
15 态为所述反熔丝位介质层未被击穿的状态。
3. 根据权利要求 2 所述的半导体结构, 其中, 位于平行于所述栅极结构的延伸方向
上的多个反熔丝位结构的所述第二电极相互连通。
4. 根据权利要求 2 所述的半导体结构, 其中, 所述第一电极中靠近所述第二电极的
一侧具有凸起结构, 所述第二电极中靠近所述第一电极的一侧具有与所述凸起结构对应
20 的凹陷结构。
5. 根据权利要求 1 所述的半导体结构, 其中, 所述反熔丝位结构在所述衬底上的投
影与所述栅极结构在所述衬底上的投影至少部分重叠。
6. 根据权利要求 1 所述的半导体结构, 其中, 所述第一结构层还包括至少包围所述
栅极结构的栅电极底面和侧面的第一隔离层;
25 所述第二结构层还包括至少包围所述反熔丝位结构底面和侧面的第二隔离层; 所述
第一连接结构贯穿所述第一隔离层和所述第二隔离层。
7. 根据权利要求 6 所述的半导体结构, 其中, 所述第一隔离层为氧化物材料, 其中,
所述栅极结构中的部分所述第一隔离层用于作为所述选择晶体管的栅介质。
8. 根据权利要求 1 所述的半导体结构, 其中, 所述有源区包括:
30 具有相同掺杂类型的第一掺杂区和第二掺杂区, 所述第一掺杂区与所述第二掺杂区
分别位于所述栅极结构的两侧;
其中, 所述第一掺杂区通过所述第一连接结构与所述反熔丝位结构连接。
9. 根据权利要求 8 所述的半导体结构, 其中, 还包括:
第一金属线, 位于所述第二结构层上方的第三结构层; 所述第一金属线通过第二连
35 接结构与所述第二掺杂区连接; 所述第一金属线的延伸方向垂直于所述栅极结构的延伸
方向。
10. 根据权利要求 9 所述的半导体结构, 其中, 所述第三结构层还包括至少包围所
述第一金属线底面和侧面的第三隔离层。
11. 根据权利要求 8 所述的半导体结构, 其中, 两个相邻的所述反熔丝位结构对称
40 设置; 每两个对称设置的所述反熔丝位结构连接的所述选择晶体管共用同一个所述第二
掺杂区。
12. 根据权利要求 11 所述的半导体结构, 其中, 还包括:

隔离结构，位于两个相邻的所述第一掺杂区之间；其中，两个相邻的所述第一掺杂区为：相邻且不共用所述第二掺杂区的两个所述选择晶体管对应的所述第一掺杂区。

13. 一种半导体结构的制造方法，所述方法包括：

提供衬底，所述衬底中具有靠近所述衬底表面的多个有源区；

5 在所述衬底上方形成包含有栅极结构的第一结构层；所述栅极结构与所述有源区构成选择晶体管；

在所述第一结构层上方形成包含有反熔丝位结构的第二结构层，并形成连接所述反熔丝位结构和所述选择晶体管的所述有源区的第一连接结构；所述反熔丝位结构的击穿状态和非击穿状态用于表示不同的存储数据。

10 14. 根据权利要求 13 所述的方法，其中，所述在所述第一结构层上方形成包含有反熔丝位结构的第二结构层，并形成连接所述反熔丝位结构和所述选择晶体管的所述有源区的第一连接结构，包括：

在所述第一结构层上方沉积绝缘材料；所述绝缘材料用于形成所述第二结构层中的第二隔离层；

15 在所述绝缘材料中形成第一沟槽和第二沟槽，并在所述第一沟槽中形成贯穿所述第一结构层的第一连接孔；

在所述第一连接孔中填充导电材料，形成所述第一连接结构；

20 在所述第一沟槽和所述第二沟槽中填充导电材料，分别形成第一电极和第二电极；所述第一电极与所述第二电极以外的所述绝缘材料为所述第二隔离层；所述第一电极与所述第二电极之间的部分所述第二隔离层用于作为所述反熔丝位结构的反熔丝位介质层；其中，所述击穿状态为所述反熔丝位介质层被击穿的状态，所述非击穿状态为所述反熔丝位介质层未被击穿的状态。

15 15. 根据权利要求 14 所述的方法，其中，所述第一沟槽和所述第二沟槽的延伸方向平行于所述栅极结构的延伸方向。

25 16. 根据权利要求 15 所述的方法，其中，所述在所述第一沟槽和所述第二沟槽中填充导电材料，分别形成第一电极和第二电极，包括：

在所述第一沟槽和所述第二沟槽中填充导电材料；

30 去除至少部分所述第一沟槽中的导电材料，形成多个相互分离的第一电极，以及位于平行于所述栅极结构的延伸方向上同一直线的多个反熔丝位结构中相互连通的所述第二电极。

17. 一种存储器的操作方法，所述存储器包括权利要求 1 至 12 任一所述的半导体结构；所述方法包括：

根据待写入的数据，击穿所述存储器的反熔丝位结构中的一个目标反熔丝位结构，使所述目标反熔丝位结构由非击穿状态切换为击穿状态；

35 且保持非目标反熔丝位结构的非击穿状态；其中，所述非目标反熔丝位结构为所述目标反熔丝位结构以外的反熔丝位结构。

18. 根据权利要求 17 所述的方法，其中，所述击穿所述存储器的反熔丝位结构中的一个目标反熔丝位结构，使所述目标反熔丝位结构由非击穿状态切换为击穿状态，包括：

40 对所述目标反熔丝位结构连接的所述选择晶体管的所述栅极结构施加第一电压，以导通所述选择晶体管；

对所述选择晶体管连接的第一金属线施加第二电压；

对所述目标反熔丝位结构的第二电极施加第三电压，以使所述目标反熔丝位结构由非击穿状态切换为击穿状态；其中，所述第二电压与所述第三电压之间的电压差大于或等于所述反熔丝位结构的击穿电压。

19. 根据权利要求 17 所述的方法, 其中, 所述保持非目标反熔丝位结构的非击穿状态, 包括:

对所述非目标反熔丝位结构连接的所述选择晶体管的所述栅极结构施加第一电压, 以导通所述选择晶体管;

5 对所述选择晶体管连接的第一金属线施加第四电压;

对所述非目标反熔丝位结构的第二电极施加第三电压, 以使所述非目标反熔丝位结构保持非击穿状态; 其中, 所述第四电压与所述第三电压之间的电压差小于所述反熔丝位结构的击穿电压。

20. 根据权利要求 17 所述的方法, 其中, 所述保持非目标反熔丝位结构的非击穿状态, 包括:

10 对所述非目标反熔丝位结构连接的所述选择晶体管的所述栅极结构施加第五电压, 以截止所述选择晶体管, 使所述非目标反熔丝位结构保持非击穿状态。

21. 一种存储器, 包括:

存储阵列, 所述存储阵列中包括如权利要求 1 至 12 任一所述的半导体结构;

15 与所述存储阵列耦接的外围电路。