

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2021 年 7 月 8 日 (08.07.2021)



(10) 国际公布号
WO 2021/135102 A1

- (51) 国际专利分类号:
H03K 3/017 (2006.01) **H03K 5/06** (2006.01)
- (21) 国际申请号: PCT/CN2020/098899
- (22) 国际申请日: 2020 年 6 月 29 日 (29.06.2020)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201911422474.4 2019 年 12 月 30 日 (30.12.2019) CN
- (71) 申请人: 杭州嘉楠耘智信息科技有限公司 (HANGZHOU CANAAN INTELLIGENCE INFORMATION TECHNOLOGY CO, LTD) [CN/CN]; 中国浙江省杭州市江干区九环路九号 4 号楼 12 楼 1203 室, Zhejiang 310000 (CN)。
- (72) 发明人: 刘杰尧 (LIU, Jieyao); 中国浙江省杭州市江干区九环路九号 4 号楼 12 楼 1203 室, Zhejiang 310000 (CN)。 张楠庚 (ZHANG, Nangeng); 中国

浙江省杭州市江干区九环路九号 4 号楼 12 楼 1203 室, Zhejiang 310000 (CN)。 吴敬杰 (WU, Jingjie); 中国浙江省杭州市江干区九环路九号 4 号楼 12 楼 1203 室, Zhejiang 310000 (CN)。 马晟厚 (MA, Shenghou); 中国浙江省杭州市江干区九环路九号 4 号楼 12 楼 1203 室, Zhejiang 310000 (CN)。

(74) 代理人: 北京律诚同业知识产权代理有限公司 (LECOMTE INTELLECTUAL PROPERTY AGENT LTD.); 中国北京市海淀区西土城路 1 号院 1 号楼泰富酒店写字楼三层, Beijing 100088 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) Title: CLOCK GENERATION CIRCUIT AND LATCH USING SAME, AND COMPUTING DEVICE

(54) 发明名称: 时钟产生电路及应用其的锁存器和计算设备

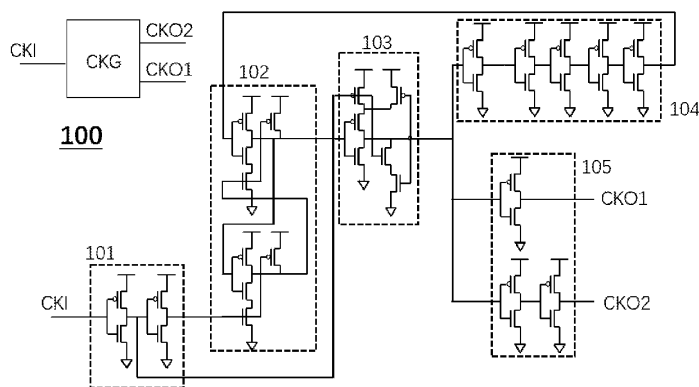


图 5

(57) Abstract: Provided are a clock generation circuit and a latch using same, and a computing device. The clock generation circuit comprises an input end, used for inputting a pulse signal (CKI); a first output end, for outputting a first clock signal (CKO1); a second output end, used for outputting a second clock signal (CKO2); and an input drive circuit (101), a latch circuit (102), an edge shaping circuit (103), a feedback delay unit (104), and an output drive circuit (105), wherein the input drive circuit (101), the latch circuit (102), the edge shaping circuit (103), the feedback delay unit (104) and the output drive circuit (105) are sequentially connected between the input end and the first and second output ends in series. Accordingly, a clock pulse can be effectively shaped, the use of a clock buffer can be reduced, and the correctness and accuracy of data transmission and latching can be improved.

[见续页]

WO 2021/135102 A1

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 一种时钟产生电路及应用其的锁存器和计算设备, 时钟产生电路包括一输入端, 用于输入一脉冲信号 (CKI); 一第一输出端, 用于输出一第一时钟信号 (CKO1); 一第二输出端, 用于输出一第二时钟信号 (CKO2); 一输入驱动电路 (101)、一锁存电路 (102)、一边沿整形电路 (103)、一反馈延迟单元 (104) 以及一输出驱动电路 (105); 所述输入驱动电路 (101)、所述锁存电路 (102)、所述边沿整形电路 (103)、所述反馈延迟单元 (104) 以及所述输出驱动电路 (105) 依次串接在所述输入端与所述第一输出端以及所述第二输出端之间。可以有效对时钟脉冲进行整形, 减少使用时钟缓冲器, 提高数据传输、锁存的正确性和准确率。