

说明书

一种基于 LDPC 码的通信方法和通信装置

5 技术领域

本申请涉及信道编码领域，并且更具体地，涉及一种基于 LDPC 码的通信方法和通信装置。

背景技术

10 在信道编码领域，低密度奇偶校验（low-density parity check, LDPC）码是应用最为成熟和广泛的一种信道编码方案。新无线（new radio, NR）LDPC 码的高码率部分（即核心矩阵）只支持准循环（quasi-cyclic, QC）块的并行译码，无法支持整行的并行译码，限制译码效率。802.11ay LDPC 码的每个码率单独存储一个校验矩阵，不支持灵活码率，因而
15 IR-HARQ）机制。

发明内容

本申请实施例提供一种基于 LDPC 码的通信方法和通信装置，有助于提高 LDPC 码的译码效率。

20 第一方面，提供了一种基于 LDPC 码的通信方法，所述方法可以由发送端执行，也可以由发送端中的模块或单元执行，为了描述方便，下文统一称为发送端。可选地，发送端可以为终端或网络设备。

所述方法包括：获取信息比特序列；根据 LDPC 基矩阵对所述信息比特序列进行 LDPC 编码，得到 LDPC 码字序列，其中，所述 LDPC 基矩阵是基于存储矩阵和指示信息得到的，
25 所述指示信息用于指示所述存储矩阵行与行之间的对应关系或者所述 LDPC 基矩阵行与行之间的对应关系，所述 LDPC 基矩阵的非拓展列的列重之和与所述存储矩阵的非拓展列的列重之和相等；发送所述 LDPC 码字序列。

基于上述方法，可以根据存储矩阵以及用于指示存储矩阵行与行之间的对应关系或者期望得到的 LDPC 基矩阵行与行之间的对应关系的指示信息，得到 LDPC 基矩阵，并且在
30 得到 LDPC 基矩阵的过程中，可以不改变非拓展列对应到坦纳（Tanner）图上的总边数。Tanner 图上的边数是影响 LDPC 码的计算复杂度的关键因素之一，因此，通过本申请提供的方法有助于保持 LDPC 码的计算复杂度，尤其在由高码率向低码率扩展的场景中有助于降低低码率 LDPC 码的计算复杂度，提高译码效率。

此外，上述方法支持灵活码率，进而支持 IR-HARQ 机制。

35 结合第一方面，在第一方面的一些实现方式中，所述 LDPC 基矩阵对应的码率与所述存储矩阵对应的码率不同。

基于上述方法，可以根据存储矩阵以及用于指示存储矩阵行与行之间的对应关系或者期望得到的 LDPC 基矩阵行与行之间的对应关系的指示信息，得到与存储矩阵对应的码率

不同的 LDPC 基矩阵, 并且在得到 LDPC 基矩阵的过程中, 可以不改变非拓展列对应到 Tanner 图上的总边数。在由高码率向低码率扩展的场景中, 采用该方法有助于降低低码率 LDPC 码的计算复杂度。

结合第一方面或其任意实现方式, 在第一方面的另一些实现方式中, 所述 LDPC 基矩阵包括第一子矩阵和第二子矩阵, 所述第一子矩阵包括所述 LDPC 基矩阵的非拓展列, 所述第二子矩阵包括所述 LDPC 基矩阵的拓展列; 所述第二子矩阵中的 Q 列中的每一列的列重为 2; 所述 Q 列中的第 q 列所包含的 2 个非零元素中的一个对应于所述第一子矩阵的第 i_1 行, 所述 Q 列中的第 q 列所包含的 2 个非零元素中的另一个对应于所述第一子矩阵的第 i_2 行, 所述第 i_1 行和所述第 i_2 行相互正交, 所述第 q 列为所述 Q 列中的任意一列; 其中, Q 、 q 、 i_1 、 i_2 均为正整数。

换句话说, LDPC 基矩阵的部分或全部拓展节点的度数为 2, 并且这些拓展节点对应的两行除拓展部分之外的部分相互正交。具备上述特征的 LDPC 基矩阵可以支持行并行译码, 有助于提高译码效率。

结合第一方面或其任意实现方式, 在第一方面的另一些实现方式中, 所述 LDPC 基矩阵为 $X \times Y$ 的矩阵, 所述 LDPC 基矩阵的第 $y_2+1 \sim Y$ 列为拓展列; 所述 LDPC 基矩阵包括子矩阵 A1、子矩阵 B1、子矩阵 C1、子矩阵 D1 和子矩阵 E1, 所述子矩阵 A1 为所述 LDPC 基矩阵的第 $1 \sim x_1$ 行、第 $1 \sim y_1$ 列, 所述子矩阵 B1 为所述 LDPC 基矩阵的第 $1 \sim x_1$ 行、第 $y_1+1 \sim y_2$ 列, 所述子矩阵 C1 为所述 LDPC 基矩阵的第 $1 \sim x_1$ 行、第 $y_2+1 \sim Y$ 列, 所述子矩阵 D1 为所述 LDPC 基矩阵的第 $x_1+1 \sim X$ 行、第 $1 \sim y_2$ 列, 所述子矩阵 E1 为所述 LDPC 基矩阵的第 $x_1+1 \sim X$ 行、第 $y_2+1 \sim Y$ 列, $1 \leq x_1 \leq X$, $1 \leq y_1 \leq y_2 \leq Y$, x_1 、 X 、 y_1 、 y_2 、 Y 均为整数; 其中, 所述子矩阵 E1 的对角线为非零元素, 所述子矩阵 E1 的对角线以上包括非零元素和/或所述子矩阵 E1 的对角线以下包括非零元素, 所述子矩阵 C1 包括非零元素。

需要说明的是, 若基于上述方法得到 LDPC 基矩阵的过程中进行了行的位置调整和/或列的位置调整, 则拓展行和/或拓展列满足: 将 $X-x_1$ 个拓展行和/或 $Y-y_2$ 个拓展列按照分裂顺序排序, 排序后的拓展行和拓展列存在这里所述的特征。

基于上述方法, 子矩阵 C1 包括非零元素, 这样有助于避免因拓展节点的度数 (即拓展列的列重) 较小导致的错误平层。进一步地, 当子矩阵 E1 的对角线以上也包括非零元素时, 可以进一步避免因拓展节点的度数较小导致的错误平层。

结合第一方面或其任意实现方式, 在第一方面的另一些实现方式中, 所述指示信息所采用的形式包括: 指示序列、映射表格、或映射对中的至少一个。

结合第一方面或其任意实现方式, 在第一方面的另一些实现方式中, 所述指示信息用于指示所述 LDPC 基矩阵行与行之间的对应关系, 所述存储矩阵用于存储变量节点和校验节点的连接关系, 所述存储矩阵的非零元素的偏移值根据偏移值表格得到, 所述偏移值表格用于存储所述存储矩阵的非拓展行的各位置的偏移值。

基于上述方法, 可以仅存储存储矩阵的非拓展行的各位置的偏移值, 即仅存储核心部分的各位置的偏移值, 有助于减少对存储空间占用。

结合第一方面或其任意实现方式, 在第一方面的另一些实现方式中, 所述指示信息采用指示序列的形式, 所述 LDPC 基矩阵是根据所述指示序列读取所述存储矩阵和偏移值表格得到的, 所述指示序列包括至少一个行号, 所述至少一个行号中的第 i_3 个行号指示所述

LDPC 基矩阵的第 i_3 行的偏移值基于所述至少一个行号中的第 i_3 个行号所标识的行的偏移值确定, i_3 为正整数。

即, 编码使用的 LDPC 基矩阵是根据指示序列读取存储矩阵和偏移值表格得到的。

例如, 期望得到的 LDPC 基矩阵为 7 行 29 列的矩阵, 存储矩阵存储了各个变量节点和各个校验节点的连接关系, 偏移值表格存储了核心部分 6 行 28 列的各位置的偏移值, 指示信息的第 7 个行号为 2。对于 LDPC 基矩阵的第 7 行, 发送端可以根据存储矩阵第 7 行的连接关系, 从偏移值表格中对应于存储矩阵的第 2 行的偏移值确定第 7 行的偏移值。

结合第一方面或其任意实现方式, 在第一方面的另一些实现方式中, 所述指示信息采用指示序列的形式, 所述 LDPC 基矩阵是根据所述指示序列对所述存储矩阵进行分裂得到的, 所述指示序列包括至少一个行号, 所述至少一个行号中的第 m_1+r 个行号指示所述 LDPC 基矩阵的第 m_1+r 行用于对所述至少一个行号中的第 m_1+r 个行号所标识的行进行消元处理, 所述至少一个行号的排序顺序为分裂顺序, m_1 为所述存储矩阵的非拓展行的行数, r 为正整数。

结合第一方面或其任意实现方式, 在第一方面的另一些实现方式中, 所述至少一个行号包括至少一个分段, 所述至少一个分段中的每个分段对应于一轮分裂, 所述至少一个分段对应的至少一轮分裂中的第 t 轮分裂所对应的分段中的行号为 $\{1, \dots, 2^{t-1}m_1\}$ 的置换形式或 $\{1, \dots, 2^{t-1}m_1\}$ 的子集的置换形式, t 为正整数。

基于上述方法, 由于第 t 轮分裂对应的分段所包括的行号为 $\{1, \dots, 2^{t-1}m_1\}$ 的置换形式或 $\{1, \dots, 2^{t-1}m_1\}$ 的子集的置换形式, 因此, 每个行号在一轮分裂中仅出现一次, 因此每一轮包括的多次分裂可以并行执行, 有助于提高分裂效率。

结合第一方面或其任意实现方式, 在第一方面的另一些实现方式中, 所述存储矩阵为 $M \times N$ 的矩阵, 所述存储矩阵的第 $m_1+1 \sim M$ 行是为拓展行; 所述存储矩阵包括子矩阵 A2、子矩阵 B2、子矩阵 C2、子矩阵 D2 和子矩阵 E2, 所述子矩阵 A2 为所述存储矩阵的第 $1 \sim m_1$ 行、第 $1 \sim n_1$ 列, 所述子矩阵 B2 为所述存储矩阵的第 $1 \sim m_1$ 行、第 $n_1+1 \sim n_2$ 列, 所述子矩阵 C2 为所述存储矩阵的第 $1 \sim m_1$ 行、第 $n_2+1 \sim N$ 列, 所述子矩阵 D2 为所述存储矩阵的第 $m_1+1 \sim M$ 行、第 $1 \sim n_2$ 列, 所述子矩阵 E2 为所述存储矩阵的第 $m_1+1 \sim M$ 行、第 $n_2+1 \sim N$ 列, $1 \leq m_1 \leq M$, $1 \leq n_1 \leq n_2 \leq N$, m_1 、 M 、 n_1 、 n_2 、 N 均为整数; 其中, 所述子矩阵 D2 的第 a_1 行真包含于第三子矩阵的第 b_1 行和/或所述子矩阵 D2 的第 a_2 , 所述第三子矩阵由所述子矩阵 A2 和所述子矩阵 B2 组成, 所述第 a_1 行是所述子矩阵 D2 的任意一行。

换句话说, 存储矩阵除核心部分外的行所包含的变量节点 (除拓展节点) 真包含于其父节点包含的变量节点。

结合第一方面或其任意实现方式, 在第一方面的另一些实现方式中, 所述第 a_1 行中的每个非零元素的偏移值与所述第 b_1 行中的对应位置的非零元素的偏移值之间的差值相同, 和/或, 所述第 a_1 行中的每个非零元素的偏移值与所述第 b_1 行中的对应位置的非零元素的偏移值之间的差值相同。

换句话说, 存储矩阵除核心部分外的行的偏移值与其父节点对应位置的偏移值相差固定常数。可选地, 该常数可以取 0。

结合第一方面或其任意实现方式, 在第一方面的另一些实现方式中, 与所述第三子矩阵的第 b_2 行对应的所述子矩阵 D2 中的多行各不相同, 所述第 b_2 行是所述第三子矩阵的任

意一行。

基于上述方法，有助于保障存储矩阵核心部分的行重。

结合第一方面或其任意实现方式，在第一方面的另一些实现方式中，所述第 a_1 行与所述第 b_1 行的对应关系、以及所述第 a_1 行与所述第 a_2 行的对应关系是根据所述指示信息确定的。

结合第一方面或其任意实现方式，在第一方面的另一些实现方式中，所述方法还包括：根据所述 LDPC 基矩阵对应的码长、所述 LDPC 基矩阵对应的信息位的数量、以及所述 LDPC 基矩阵的信息列的数量，确定分裂次数 R ；对所述存储矩阵进行 R 次分裂，得到所述 LDPC 基矩阵；其中，所述 R 次分裂中的第 r 次分裂包括以下操作：获取所述指示序列的第 m_1+r 个行号；使用所述存储矩阵的第 m_1+r 行对所述存储矩阵中与所述第 m_1+r 个行号相对应的行进行消元处理；其中， m_1 为所述存储矩阵的非拓展行的行数，所述第 r 次分裂为所述 R 次分裂中的任意一次， r 为正整数。

结合第一方面或其任意实现方式，在第一方面的另一些实现方式中，所述存储矩阵不包括拓展列。

换句话说，发送端存储核心矩阵或者说高码率矩阵。

结合第一方面或其任意实现方式，在第一方面的另一些实现方式中，所述 LDPC 基矩阵的第 m_1+r 行是基于划分表格的第 r 行得到的，所述划分表格中的一行用于构造所述 LDPC 基矩阵的一个拓展行。

结合第一方面或其任意实现方式，在第一方面的另一些实现方式中，所述方法还包括：根据所述 LDPC 基矩阵对应的码长、所述 LDPC 基矩阵对应的信息位的数量、以及所述 LDPC 基矩阵的信息列的数量，确定分裂次数 R ；对所述存储矩阵进行 R 次分裂，得到所述 LDPC 基矩阵；其中，所述 R 次分裂中的第 r 次分裂包括以下操作：获取划分表格的第 r 行，并根据所述第 r 行构造所述存储矩阵的第 r 个拓展行；获取所述指示序列的第 $M+r$ 个行号；使用所述第 r 个拓展行对第 k 行进行消元处理，所述第 k 行是所述存储矩阵或所述存储矩阵的前 $r-1$ 个拓展行中与所述第 $M+r$ 个行号相对应的行；其中， M 为所述存储矩阵的行数，所述第 r 次分裂为所述 R 次分裂中的任意一次， r 为正整数。

结合第一方面或其任意实现方式，在第一方面的另一些实现方式中，所述 R 为满足 $RZ_c \geq N_0 - K_0$ 的最小整数；其中， Z_c 为提升值，且 Z_c 为 Z_c 列表中满足 $KZ_c \geq K_0$ 的最小的 Z_c ； N_0 为所述 LDPC 基矩阵对应的码长； K_0 为所述 LDPC 基矩阵对应的信息位的数量； K 为所述 LDPC 基矩阵的信息列的数量。

结合第一方面或其任意实现方式，在第一方面的另一些实现方式中，若对所述 LDPC 基矩阵的最后一列对应的部分校验位进行打孔，则所述 R 次分裂的最后一次分裂以 Z_c 提升后的行作为粒度；其中， Z_c 为提升值，且 Z_c 为 Z_c 列表中满足 $KZ_c \geq K_0$ 的最小的 Z_c ； K_0 为所述 LDPC 基矩阵对应的信息位的数量； K 为所述 LDPC 基矩阵的信息列的数量。

基于上述方法，在需要对 LDPC 基矩阵的最后一列对应的部分校验位进行打孔的情况下，可以将分裂的基本粒度从 Z_c 提升前的行变为 Z_c 提升后的行，即从 Z_c 变为 1，以实现精细粒度的速率匹配。

结合第一方面或其任意实现方式，在第一方面的另一些实现方式中，所述指示信息采用指示序列的形式，所述 LDPC 基矩阵是根据所述指示序列对所述存储矩阵进行合并得到

的,所述指示序列包括多个子信息,所述多个子信息中的每个子信息用于指示所述存储矩阵中进行合并的两行,所述多个子信息的排列顺序为合并顺序。

5 可选地,上述子信息可以为拓展节点的标号,合并的行则为拓展节点对应的行。拓展节点的标号可以指仅针对拓展节点进行的编号时的标号,例如存储矩阵包括 10 个拓展节点,其编号依次可以为 1~10。拓展节点的标号也可以指针对所有变量节点进行编号时的标号,例如存储矩阵包括 28 个变量节点,其中包括 4 个拓展节点,则拓展节点的标号依次可以为 25~28。

可选地,上述子信息可以为合并的行的标号。例如,当需要对存储矩阵的第 5 行和第 6 行进行合并时,子信息可以包括第 5 行的标号和第 6 行的标号。

10 结合第一方面或其任意实现方式,在第一方面的另一些实现方式中,所述多个子信息包括至少一个分段,所述至少一个分段中的每个分段对应于一轮合并,所述至少一个分段中的第 t 个分段包括的所述子信息所对应的所述存储矩阵的拓展列的标号为 $\{(2^{T-t}-1)s_1+1, \dots, (2^{T-t+1}-1)s_1\}$ 的置换形式或 $\{(2^{T-t}-1)s_1+1, \dots, (2^{T-t+1}-1)s_1\}$ 的子集置换形式, T 为合并轮数的上界, s_1 为所述存储矩阵的非拓展行的行数, T 和 t 为正整数。

15 基于上述方法,由于第 t 个分段包括的所述子信息所对应的所述存储矩阵的拓展列的标号为 $\{(2^{T-t}-1)s_1+1, \dots, (2^{T-t+1}-1)s_1\}$ 的置换形式或 $\{(2^{T-t}-1)s_1+1, \dots, (2^{T-t+1}-1)s_1\}$ 的子集置换形式,因此,每个标号在一轮合并中仅出现一次,因此每一轮包括的多次合并可以并行执行,有助于提高合并效率。

20 结合第一方面或其任意实现方式,在第一方面的另一些实现方式中,所述存储矩阵包括第四子矩阵和第五子矩阵,所述第四子矩阵包括所述存储矩阵的非拓展列,所述第五子矩阵包括所述存储矩阵的拓展列;所述第五子矩阵中的 P 列中的每一列的列重为 2;所述 P 列中的第 p 列所包含的 2 个非零元素中的一个对应于所述第一子矩阵的第 j_1 行,所述 P 列中的第 p 列所包含的 2 个非零元素中的另一个对应于所述第一子矩阵的第 j_2 行,所述第 j_1 行和所述第 j_2 行相互正交,所述第 p 列为所述 P 列中的任意一列;其中, P 、 p 、 j_1 、 j_2 均为正整数。

25 基于上述方法,存储矩阵的部分或全部拓展节点的度数为 2,并且这些拓展节点对应的两行除拓展部分之外的部分相互正交,因此将这两行进行合并并不会改变存储矩阵除拓展部分之外的部分的变数量。

30 结合第一方面或其任意实现方式,在第一方面的另一些实现方式中,所述存储矩阵为 $S \times G$ 的矩阵,所述存储矩阵的第 $s_1+1 \sim S$ 行是拓展行,所述存储矩阵的第 $g_2+1 \sim G$ 列为拓展列;所述存储矩阵包括子矩阵 A3、子矩阵 B3、子矩阵 C3、子矩阵 D3 和子矩阵 E3,所述子矩阵 A3 为所述存储矩阵的第 $1 \sim s_1$ 行、第 $1 \sim g_1$ 列,所述子矩阵 B3 为所述存储矩阵的第 $1 \sim s_1$ 行、第 $g_1+1 \sim g_2$ 列,所述子矩阵 C3 为所述存储矩阵的第 $1 \sim s_1$ 行、第 $g_2+1 \sim G$ 列,所述子矩阵 D3 为所述存储矩阵的第 $s_1+1 \sim S$ 行、第 $1 \sim g_2$ 列,所述子矩阵 E3 为所述存储矩阵的第 $s_1+1 \sim S$ 行、第 $g_2+1 \sim G$ 列, $1 \leq s_1 \leq S$, $1 \leq g_1 \leq g_2 \leq G$, s_1 、 S 、 g_1 、 g_2 、 G 均为整数;其中,所述子矩阵 E3 的对角线为非零元素,所述子矩阵 E3 的对角线以上包括非零元素和/或所述子矩阵 E3 的对角线以下包括非零元素,所述子矩阵 C3 包括非零元素。

结合第一方面或其任意实现方式,在第一方面的另一些实现方式中,所述方法还包括:根据所述 LDPC 基矩阵对应的码率、所述 LDPC 基矩阵的信息列的数量、所述存储矩阵的

非拓展行的行数、所述存储矩阵的非拓展列的列数、以及合并轮数的上界 T ，确定合并次数 W ；对所述存储矩阵进行 W 次合并，得到所述 LDPC 基矩阵；其中，所述 W 次分裂中的第 w 次合并包括以下操作：获取所述指示序列的第 w 个子信息；对所述第 w 个子信息所指示的两行进行合并；其中，所述第 w 次合并为所述 W 次合并中的任意一次， w 为正整数。

结合第一方面或其任意实现方式，在第一方面的另一些实现方式中，所述 W 为满足 $R_0 \leq \frac{K}{g_1 + (2^{T_1} - 1)s_1 - W}$ 的最小整数；其中， R_0 为所述 LDPC 基矩阵对应的码率； K 为所述 LDPC 基矩阵的信息列的数量； s_1 为所述存储矩阵的非拓展行的行数； g_1 为所述存储矩阵的非拓展列的列数； T_1 为合并轮数的上界。

结合第一方面或其任意实现方式，在第一方面的另一些实现方式中，若对所述 LDPC 基矩阵的最后一列对应的部分校验位进行打孔，则所述 W 次合并的最后一次合并以 Z_c 提升后的行作为粒度；其中， Z_c 为提升值，且 Z_c 为 Z_c 列表中满足 $KZ_c \geq K_0$ 的最小的 Z_c ； K_0 为所述 LDPC 基矩阵对应的信息位的数量； K 为所述 LDPC 基矩阵的信息列的数量。

基于上述方法，在需要对 LDPC 基矩阵的最后一列对应的部分校验位进行打孔的情况下，可以将合并的基本粒度从 Z_c 提升前的行变为 Z_c 提升后的行，即从 Z_c 变为 1，以实现精细粒度的速率匹配。

第二方面，提供了一种基于 LDPC 码的通信方法，所述方法可以由接收端执行，也可以由接收端中的模块或单元执行。可选地，接收端可以为终端，也可以为网络设备。

第二方面及其可能的实现方式所示方法的技术效果可参照第一方面及其可能的实现方式，不再赘述。

所述方法包括：接收来自发送端的 LDPC 码字序列；根据 LDPC 基矩阵对所述 LDPC 码字序列进行译码，其中，所述 LDPC 基矩阵是基于存储矩阵和指示信息得到的，所述指示信息用于指示所述存储矩阵行与行之间的对应关系或者所述 LDPC 基矩阵行与行之间的对应关系，所述 LDPC 基矩阵的非拓展列的列重之和与所述存储矩阵的非拓展列的列重之和相等。

结合第二方面，在第二方面的一些实现方式中，所述 LDPC 基矩阵对应的码率与所述存储矩阵对应的码率不同。

结合第二方面或其任意实现方式，在第二方面的另一些实现方式中，所述 LDPC 基矩阵包括第一子矩阵和第二子矩阵，所述第一子矩阵包括所述 LDPC 基矩阵的非拓展列，所述第二子矩阵包括所述 LDPC 基矩阵的拓展列；所述第二子矩阵中的 Q 列中的每一列的列重为 2；所述 Q 列中的第 q 列所包含的 2 个非零元素中的一个对应于所述第一子矩阵的第 i_1 行，所述 Q 列中的第 q 列所包含的 2 个非零元素中的另一个对应于所述第一子矩阵的第 i_2 行，所述第 i_1 行和所述第 i_2 行相互正交，所述第 q 列为所述 Q 列中的任意一列；其中， Q 、 q 、 i_1 、 i_2 均为正整数。

结合第二方面或其任意实现方式，在第二方面的另一些实现方式中，所述 LDPC 基矩阵为 $X \times Y$ 的矩阵，所述 LDPC 基矩阵的第 $y_2+1 \sim Y$ 列为拓展列；所述 LDPC 基矩阵包括子矩阵 A1、子矩阵 B1、子矩阵 C1、子矩阵 D1 和子矩阵 E1，所述子矩阵 A1 为所述 LDPC 基矩阵的第 $1 \sim x_1$ 行、第 $1 \sim y_1$ 列，所述子矩阵 B1 为所述 LDPC 基矩阵的第 $1 \sim x_1$ 行、第 $y_1+1 \sim y_2$ 列，所述子矩阵 C1 为所述 LDPC 基矩阵的第 $1 \sim x_1$ 行、第 $y_2+1 \sim Y$ 列，所述子矩阵 D1 为

所述 LDPC 基矩阵的第 $x_1+1\sim X$ 行、第 $1\sim y_2$ 列, 所述子矩阵 E1 为所述 LDPC 基矩阵的第 $x_1+1\sim X$ 行、第 $y_2+1\sim Y$ 列, $1\leq x_1\leq X$, $1\leq y_1\leq y_2\leq Y$, x_1 、 X 、 y_1 、 y_2 、 Y 均为整数; 其中, 所述子矩阵 E1 的对角线为非零元素, 所述子矩阵 E1 的对角线以上包括非零元素和/或所述子矩阵 E1 的对角线以下包括非零元素, 所述子矩阵 C1 包括非零元素。

5 结合第二方面或其任意实现方式, 在第二方面的另一些实现方式中, 所述指示信息所采用的形式包括: 指示序列、映射表格、或映射对中的至少一个。

结合第二方面或其任意实现方式, 在第二方面的另一些实现方式中, 所述指示信息用于指示所述 LDPC 基矩阵行与行之间的对应关系, 所述存储矩阵用于存储变量节点和校验节点的连接关系, 所述存储矩阵的非零元素的偏移值根据偏移值表格得到, 所述偏移值表格用于存储所述存储矩阵的非拓展行的各位置的偏移值。

10 结合第二方面或其任意实现方式, 在第二方面的另一些实现方式中, 所述指示信息采用指示序列的形式, 所述 LDPC 基矩阵是根据所述指示序列读取所述存储矩阵和偏移值表格得到的, 所述指示序列包括至少一个行号, 所述至少一个行号中的第 i_3 个行号指示所述 LDPC 基矩阵的第 i_3 行的偏移值基于所述至少一个行号中的第 i_3 个行号所标识的行的偏移值确定, i_3 为正整数。

15 结合第二方面或其任意实现方式, 在第二方面的另一些实现方式中, 所述指示信息采用指示序列的形式, 所述 LDPC 基矩阵是根据所述指示序列对所述存储矩阵进行分裂得到的, 所述指示序列包括至少一个行号, 所述至少一个行号中的第 m_1+r 个行号指示所述 LDPC 基矩阵的第 m_1+r 行用于对所述至少一个行号中的第 m_1+r 个行号所标识的行进行消元处理, 所述至少一个行号的排序顺序为分裂顺序, m_1 为所述存储矩阵的非拓展行的行数, r 为正整数。

结合第二方面或其任意实现方式, 在第二方面的另一些实现方式中, 所述至少一个行号包括至少一个分段, 所述至少一个分段中的每个分段对应于一轮分裂, 所述至少一个分段对应的至少一轮分裂中的第 t 轮分裂所对应的分段中的行号为 $\{1, \dots, 2^{t-1}m_1\}$ 的置换形式或 $\{1, \dots, 2^{t-1}m_1\}$ 的子集的置换形式, t 为正整数。

25 结合第二方面或其任意实现方式, 在第二方面的另一些实现方式中, 所述存储矩阵为 $M\times N$ 的矩阵, 所述存储矩阵的第 $m_1+1\sim M$ 行是为拓展行; 所述存储矩阵包括子矩阵 A2、子矩阵 B2、子矩阵 C2、子矩阵 D2 和子矩阵 E2, 所述子矩阵 A2 为所述存储矩阵的第 $1\sim m_1$ 行、第 $1\sim n_1$ 列, 所述子矩阵 B2 为所述存储矩阵的第 $1\sim m_1$ 行、第 $n_1+1\sim n_2$ 列, 所述子矩阵 C2 为所述存储矩阵的第 $1\sim m_1$ 行、第 $n_2+1\sim N$ 列, 所述子矩阵 D2 为所述存储矩阵的第 $m_1+1\sim M$ 行、第 $1\sim n_2$ 列, 所述子矩阵 E2 为所述存储矩阵的第 $m_1+1\sim M$ 行、第 $n_2+1\sim N$ 列, $1\leq m_1\leq M$, $1\leq n_1\leq n_2\leq N$, m_1 、 M 、 n_1 、 n_2 、 N 均为整数; 其中, 所述子矩阵 D2 的第 a_1 行真包含于第三子矩阵的第 b_1 行和/或所述子矩阵 D2 的第 a_2 , 所述第三子矩阵由所述子矩阵 A2 和所述子矩阵 B2 组成, 所述第 a_1 行是所述子矩阵 D2 的任意一行。

35 结合第二方面或其任意实现方式, 在第二方面的另一些实现方式中, 所述第 a_1 行中的每个非零元素的偏移值与所述第 b_1 行中的对应位置的非零元素的偏移值之间的差值相同, 和/或, 所述第 a_1 行中的每个非零元素的偏移值与所述第 b_1 行中的对应位置的非零元素的偏移值之间的差值相同。

结合第二方面或其任意实现方式, 在第二方面的另一些实现方式中, 与所述第三子矩

阵的第 b_2 行对应的所述子矩阵 D2 中的多行各不相同, 所述第 b_2 行是所述第三子矩阵的任意一行。

结合第二方面或其任意实现方式, 在第二方面的另一些实现方式中, 所述第 a_1 行与所述第 b_1 行的对应关系、以及所述第 a_1 行与所述第 a_2 行的对应关系是根据所述指示信息确定的。

结合第二方面或其任意实现方式, 在第二方面的另一些实现方式中, 所述方法还包括: 根据所述 LDPC 基矩阵对应的码长、所述 LDPC 基矩阵对应的信息位的数量、以及所述 LDPC 基矩阵的信息列的数量, 确定分裂次数 R ; 对所述存储矩阵进行 R 次分裂, 得到所述 LDPC 基矩阵; 其中, 所述 R 次分裂中的第 r 次分裂包括以下操作: 获取所述指示序列的第 m_1+r 个行号; 使用所述存储矩阵的第 m_1+r 行对所述存储矩阵中与所述第 m_1+r 个行号相对应的行进行消元处理; 其中, m_1 为所述存储矩阵的非拓展行的行数, 所述第 r 次分裂为所述 R 次分裂中的任意一次, r 为正整数。

结合第二方面或其任意实现方式, 在第二方面的另一些实现方式中, 所述存储矩阵不包括拓展列。

结合第二方面或其任意实现方式, 在第二方面的另一些实现方式中, 所述 LDPC 基矩阵的第 m_1+r 行是基于划分表格的第 r 行得到的, 所述划分表格中的一行用于构造所述 LDPC 基矩阵的一个拓展行。

结合第二方面或其任意实现方式, 在第二方面的另一些实现方式中, 所述方法还包括: 根据所述 LDPC 基矩阵对应的码长、所述 LDPC 基矩阵对应的信息位的数量、以及所述 LDPC 基矩阵的信息列的数量, 确定分裂次数 R ; 对所述存储矩阵进行 R 次分裂, 得到所述 LDPC 基矩阵; 其中, 所述 R 次分裂中的第 r 次分裂包括以下操作: 获取划分表格的第 r 行, 并根据所述第 r 行构造所述存储矩阵的第 r 个拓展行; 获取所述指示序列的第 $M+r$ 个行号; 使用所述第 r 个拓展行对第 k 行进行消元处理, 所述第 k 行是所述存储矩阵或所述存储矩阵的前 $r-1$ 个拓展行中与所述第 $M+r$ 个行号相对应的行; 其中, M 为所述存储矩阵的行数, 所述第 r 次分裂为所述 R 次分裂中的任意一次, r 为正整数。

结合第二方面或其任意实现方式, 在第二方面的另一些实现方式中, 所述 R 为满足 $RZ_c \geq N_0 - K_0$ 的最小整数; 其中, Z_c 为提升值, 且 Z_c 为 Z_c 列表中满足 $KZ_c \geq K_0$ 的最小的 Z_c ; N_0 为所述 LDPC 基矩阵对应的码长; K_0 为所述 LDPC 基矩阵对应的信息位的数量; K 为所述 LDPC 基矩阵的信息列的数量。

结合第二方面或其任意实现方式, 在第二方面的另一些实现方式中, 若对所述 LDPC 基矩阵的最后一列对应的部分校验位进行打孔, 则所述 R 次分裂的最后一次分裂以 Z_c 提升后的行作为粒度; 其中, Z_c 为提升值, 且 Z_c 为 Z_c 列表中满足 $KZ_c \geq K_0$ 的最小的 Z_c ; K_0 为所述 LDPC 基矩阵对应的信息位的数量; K 为所述 LDPC 基矩阵的信息列的数量。

结合第二方面或其任意实现方式, 在第二方面的另一些实现方式中, 所述指示信息采用指示序列的形式, 所述 LDPC 基矩阵是根据指示序列对所述存储矩阵进行合并得到的, 所述指示序列包括多个子信息, 所述多个子信息中的每个子信息用于指示所述存储矩阵中进行合并的两行, 所述多个子信息的排列顺序为合并顺序。

结合第二方面或其任意实现方式, 在第二方面的另一些实现方式中, 所述多个子信息包括至少一个分段, 所述至少一个分段中的每个分段对应于一轮合并, 所述至少一个分段

中的第 t 个分段包括的所述子信息所对应的所述存储矩阵的拓展列的标号为 $\{(2^{T-t}-1)s_1+1, \dots, (2^{T-t+1}-1)s_1\}$ 的置换形式或 $\{(2^{T-t}-1)s_1+1, \dots, (2^{T-t+1}-1)s_1\}$ 的子集置换形式, T 为合并轮数的上界, s_1 为所述存储矩阵的非拓展行的行数, T 和 t 为正整数。

结合第二方面或其任意实现方式, 在第二方面的另一些实现方式中, 所述存储矩阵包括第四子矩阵和第五子矩阵, 所述第四子矩阵包括所述存储矩阵的非拓展列, 所述第五子矩阵包括所述存储矩阵的拓展列; 所述第五子矩阵中的 P 列中的每一列的列重为 2; 所述 P 列中的第 p 列所包含的 2 个非零元素中的一个对应于所述第一子矩阵的第 j_1 行, 所述 P 列中的第 p 列所包含的 2 个非零元素中的另一个对应于所述第一子矩阵的第 j_2 行, 所述第 j_1 行和所述第 j_2 行相互正交, 所述第 p 列为所述 P 列中的任意一列; 其中, P 、 p 、 j_1 、 j_2 均为正整数。

结合第二方面或其任意实现方式, 在第二方面的另一些实现方式中, 所述存储矩阵为 $S \times G$ 的矩阵, 所述存储矩阵的第 $s_1+1 \sim S$ 行是拓展行, 所述存储矩阵的第 $g_2+1 \sim G$ 列为拓展列; 所述存储矩阵包括子矩阵 A_3 、子矩阵 B_3 、子矩阵 C_3 、子矩阵 D_3 和子矩阵 E_3 , 所述子矩阵 A_3 为所述存储矩阵的第 $1 \sim s_1$ 行、第 $1 \sim g_1$ 列, 所述子矩阵 B_3 为所述存储矩阵的第 $1 \sim s_1$ 行、第 $g_1+1 \sim g_2$ 列, 所述子矩阵 C_3 为所述存储矩阵的第 $1 \sim s_1$ 行、第 $g_2+1 \sim G$ 列, 所述子矩阵 D_3 为所述存储矩阵的第 $s_1+1 \sim S$ 行、第 $1 \sim g_2$ 列, 所述子矩阵 E_3 为所述存储矩阵的第 $s_1+1 \sim S$ 行、第 $g_2+1 \sim G$ 列, $1 \leq s_1 \leq S$, $1 \leq g_1 \leq g_2 \leq G$, s_1 、 S 、 g_1 、 g_2 、 G 均为整数; 其中, 所述子矩阵 E_3 的对角线为非零元素, 所述子矩阵 E_3 的对角线以上包括非零元素和/或所述子矩阵 E_3 的对角线以下包括非零元素, 所述子矩阵 C_3 包括非零元素。

结合第二方面或其任意实现方式, 在第二方面的另一些实现方式中, 所述方法还包括: 根据所述 LDPC 基矩阵对应的码率、所述 LDPC 基矩阵的信息列的数量、所述存储矩阵的非拓展行的行数、所述存储矩阵的非拓展列的列数、以及合并轮数的上界 T , 确定合并次数 W ; 对所述存储矩阵进行 W 次合并, 得到所述 LDPC 基矩阵; 其中, 所述 W 次分裂中的第 w 次合并包括以下操作: 获取所述指示序列的第 w 个子信息; 对所述第 w 个子信息所指示的两行进行合并; 其中, 所述第 w 次合并为所述 W 次合并中的任意一次, w 为正整数。

结合第二方面或其任意实现方式, 在第二方面的另一些实现方式中, 所述 W 为满足 $R_0 \leq \frac{K}{g_1+(2^{T_1}-1)s_1-W}$ 的最小整数; 其中, R_0 为所述 LDPC 基矩阵对应的码率; K 为所述 LDPC 基矩阵的信息列的数量; s_1 为所述存储矩阵的非拓展行的行数; g_1 为所述存储矩阵的非拓展列的列数; T_1 为合并轮数的上界。

结合第二方面或其任意实现方式, 在第二方面的另一些实现方式中, 若对所述 LDPC 基矩阵的最后一列对应的部分校验位进行打孔, 则所述 W 次合并的最后一次合并以 Z_c 提升后的行作为粒度; 其中, Z_c 为提升值, 且 Z_c 为 Z_c 列表中满足 $KZ_c \geq K_0$ 的最小的 Z_c ; K_0 为所述 LDPC 基矩阵对应的信息位的数量; K 为所述 LDPC 基矩阵的信息列的数量。

一种可能的实现方式, 接收端根据 LDPC 基矩阵对 LDPC 码字序列进行信道译码, 包括: 采用第一译码方式, 对 LDPC 码字序列中的与上述第 i_1 行相对应的行和 LDPC 码字序列中的上述第 i_2 行相对应的行进行译码; 采用第二译码方式, 对 LDPC 码字序列中的与第二子矩阵的第 i_1 行相对应的行和 LDPC 码字序列中的与第二子矩阵的第 i_2 行相对应的行进行译码。其中, 第一译码方式为行并行译码, 第二译码方式与所述第一译码方式不同。

换句话说,对于 LDPC 基矩阵的第 i_1 行和第 i_2 行,对于这两行中除拓展节点之外的位置采用第一译码方式(即行并行译码),对于这两行中拓展节点对应的位置进行第二译码方式的译码。

一种可能的实现方式,以 LDPC 基矩阵的第 i_1 行和第 i_2 行为例,假设第 i_1 行对应于第一校验节点,第 i_2 行对应于第二拓展节点,对于与第 i_1 行和第 i_2 行对应的第一拓展节点(对应关系可以如特征 2 所述)可以进行以下译码操作:获取第一拓展节点存储的第一信息和第一校验节点存储的第二信息,其中,第一信息为上一次译码迭代过程中第一拓展节点发送给第一校验节点的信息,第二信息为上一次译码迭代过程中第一校验节点发送给第一拓展节点的信息;获取第二校验节点存储的第三信息,其中,第三信息为上一次译码迭代过程中第二校验节点发送给第一拓展节点的信息;根据第一信息、第二信息和第三信息,确定第四信息,并将第四信息存储到第二校验节点,第四信息为本次译码迭代过程中第二校验节点发送给第一拓展节点的信息;根据第四信息和第一信息,确定五信息,并将第五信息存储到第一拓展节点,第五信息为本次译码迭代过程中第一拓展节点发送给第一校验节点的信息;根据第四信息,确定第六信息,并将第六信息存储到第一校验节点,第六信息为本次译码迭代过程中第一校验节点发送给第一拓展节点的信息。

在上述译码过程中,本次译码迭代过程中第二校验节点发送给第一拓展节点的信息除了用于更新第二校验节点的存储之外,还可以不经存储直接用于计算本次译码迭代过程中第一拓展节点发送给第一校验节点的信息和本次译码迭代过程中第一校验节点发送给第一拓展节点的信息,这样错拍的进行译码,可以减少第一拓展节点、第一校验节点和第二校验节点的读取和更新的次数。

第三方面,提供了一种基于 LDPC 码的通信方法,所述方法可以由发送端执行,也可以由发送端中的模块或单元执行,为了描述方便,下文统一称为发送端。可选地,发送端可以为终端或网络设备。

所述方法包括:获取信息比特序列;根据存储矩阵对所述信息比特序列进行 LDPC 编码,得到第一 LDPC 码字序列,其中,所述存储矩阵包括第四子矩阵和第五子矩阵,所述第四子矩阵包括所述存储矩阵的非拓展列,所述第五子矩阵包括所述存储矩阵的拓展列;所述第五子矩阵中的 P 列中的每一列的列重为 2;所述 P 列中的第 p 列所包含的 2 个非零元素中的一个对应于所述第一子矩阵的第 j_1 行,所述 P 列中的第 p 列所包含的 2 个非零元素中的另一个对应于所述第一子矩阵的第 j_2 行,所述第 j_1 行和所述第 j_2 行相互正交,所述第 p 列为所述 P 列中的任意一列;其中, P 、 p 、 j_1 、 j_2 均为正整数;根据指示信息,发送第二 LDPC 码字序列,所述指示信息用于指示所述第五子矩阵中被打孔的列,所述第二 LDPC 码字序列包括所述第一 LDPC 码字序列中除所述第五子矩阵中被打孔的列所对应的码字以外的码字。

上述 LDPC 基矩阵可以为发送端存储的矩阵,即存储矩阵。该矩阵可以为最低码率的校验矩阵。

基于上述方法,LDPC 基矩阵的部分或全部拓展节点的度数为 2,并且这些拓展节点对应的两行除拓展部分之外的部分相互正交,因此可以通过对这些拓展节点进行打孔实现合并的效果,从而实现由低码率到高码率。并且,由于这些拓展节点对应的两行除拓展部分之外的部分相互正交,因此将这两行进行合并并不会改变 LDPC 基矩阵除拓展部分之外

的部分的变数量。

此外，该方法支持灵活码率，因而支持 IR-HARQ 机制。

此外，由于是通过打孔的方式来改变码率，使用的 LDPC 基矩阵并不会发生变化，因此发送端和接收端的用于编码、译码的计算单元可以固定设置。

- 5 结合第三方面，在第三方面的一些实现方式中，所述存储矩阵为 $S \times G$ 的矩阵，所述存储矩阵的第 $s_1+1 \sim S$ 行是拓展行，所述存储矩阵的第 $g_2+1 \sim G$ 列为拓展列；所述存储矩阵包括子矩阵 A3、子矩阵 B3、子矩阵 C3、子矩阵 D3 和子矩阵 E3，所述子矩阵 A3 为所述存储矩阵的第 $1 \sim s_1$ 行、第 $1 \sim g_1$ 列，所述子矩阵 B3 为所述存储矩阵的第 $1 \sim s_1$ 行、第 $g_1+1 \sim g_2$ 列，所述子矩阵 C3 为所述存储矩阵的第 $1 \sim s_1$ 行、第 $g_2+1 \sim G$ 列，所述子矩阵 D3 为所述存储矩阵的第 $s_1+1 \sim S$ 行、第 $1 \sim g_2$ 列，所述子矩阵 E3 为所述存储矩阵的第 $s_1+1 \sim S$ 行、第 $g_2+1 \sim G$ 列， $1 \leq s_1 \leq S$ ， $1 \leq g_1 \leq g_2 \leq G$ ， s_1 、 S 、 g_1 、 g_2 、 G 均为整数；其中，所述子矩阵 E3 的对角线为非零元素，所述子矩阵 E3 的对角线以上包括非零元素和/或所述子矩阵 E3 的对角线以下包括非零元素，所述子矩阵 C3 包括非零元素。

- 15 结合第三方面或其任意实现方式，在第三方面的另一些实现方式中，所述指示信息所采用的形式包括：指示序列、映射表格、或映射对中的至少一个。

结合第三方面或其任意实现方式，在第三方面的另一些实现方式中，所述指示信息采用指示序列的形式，所述指示序列包括多个子信息，所述多个子信息中的每个子信息用于指示所述存储矩阵的拓展列中的一列，所述多个子信息的排列顺序为打孔顺序。

- 20 可选地，上述子信息可以为拓展节点的标号。拓展节点的标号可以指仅针对拓展节点进行的编号时的标号，例如存储矩阵包括 10 个拓展节点，其编号依次可以为 $1 \sim 10$ 。拓展节点的标号也可以指针对所有变量节点进行编号时的标号，例如存储矩阵包括 28 个变量节点，其中包括 4 个拓展节点，则拓展节点的标号依次可以为 $25 \sim 28$ 。

- 25 结合第三方面或其任意实现方式，在第三方面的另一些实现方式中，所述多个子信息包括至少一个分段，所述至少一个分段中的每个分段对应于一轮打孔，所述至少一个分段中的第 t 个分段包括的所述子信息所指示的拓展列的标号为 $\{(2^{T-t}-1)s_1+1, \dots, 2^{T-t+1}-1)s_1\}$ 的置换形式或 $\{(2^{T-t}-1)s_1+1, \dots, 2^{T-t+1}-1)s_1\}$ 的子集置换形式， T 为合并轮数的上界， s_1 为所述存储矩阵的非拓展行的行数， T 和 t 为正整数。

- 30 基于上述方法，由于第 t 个分段包括的所述子信息所对应的拓展列的标号为 $\{(2^{T-t}-1)s_1+1, \dots, (2^{T-t+1}-1)s_1\}$ 的置换形式或 $\{(2^{T-t}-1)s_1+1, \dots, (2^{T-t+1}-1)s_1\}$ 的子集置换形式，因此，每个标号在一轮打孔中仅出现一次，因此每一轮包括的多次打孔可以并行执行，有助于提高打孔效率。

- 35 结合第三方面或其任意实现方式，在第三方面的另一些实现方式中，所述指示序列包括的子信息的数量 J 为满足 $R_0 \leq \frac{K}{g_2+(2^{T_2}-1)s_1-J}$ 的最小整数；其中， R_0 为目标码率； K 为信息列的目标数量； s_1 为所述存储矩阵的非拓展行的行数； g_2 为所述存储矩阵的非拓展列的列数； T_2 为合并轮数的上界。

第四方面，提供了一种基于 LDPC 码的通信方法，所述方法可以由接收端执行，也可以由接收端中的模块或单元执行。可选地，接收端可以为终端，也可以为网络设备。

第四方面及其可能的实现方式所示方法的技术效果可参照第三方面及其可能的实现方式，不再赘述。

所述方法包括：接收来自发送端的 LDPC 码字序列；根据存储矩阵和指示信息，对所述 LDPC 码字序列进行译码，其中，所述存储矩阵包括第四子矩阵和第五子矩阵，所述第四子矩阵包括所述存储矩阵的非拓展列，所述第五子矩阵包括所述存储矩阵的拓展列；所述第五子矩阵中的 P 列中的每一列的列重为 2；所述 P 列中的第 p 列所包含的 2 个非零元素中的一个对应于所述第一子矩阵的第 j_1 行，所述 P 列中的第 p 列所包含的 2 个非零元素中的另一个对应于所述第一子矩阵的第 j_2 行，所述第 j_1 行和所述第 j_2 行相互正交，所述第 p 列为所述 P 列中的任意一列，P、p、 j_1 、 j_2 均为正整数；所述指示信息用于指示所述第五子矩阵中被打孔的列，所述第二 LDPC 码字序列包括所述第一 LDPC 码字序列中除所述第五子矩阵中被打孔的列所对应的码字以外的码字。

结合第四方面，在第四方面的一些实现方式中，所述存储矩阵为 $S \times G$ 的矩阵，所述存储矩阵的第 $s_1+1 \sim S$ 行是拓展行，所述存储矩阵的第 $g_2+1 \sim G$ 列为拓展列；所述存储矩阵包括子矩阵 A3、子矩阵 B3、子矩阵 C3、子矩阵 D3 和子矩阵 E3，所述子矩阵 A3 为所述存储矩阵的第 $1 \sim s_1$ 行、第 $1 \sim g_1$ 列，所述子矩阵 B3 为所述存储矩阵的第 $1 \sim s_1$ 行、第 $g_1+1 \sim g_2$ 列，所述子矩阵 C3 为所述存储矩阵的第 $1 \sim s_1$ 行、第 $g_2+1 \sim G$ 列，所述子矩阵 D3 为所述存储矩阵的第 $s_1+1 \sim S$ 行、第 $1 \sim g_2$ 列，所述子矩阵 E3 为所述存储矩阵的第 $s_1+1 \sim S$ 行、第 $g_2+1 \sim G$ 列， $1 \leq s_1 \leq S$ ， $1 \leq g_1 \leq g_2 \leq G$ ， s_1 、 S 、 g_1 、 g_2 、 G 均为整数；其中，所述子矩阵 E3 的对角线为非零元素，所述子矩阵 E3 的对角线以上包括非零元素和/或所述子矩阵 E3 的对角线以下包括非零元素，所述子矩阵 C3 包括非零元素。

结合第四方面或其任意实现方式，在第四方面的另一些实现方式中，所述指示信息所采用的形式包括：指示序列、映射表格、或映射对中的至少一个。

结合第四方面或其任意实现方式，在第四方面的另一些实现方式中，所述指示信息采用指示序列的形式，所述指示序列包括多个子信息，所述多个子信息中的每个子信息用于指示所述存储矩阵的拓展列中的一列，所述多个子信息的排列顺序为打孔顺序。

结合第四方面或其任意实现方式，在第四方面的另一些实现方式中，所述多个子信息包括至少一个分段，所述至少一个分段中的每个分段对应于一轮打孔，所述至少一个分段中的第 t 个分段包括的所述子信息所指示的拓展列的标号为 $\{(2^{T-t}-1)s_1+1, \dots, 2^{T-t+1}-1)s_1\}$ 的置换形式或 $\{(2^{T-t}-1)s_1+1, \dots, 2^{T-t+1}-1)s_1\}$ 的子集置换形式，T 为合并轮数的上界， s_1 为所述存储矩阵的非拓展行的行数，T 和 t 为正整数。

结合第四方面或其任意实现方式，在第四方面的另一些实现方式中，所述指示序列包括的子信息的数量 J 为满足 $R_0 \leq \frac{K}{g_2+(2^{T-1}-1)s_1-J}$ 的最小整数；其中， R_0 为目标码率；K 为信息列的目标数量； s_1 为所述存储矩阵的非拓展行的行数； g_2 为所述存储矩阵的非拓展列的列数；T2 为合并轮数的上界。

第五方面，提供了一种通信装置，该装置用于执行上述任意一方面或其实现方式提供的方法。具体地，该装置可以包括用于执行上述任意一方面或其实现方式提供的方法的单元和/或模块，如处理单元和/或通信单元。

在一种实现方式中，该装置为发送端或接收端。当该装置为发送端或接收端时，通信单元可以是收发器，或，输入/输出接口，或者通信接口；处理单元可以是至少一个处理器。可选地，收发器为收发电路。可选地，输入/输出接口为输入/输出电路。

在另一种实现方式中，该装置为用于发送端或接收端中的芯片、芯片系统或电路。当

该装置为用于发送端或接收端中的芯片、芯片系统或电路时，通信单元可以是该芯片、芯片系统或电路上的输入/输出接口、接口电路、输出电路、输入电路、管脚或相关电路等；处理单元可以是至少一个处理器、处理电路或逻辑电路等。

5 第六方面，提供了一种通信装置，该装置包括：存储器，用于存储程序；至少一个处理器，用于执行存储器存储的计算机程序或指令，以执行上述任意一方面或其实现方式提供的方法。

在一种实现方式中，该装置为发送端或接收端。

在另一种实现方式中，该装置为用于发送端或接收端中的芯片、芯片系统或电路。

10 第七方面，提供了一种通信装置，该装置包括：至少一个处理器和通信接口，该至少一个处理器用于通过该通信接口获取存储在存储器的计算机程序或指令，以执行上述任意一方面或其实现方式提供的方法。该通信接口可以由硬件或软件实现。

在一种实现方式中，该装置还包括该存储器。

第八方面，提供了一种处理器，用于执行上述各方面提供的方法。

15 对于处理器所涉及的发送和获取/接收等操作，如果没有特殊说明，或者，如果未与其在相关描述中的实际作用或者内在逻辑相抵触，那么可以理解为处理器输出和接收、输入等操作，也可以理解为由射频电路和天线所进行的发送和接收操作，本申请对此不做限定。

第九方面，提供了一种计算机可读存储介质，该计算机可读介质存储用于设备执行的程序代码，该程序代码包括用于执行上述任意一方面或其实现方式提供的方法。

20 第十方面，提供了一种包含指令的计算机程序产品，当该计算机程序产品在计算机上运行时，使得计算机执行上述任意一方面或其实现方式提供的方法。

第十一方面，提供了一种芯片，芯片包括处理器与通信接口，处理器通过通信接口读取存储器上存储的指令，执行上述任意一方面或其实现方式提供的方法。该通信接口可以由硬件或软件实现。

25 可选地，作为一种实现方式，芯片还包括存储器，存储器中存储有计算机程序或指令，处理器用于执行存储器上存储的计算机程序或指令，当计算机程序或指令被执行时，处理器用于执行上述任意一方面或其实现方式提供的方法。

30 其中，当本申请提供的方法由芯片执行时，本申请不限定具体实现本申请方法的芯片个数，例如可以由一个芯片执行，也可以是2个或2个以上的芯片执行。并且，当实现本申请方法的芯片个数为2个及2个以上时，不限定芯片厂家，可以是相同厂家，也可以是不同厂家。

第十二方面，提供了一种通信系统，包括上文的发送端和/或接收端。

第十三方面，提供了一种计算机程序，当其在计算机上运行时，使得上述任意一方面或其实现方式提供的方法被执行。

35

附图说明

图1是适用于本申请实施例的通信场景的示意图。

图2为LDPC的校验矩阵H的示意图。

图3为LDPC的校验矩阵H的Tanner图。

- 图 4 是 5G NR 的 LDPC 的奇偶校验矩阵的结构示意图。
- 图 5 是信息传输流程的示意图。
- 图 6 是本申请提供的基于 LDPC 码的通信方法 600 的示意性流程图。
- 图 7 是 LDPC 基矩阵的一个示例。
- 5 图 8 是高码率矩阵的 1 次分裂的示意图。
- 图 9 是渐进的分裂方式的示意图。
- 图 10 是高码率矩阵的完整的 2 轮分裂的示意图。
- 图 11 是分裂序列的一个示意图。
- 图 12 是划分表格和分裂序列的对应关系的一个示意图。
- 10 图 13 是划分表格的一个示例。
- 图 14 是 1 次分裂的一个示意图。
- 图 15 是 1 次分裂的另一个示意图。
- 图 16 是精细粒度的速率匹配的一个示意图。
- 图 17 是 1 次合并的一个示意图。
- 15 图 18 是本申请提供的基于 LDPC 码的通信方法 1800 的示意性流程图。
- 图 19 是本申请的实施例提供的装置的结构示意图。
- 图 20 是本申请的实施例提供的装置的另一结构示意图。

具体实施方式

- 20 为便于理解本申请实施例，在介绍本申请的实施例之前，先做出以下几点说明。
- 在本申请中，“用于指示”或“指示”可以包括用于直接指示和用于间接指示，或者说“用于指示”或“指示”可以显式地和/或隐式地指示。例如，当描述某一信息用于指示信息 I 时，可以包括该信息直接指示 I 或间接指示 I，而并不代表该信息中一定携带有 I。又例如，隐式指示可以基于用于传输的位置和/或资源；显式指示可以基于一个或多个参数，和/或一个或多个索引，和/或一个或多个它所表示的位模式。
- 25 本申请对很多特性所列出的定义仅用于以举例方式来解释该特性的功能，其详细内容可以参考现有技术。
- 下文示出的实施例中，第一、第二、第三、第四以及各种数字编号仅为描述方便进行的区分，并不用来限制本申请实施例的范围。例如，区分不同的字段、不同的信息等。
- 30 “预先定义”可以通过在设备中预先保存相应的代码、表格或其他可用于指示相关信息的方式来实现，本申请对于其具体的实现方式不做限定。其中，“保存”可以是指，保存在一个或者多个存储器中。存储器的类型可以是任意形式的存储介质，本申请并不对此限定。
- 本申请实施例中涉及的“协议”可以是指通信领域的标准协议，例如可以包括长期演进（long term evolution, LTE）协议、新无线（new radio, NR）协议以及应用于未来的通信系统中的相关协议，本申请对此不做限定。
- 35 本申请将围绕包括多个设备、组件、模块等的系统来呈现各个方面、实施例或特征。应当理解和明白的是，各个系统可以包括另外的设备、组件、模块等，并且/或者可以并不包括结合附图讨论的所有设备、组件、模块等。此外，还可以使用这些方案的组合。

在本申请实施例中，“示例的”、“例如”、“示例性地”、“作为（另）一个示例”等词用于表示作例子、例证或说明。本申请中被描述为“示例”的任何实施例或设计方案不应被解释为比其它实施例或设计方案更优选或更具优势。确切而言，使用示例的一词旨在以具体方式呈现概念。

5 术语“包括”、“包含”、“具有”及它们的变形都意味着“包括但不限于”，除非是以其他方式另外特别强调。

“至少一个”是指一个或者多个，“多个”是指两个或两个以上。“和/或”，描述关联对象的关联关系，表示可以存在三种关系，例如，A 和/或 B，可以表示：单独存在 A，同时存在 A 和 B，单独存在 B 的情况，其中 A，B 可以是单数或者复数。字符“/”一般表示前后关联对象是一种“或”的关系。“以下至少一项（个）”或其类似表达，是指的这些项中的任意组合，包括单项（个）或复数项（个）的任意组合。例如，a、b 和 c 中的至少一项（个），可以表示：a，或，b，或，c，或，a 和 b，或，a 和 c，或，b 和 c，或，a、b 和 c。其中 a、b 和 c 分别可以是单个，也可以是多个。

10 在本申请实施例中，涉及网元 A 向网元 B 发送消息、信息或数据，以及网元 B 接收来自网元 A 的消息、信息或数据的相关描述，旨在说明该消息、信息或数据是要发给哪个网元，而并不限定它们之间是直接发送还是经由其他网元间接发送。

在本申请实施例中，“当……时”、“在……的情况下”、“若”以及“如果”等描述均指在某种客观情况下设备会做出相应的处理，并非是限定时间，且也不要求设备在实现时一定要有判断的动作，也不意味着存在其它限定。

20 本申请实施例的技术方案可以应用于各种通信系统，包括但不限于：第五代（5th generation, 5G）系统或 NR 系统、LTE 系统、长期演进高级技术（long term evolution-advanced, LTE-A）系统、LTE 频分双工（frequency division duplex, FDD）系统、LTE 时分双工（time division duplex, TDD）系统等。还可以应用于未来的通信系统，例如第六代移动通信系统。此外，还可以应用于设备到设备（device to device, D2D）通信，车辆外联（vehicle-to-everything, V2X）通信，机器到机器（machine to machine, M2M）通信，机器类型通信（machine type communication, MTC），以及物联网（internet of things, IoT）通信系统或者其它通信系统，等。此外，还可以扩展到类似的无线通信系统中，如无线保真（wireless-fidelity, WiFi），全球微波互联接入（worldwide interoperability for microwave access, WIMAX），以及第三代合作伙伴计划（3rd generation partnership project, 3GPP）相关的通信系统等，不作限定。

30 适用于本申请的通信系统，可以包括一个或多个发送端，以及，一个或多个接收端。可选地，发送端和接收端中的一个可以为终端，另一个可以为网络设备。可选地，发送端和接收端可以均为终端。可选地，发送端和接收端可以均为网络设备。

示例性地，图 1 为适用于本申请实施例的通信场景的示意图。

35 如图 1，本申请的实施例既适用于上行数据传输，也适用于下行数据传输。图 1 中仅以一个网络设备和两个终端（如终端 1 和终端 2）之间的上行数据传输或下行数据传输作为示例。在上行数据传输中，本文中的发送端即为终端，接收端为网络设备；反之，在下行数据传输中，发送端为网络设备，接收端为终端。此外，不限定本申请实施例在其它通信场景中的适用性，例如，也可以应用于侧行链路通信中。

本申请的终端也可以称为用户设备 (user equipment, UE)、接入终端、用户单元、用户站、移动站、移动台、移动终端 (mobile terminal, MT)、远方站、远程终端、移动设备、用户终端、终端设备、无人机、无线通信设备、用户代理或用户装置。本申请实施例中的终端设备可以是指向用户提供语音和/或数据连通性的设备, 可以用于连接人、物和机, 例如具有无线连接功能的手持式设备、车载设备等。本申请的实施例中的终端设备可以是手机 (mobile phone)、平板电脑 (pad)、笔记本电脑、掌上电脑、移动互联网设备 (mobile internet device, MID)、可穿戴设备、虚拟现实 (virtual reality, VR) 设备、增强现实 (augmented reality, AR) 设备、工业控制 (industrial control) 中的无线终端、无人驾驶 (self driving) 中的无线终端、远程手术 (remote medical surgery) 中的无线终端、智能电网 (smart grid) 中的无线终端、运输安全 (transportation safety) 中的无线终端、智慧城市 (smart city) 中的无线终端、智慧家庭 (smart home) 中的无线终端等。

本申请的网络设备可以是具有无线收发功能的设备, 该网络设备可以是提供无线通信功能服务的设备, 通常位于网络侧, 包括但不限于 5G 系统中的下一代基站 (gNodeB, gNB)、第六代移动通信系统中的基站、未来移动通信系统中的基站, 或无线保真 (wireless fidelity, WiFi) 系统中的接入节点, 长期演进 (long term evolution, LTE) 系统中的演进型节点 B (evolved node B, eNB)、无线网络控制器 (radio network controller, RNC)、节点 B (node B, NB)、基站控制器 (base station controller, BSC)、家庭基站 (例如, home evolved NodeB, 或 home Node B, HNB)、基带单元 (base band unit, BBU)、传输接收点 (transmission reception point, TRP)、发射点 (transmitting point, TP)、基站收发台 (base transceiver station, BTS)、卫星、无人机等。在一种网络结构中, 网络设备可以包括集中单元 (centralized unit, CU) 节点, 或包括分布单元 (distributed unit, DU) 节点, 或者为包括 CU 节点和 DU 节点的 RAN 设备, 或者为包括控制面 CU 节点和用户面 CU 节点, 以及 DU 节点的 RAN 设备, 或者, 网络设备还可以为云无线接入网络 (cloud radio access network, CRAN) 场景下的无线控制器、中继站、车载设备以及可穿戴设备等。此外, 基站可以是宏基站、微基站、中继节点、施主节点, 或其组合。基站还可以指用于设置于前述设备或装置内的通信模块、调制解调器或芯片。基站还可以是移动交换中心以及 D2D、V2X、M2M 通信中承担基站功能的设备、6G 网络中的网络侧设备、未来的通信系统中承担基站功能的设备等。基站可以支持相同或不同接入技术的网络, 不限定。

需要指出的是, 本申请中用于实现终端或网络设备的功能的装置可以是终端或网络设备, 也可以是能够支持终端或网络设备实现该功能的装置, 例如芯片系统或芯片, 该装置可以被安装在终端或网络设备中。本申请实施例中, 芯片系统可以由芯片构成, 也可以包括芯片和其他分立器件。

还需要指出的是, 本文部分实施例以 5G 系统为例介绍具体的方案细节。可以理解的是, 当该方案用于其它通信系统时, 例如, LTE 系统, 或者未来的通信系统, 方案中的各消息、信道或信息等可以替换为其它通信系统中能够实现相应功能的消息、信道或信息等, 本申请对此不限定。

为了便于理解本申请的方案, 首先对本申请涉及的术语进行介绍。

1、LDPC 码

LDPC 码是一种线性分组码, 其校验矩阵是一种稀疏矩阵。LDPC 的校验矩阵中零元

素的个数远远多于非零元素的个数,或者说,校验矩阵的行重和列重与 LDPC 的码长相比是很小的数。其中,信息比特序列的长度等于 k 、码长等于 n 的 LDPC 码,可以由其校验矩阵唯一确定。

- 5 坦纳 (Tanner) 在 1981 年将 LDPC 的码字用图的方式表示了出来,现在将这种图称为 Tanner 图, Tanner 图和校验矩阵一一对应。Tanner 图由两类顶点组成,一类顶点代表码字比特,称为变量节点,另一类顶点为校验节点,代表校验约束关系,每个校验节点代表一个校验约束关系,下面结合图 2 和图 3 进行说明。

图 2 为 LDPC 的校验矩阵 H 的示意图。

- 10 图 3 中, $\{V_i\}$ 表示变量节点集, $\{C_i\}$ 表示校验节点集。校验矩阵 H 的每行代表一个校验方程,每个校验方程对应于一个校验节点,每列代表一个码字比特,每个码字比特对应于一个变量节点。图 1 中,变量节点为 8 个,校验节点为 4 个。如果一个码字比特包含在相应的校验方程中,就用一条连线将所涉及的变量节点和校验节点连起来,得到 Tanner 图。

图 3 为 LDPC 的校验矩阵 H 的 Tanner 图。

- 15 如图 3 所示, Tanner 图表示的即是 LDPC 的校验矩阵。例如,对于大小为 m 行 n 列的校验矩阵 H , Tanner 图中包含两类节点,分别为 n 个变量节点和 m 个校验节点。其中,所述 n 个变量节点分别和校验矩阵 H 的 n 个列对应,所述 m 个校验节点分别和校验矩阵 H 的 m 个行对应。Tanner 图中的循环是由互相连接在一起的顶点组成,循环以这群顶点中的一个顶点同时作为起点和终点,且只经过每个节点一次。循环的长度定义为它所包含的连线的数量,而图形的围长也可以称作图形的尺寸,定义为图中最小的循环长度,如图 3 中,围长为 6,如图 3 中加黑连线所示。Tanner 图中的变量节点对应校验矩阵 H 的每一列,也即对应 LDPC 的每一码字比特。Tanner 图中的校验节点分别对应校验矩阵 H 的每一行,也即对应 LDPC 的校验比特。两类节点之间的连接情况对应 H 矩阵中元素的取值。若第 i 个校验节点与第 j 个变量节点之间存在连接,则代表 H 矩阵中的元素 (i, j) 的取值为 1,若无连接,则对应的元素为 0。变量节点和校验节点之间的连线也可以称为边。

此外,在 tanner 图中,环 (cycle) 是指由变量节点、校验节点和边收尾相连组成的闭合环路。

- 30 如上文所述, LDPC 是一种线性分组码,线性分组码是将待编码的信息序列以 k 个比特为单位划分成组,再由编码器对这 k 个信息比特进行线性运算,得到 m 个校验比特,接着将这 k 个信息比特与 m 个校验比特合并,得到长度 $n=k+m$ 的码组。从 k 比特的信息位到长度为 n 比特的码组的映射关系,通常由一个对应的校验矩阵 H 来表示。根据校验矩阵 H 可相应地生成编码序列完成编码过程,编码序列通过信道传输之后,由接收端对接收到的信号进行相应地译码,判决出原有的信息比特。

2、QC-LDPC

- 35 准循环低密度奇偶校验 (quasi-cyclic low density parity check, QC-LDPC) 码是一类结构化的 LDPC。由于其校验矩阵的独特结构,编码时可以利用简单的反馈移位寄存器实现,降低 LDPC 的编码复杂度。在码长较长的情况下, LDPC 的校验矩阵 H 会十分庞大,因此通常将 H 分块表示:完整的校验矩阵 H 视作由多个 $Z_c \times Z_c$ 的子矩阵生成。具体地,完整的校验矩阵 H 可由一个基矩阵 H_b 表示, H_b 中的每个元素对应一个 $Z_c \times Z_c$ 的子矩阵,每个

子矩阵均可以由循环移位的位数表示,由此,完整的校验矩阵 H 所需的存储空间极大减小。基矩阵 H_b 中的元素也可以称为准循环 (quasi-cyclic, QC) 块。

基于基矩阵 H_b 以及扩展因子 Z_c , 可以将基矩阵 H_b 扩展为完整的校验矩阵用于编码或者译码。 Z_c (lifting size) 也可以称为提升因子、提升值、扩展值、扩展系数、提升尺寸等,

5 本申请中采用提升值的描述。

例如, QC-LDPC 的基矩阵 H_b 如下所示:

$$\begin{bmatrix} 13 & 48 & 80 & 66 & 4 & 74 & 7 & 30 & 76 & 52 & 37 & 60 & -1 & 49 & -1 & 73 & 31 & 74 & 73 & 23 & 1 & 0 & -1 & -1 \\ 69 & 63 & 74 & 56 & 64 & 77 & 57 & 65 & 6 & 16 & 51 & -1 & 64 & -1 & 64 & 68 & 9 & 48 & 62 & 54 & -1 & 0 & 0 & -1 \\ 51 & 15 & 0 & 80 & 24 & 25 & 42 & 54 & 44 & 71 & 71 & 9 & 67 & 35 & 67 & -1 & 58 & -1 & 29 & -1 & 0 & -1 & 0 & 0 \\ 16 & 29 & 36 & 41 & 44 & 56 & 59 & 37 & 50 & 24 & -1 & 65 & 4 & 65 & 4 & 52 & -1 & 4 & -1 & 73 & 1 & -1 & -1 & 0 \end{bmatrix}$$

可以看出, 基矩阵 H_b 的大小为 4 行 24 列, 基矩阵 H_b 中的每个元素表示一个 Z_c =码长/24 阶的方阵, 元素 $P_{Z_c}^i$ 表示循环置换矩阵, i 表示循环移位值, 其中, $0 \leq i \leq Z_c-1$, i 为整

10 数。另外, 基矩阵 H_b 中的“-1”表示全零矩阵, “0”表示单位矩阵。

例如, $P_{Z_c}^1$ 如下所示:

$$P_{Z_c}^1 = \begin{bmatrix} 0 & 1 & 0 & \dots & 0 \\ 0 & 0 & 1 & \dots & 0 \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & 0 & \dots & 1 \\ 1 & 0 & 0 & \dots & 0 \end{bmatrix}$$

需要说明的是, 基矩阵 H_b 中的零元素除了“-1”, 也可以有其他的表述形式, 例如使用“-”或空值表示全零矩阵。

15 3、基矩阵的基本结构

以第五代 (5th generation, 5G) NR 的 LDPC 为例, 5G NR 的 LDPC 采用了“类拉普特 (Raptor-like)”的结构, 其奇偶校验矩阵可以通过一个高码率的核心矩阵 (Kernel Matrix) 逐步扩展到低码率。这样可以灵活地支持各种码率的编码。

20 图 4 是 5G NR 的 LDPC 的奇偶校验矩阵的结构示意图。如图 4 所示, 5G NR 的 LDPC 的奇偶校验矩阵包括子 A、B、C、D 和 E 五部分。其中, A 和 B 共同组成了高码率的核心矩阵, A 对应于信息比特 (或称信息位), B 是一个方阵且对应于高码率的校验比特 (或称校验位)。C 是一个全零矩阵。E 是一个单位矩阵, 对应于低扩展码率的校验比特, D 和 E 共同组成了单奇偶校验关系。

4、IR-HARQ

25 增量冗余-混合自动重传 (incremental redundancy-hybrid automatic repeat request, IR-HARQ) 机制, 是指发送端在初次传输时发送信息比特和一部分冗余比特, 并在重传中发送额外的冗余比特。如果初次传输没有正确解码, 则发送端通过重传更多的冗余比特降低信道的码率, 从而提高解码的成功率。接收端结合第一次重传的冗余比特如果仍然不能正确解码, 则发送端再次进行重传。随着重传次数的增加, 冗余比特不断增加, 信达编码

30 率不断降低, 从而可以获得更好的解码效果。

IR HARQ 机制需要兼容多种速率的 LDPC 编码方案, 以便能够在重传的时候引入新

的增量冗余比特。

4、5G NR 的 LDPC 码

5G NR LDPC 码的校验矩阵的包括以下主要特征。

1) 大列重以及打孔设计

- 5 该特征指的是：5G NR LDPC 码的校验矩阵存在度数非常大的变量节点，这些变量节点对应的列在编码完成后发送端可以对其进行打孔处理，即发送端不发送这些变量节点对应的编码后的列，接收端设备将被打孔的列对应的对数似然比（Log-Likelihood-Ration，LLR）置为 0 进行译码。

2) Raptor-like 拓展节点结构设计

- 10 该特征指的是：5G NR LDPC 码的校验矩阵的拓展节点具有单对角结构，即拓展节点度数为 1，只出现在一个校验方程中。

3) QC 块结构

该特征指的是：实际使用的 LDPC 码为将基矩阵 H_b 中的非负元素经过提升值 Z_c 的扩展成循环位移矩阵。

- 15 4) 核心区域（core region）稠密

5G NR LDPC 码的校验矩阵的 1-4 行、1-26 列连接非常稠密（相对于其他位置），这部分被称为核心矩阵（Kernel Matrix）。核心矩阵边密度大，并且校验位的度数不为 1。非核心矩阵的校验位均为 Raptor-like 节点，度数为 1。

- 20 5G NR LDPC 码支持 IR-HARQ，但 5G NR LDPC 码的高码率部分（即核心矩阵）只能支持 QC 块的并行译码，无法支持整行的并行译码，低码率部分支持整行的并行译码，这样可能导致高、低码率部分的计算单元无法持平，例如为了支持高码率部分的 QC 块的并行译码每行设置了较多的计算单元，当对低码率部分进行译码时，可能仅使用这些计算单元的部分，会导致计算单元有较大的面积浪费。并且 5G NR LDPC 码的峰值吞吐无法达到 100Gbps，译码时延较大。

- 25 5、802.11ay LDPC 码

802.11ay LDPC 码的校验矩阵的包括以下主要特征。

1) 每个码率单独存储一个校验矩阵，只有几个特定的码率、码长，不支持灵活码长、码率，不具备嵌套特性，不支持 IR-HARQ。

2) 低码率校验矩阵多行正交，可以进行行并行译码。

- 30 3) QC 块结构，与 5G NR LDPC 码相同。

4) 高码率校验矩阵边密度稠密，低码率校验矩阵边密度稀疏，从全部校验矩阵来看整体边密度比较稠密。

802.11ay LDPC 码对于码率限制较大，矩阵存储冗余，灵活性差，不同码率之间不具有嵌套性质，不支持 IR-HARQ。

- 35 6、非零元素和零元素

在本申请中，校验矩阵中的零元素表示变量节点和校验节点之间不存在连接。校验矩阵中的非零元素表示变量节点和校验节点之间存在连接。

本申请并不限定零元素和非零元素的具体表现形式。例如，在基矩阵 H_b 中可以使用“-1”表示零元素，使用“非负值”表示非零元素。又例如，在校验矩阵 H 中可以使用“0”表示零

元素，使用“1”表示非零元素。

7、列重和行重

对于矩阵的某一行来说，列重可以指该行包含的“1”的数量。对于矩阵的某一列来说，行重可以指该列包含的“1”的数量。列重也可以称为列度数。对于校验矩阵，列重也可以称为变量节点的度数。

8、拓展列、非拓展列、拓展行和非拓展行

对于 LDPC 码来说，每增加一个拓展节点，会增加一行和一列，在本申请中，将增加的一行和一列称为拓展列和拓展行。拓展列为拓展节点对应的列，换句话说，拓展列对应于拓展的校验位。拓展列之外的列则为非拓展列。拓展行之外的行则为非拓展行。以图 4 为例，C 和 E 中的列为拓展列，D 和 E 中的行为拓展行。

9. 信息传输流程

图 5 是信息传输流程的示意图。如图 5 所示，信息由信源发出，经过信源编码、信道编码、调制、空口传输、解调、信道译码、信源恢复等处理，到达信宿，完成信息从信源到信宿的传输。其中，图 5 上层所示的处理（包括信源编码、信道编码和调制等）在发送端处执行，下层所示的处理（包括解调、信道译码、信源恢复等）在接收端处执行。

本申请的实施例主要涉及图 5 所示的信源编码、信道编码、信道译码与信源恢复。

由上述内容可知，5G NR LDPC 码的高码率部分（即核心矩阵）只支持准循环 QC 块的并行译码，无法支持整行的并行译码，限制译码效率。802.11ay LDPC 码的每个码率单独存储一个校验矩阵，不支持灵活码率，因而不支持 IR-HARQ 机制。

针对上述问题，本申请提供了一种基于 LDPC 码的通信方法，可以根据存储矩阵以及用于指示存储矩阵行与行之间的对应关系或者期望得到的 LDPC 基矩阵行与行之间的对应关系的指示信息，得到 LDPC 基矩阵，并且在得到 LDPC 基矩阵的过程中，可以不改变非拓展列对应到 Tanner 图上的总边数。Tanner 图上的边数是影响 LDPC 码的计算复杂度的关键因素之一，因此，通过本申请提供的方法有助于保持 LDPC 码的计算复杂度，尤其在由高码率向低码率扩展的场景中有助于降低低码率 LDPC 码的计算复杂度，提高译码效率。

下面对本申请提供的基于 LDPC 码的通信方法进行描述。

图 6 是本申请提供的基于 LDPC 码的通信方法 600 的示意性流程图。

方法 600 可以由发送端和接收端执行，也可以由发送端和接收端中的模块或单元执行，为了描述方便，下文统一称为发送端和接收端。方法 600 可以包括以下内容的至少部分内容。

步骤 601，发送端获取信息比特序列。

也就是说，若发送端需要与接收端通信，即发送端需要向接收端发送信号，则发送端需要先获取需要向接收端发送的信号对应的信息比特序列。

可选地，发送端获取待发送信息序列，可以指：发送端对信源符号进行信源编码，生成信息比特序列。发送端获取待发送信息序列，还可以指：发送端从其他通信装置接收信息比特序列。

步骤 602，发送端根据 LDPC 基矩阵对信息比特序列进行 LDPC 编码，得到 LDPC 码字序列。

步骤 603, 发送端向接收端发送 LDPC 码字序列, 或者说接收端接收来自发送端的 LDPC 码字序列。

步骤 604, 接收端根据 LDPC 基矩阵对 LDPC 码字序列进行译码。

其中, 上述 LDPC 基矩阵可以是基于存储矩阵和指示信息得到的, 指示信息用于指示存储矩阵行与行之间的对应关系或者 LDPC 基矩阵行与行之间的对应关系, 具体的对应关系将结合下文的方式 1~方式 4 进行描述。

本申请不限定指示信息的具体形式。一种可能的实现方式, 指示信息所采用的形式可以包括: 指示序列、映射表格、或映射对中的至少一个。

下面结合示例对指示信息所采用的形式进行描述。

10 以指示信息用于指示 LDPC 基矩阵的行与行之间的对应关系为例, 假设 LDPC 基矩阵包括 8 行, 行号 0~7 的行分别对应于第 1~8 行, 其中第 3~8 行为拓展行, 且第 3 行和第 1 行具有对应关系, 第 4 行和第 2 行具有对应关系, 第 5 行和第 2 行具有对应关系、第 6 行和第 1 行具有对应关系、第 7 行和第 3 行具有对应关系、第 8 行和第 4 行具有对应关系。

15 1) 当指示信息采用序列的方式时, 例如, 该指示序列可以为{0, 1, 1, 0, 2, 3}等。
2) 当指示信息采用映射表格的方式时, 例如, 该映射表格可以如表 1 或表 2 所示。

表 1

行号 行号	0	1	2	3	4	5	6	7
0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0
2	1	0	0	0	0	0	0	0
3	0	1	0	0	0	0	0	0
4	1	1	0	0	0	0	0	0
5	1	0	0	0	0	0	0	0
6	0	1	1	0	0	0	0	0
7	0	0	0	1	0	0	0	0

表 2

行号 行号	0	1	2	3	4	5	6	7
0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0
2	1	0	0	0	0	0	0	0
3	0	1	0	0	0	0	0	0
4	1	1	0	0	0	0	0	0
5	1	0	0	0	0	0	0	0
6	1	0	1	0	0	0	0	0
7	0	1	0	1	0	0	0	0

3) 当指示信息采用映射对的方式时, 例如, 映射对可以包括 (2, 0)、(3, 1)、

(4, 1)、(5, 0)、(6, 2)、(7, 3)。

在本申请中,行号也可以称为行索引(row indice)。

为了方便描述,下文以指示序列为例对本申请的技术方案进行描述,其中的指示序列可以替换为等同的映射表格或映射对等形式。

5 这里的 LDPC 基矩阵可以指发送端或接收端实际使用的矩阵,存储矩阵可以指发送端或接收端中已存储的矩阵或者协议预定义的矩阵。

可选地,LDPC 基矩阵对应的码率与存储矩阵对应的码率可以相同,也可以不同,取决于目标码率与存储矩阵对应的码率是否相同。例如,如果当前的目标码率与存储矩阵对应的码率相同,那么发送端或接收端可以直接使用存储矩阵进行编码或译码,在此情况下,
10 发送端或接收端可以不根据指示序列对存储矩阵的行进行分裂或合并。又例如,如果当前的目标码率与存储矩阵对应的码率不同,那么发送端或接收端可以根据指示序列对存储矩阵进行分裂或合并以得到对应于目标码率的 LDPC 基矩阵。

需要说明的是,发送端和接收端所使用的 LDPC 基矩阵可以相同,也可以不同。例如,当存储矩阵可以用于编码时,发送端可以使用存储矩阵对信息比特序列进行编码,即发送
15 端使用的 LDPC 基矩阵为存储矩阵;在接收到 LDPC 码字序列后,接收端可以根据指示序列对存储矩阵进行分裂或合并,得到发送端使用的 LDPC 基矩阵。

图 7 是 LDPC 基矩阵的一个示例。

在本申请中,LDPC 基矩阵具备以下特征中的至少部分特征:

特征 1: LDPC 基矩阵的非拓展列的列重之和与存储矩阵的非拓展列的列重之和相等。
20 换句话说,在根据存储矩阵和指示序列得到 LDPC 基矩阵的过程中,拓展节点以外的其他变量节点对应的列重之和保持不变。

特征 2: LDPC 基矩阵包括第一子矩阵和第二子矩阵,第一子矩阵包括所述 LDPC 基矩阵的非拓展列,第二子矩阵包括所述 LDPC 基矩阵的拓展列;第二子矩阵中的 Q 列中的
25 的每一列的列重为 2;Q 列中的第 q 列所包含的 2 个非零元素中的一个对应于第一子矩阵的第 i_1 行,Q 列中的第 q 列所包含的 2 个非零元素中的另一个对应于第一子矩阵的第 i_2 行,第 i_1 行和所述第 i_2 行相互正交,第 q 列为 Q 列中的任意一列;其中,Q、q、 i_1 、 i_2 均为正整数。

换句话说,LDPC 基矩阵的部分或全部拓展节点的度数为 2,并且这些拓展节点对应的两行除拓展部分之外的部分相互正交。

30 特征 3: LDPC 基矩阵为 $X \times Y$ 的矩阵,LDPC 基矩阵的第 $y_2+1 \sim Y$ 列为拓展列,LDPC 基矩阵包括子矩阵 A1、子矩阵 B1、子矩阵 C1、子矩阵 D1 和子矩阵 E1,子矩阵 A1 和子矩阵 B1 构成存储矩阵的核心部分。子矩阵 A1 为 LDPC 基矩阵的第 $1 \sim x_1$ 行、第 $1 \sim y_1$ 列,子矩阵 B1 为 LDPC 基矩阵的第 $1 \sim x_1$ 行、第 $y_1+1 \sim y_2$ 列,子矩阵 C1 为 LDPC 基矩阵的第 $1 \sim x_1$ 行、第 $y_2+1 \sim Y$ 列,子矩阵 D1 为 LDPC 基矩阵的第 $x_1+1 \sim X$ 行、第 $1 \sim y_2$ 列,子矩阵
35 E1 为 LDPC 基矩阵的第 $x_1+1 \sim X$ 行、第 $y_2+1 \sim Y$ 列, $1 \leq x_1 \leq X$, $1 \leq y_1 \leq y_2 \leq Y$, x_1 、 X 、 y_1 、 y_2 、 Y 均为整数。其中,子矩阵 E1 的对角线为非零元素,子矩阵 E1 的对角线以上包括非零元素和/或子矩阵 E1 的对角线以下包括非零元素,子矩阵 C1 包括非零元素。

这里的 LDPC 基矩阵的第 $1 \sim x_1$ 行、第 $1 \sim y_1$ 列可以指: LDPC 基矩阵中行号大于或等于 1 且小于或者等于 x_1 的、列号大于或等于 1 且小于或者等于 y_1 的所有位置。LDPC 基

矩阵的第 $1 \sim x_1$ 行、第 $y_1+1 \sim y_2$ 列, LDPC 基矩阵的第 $1 \sim x_1$ 行、第 $y_2+1 \sim Y$ 列, LDPC 基矩阵的 $x_1+1 \sim X$ 行、第 $1 \sim y_2$ 列, LDPC 基矩阵的第 $x_1+1 \sim X$ 行、第 $y_2+1 \sim Y$ 列类似, 不再赘述。对于下文类似的内容, 不再进行解释。

5 由于 LDPC 基矩阵的列重为 2 的列对应的两个行除拓展节点之外的部分相互正交, 因此, 基于该 LDPC 基矩阵, 接收端可以对 LDPC 码字序列进行行并行译码。下面对 LDPC 译码过程进行描述。

一种可能的实现方式, 接收端根据 LDPC 基矩阵对 LDPC 码字序列进行信道译码, 包括: 采用第一译码方式, 对 LDPC 码字序列中的与上述第 i_1 行相对应的行和 LDPC 码字序列中的上述第 i_2 行相对应的行进行译码; 采用第二译码方式, 对 LDPC 码字序列中的与第二子矩阵的第 i_1 行相对应的行和 LDPC 码字序列中的与第二子矩阵的第 i_2 行相对应的行进行译码。其中, 第一译码方式为行并行译码, 第二译码方式与所述第一译码方式不同。

换句话说, 对于 LDPC 基矩阵的第 i_1 行和第 i_2 行, 对于这两行中除拓展节点之外的位置采用第一译码方式 (即行并行译码), 对于这两行中拓展节点对应的位置进行第二译码方式的译码。

15 第二译码方式的实现方式有很多, 本申请不予限制。

一种可能的实现方式, 以 LDPC 基矩阵的第 i_1 行和第 i_2 行为例, 假设第 i_1 行对应于第一校验节点, 第 i_2 行对应于第二拓展节点, 对于与第 i_1 行和第 i_2 行对应的第一拓展节点 (对应关系可以如特征 2 所述) 可以进行以下译码操作:

20 获取第一拓展节点存储的第一信息和第一校验节点存储的第二信息, 其中, 第一信息为上一次译码迭代过程中第一拓展节点发送给第一校验节点的信息, 第二信息为上一次译码迭代过程中第一校验节点发送给第一拓展节点的信息;

获取第二校验节点存储的第三信息, 其中, 第三信息为上一次译码迭代过程中第二校验节点发送给第一拓展节点的信息;

25 根据第一信息、第二信息和第三信息, 确定第四信息, 并将第四信息存储到第二校验节点, 第四信息为本次译码迭代过程中第二校验节点发送给第一拓展节点的信息;

根据第四信息和第一信息, 确定五信息, 并将第五信息存储到第一拓展节点, 第五信息为本次译码迭代过程中第一拓展节点发送给第一校验节点的信息;

根据第四信息, 确定第六信息, 并将第六信息存储到第一校验节点, 第六信息为本次译码迭代过程中第一校验节点发送给第一拓展节点的信息。

30 在上述译码过程中, 本次译码迭代过程中第二校验节点发送给第一拓展节点的信息除了用于更新第二校验节点的存储之外, 还可以不经存储直接用于计算本次译码迭代过程中第一拓展节点发送给第一校验节点的信息和本次译码迭代过程中第一校验节点发送给第一拓展节点的信息, 这样错拍的进行译码, 可以减少第一拓展节点、第一校验节点和第二校验节点的读取和更新的次数。

35 在本申请中, 基于存储矩阵和指示序列得到上述 LDPC 基矩阵的方式有很多, 不予限制, 例如可以包括以下的方式 1、方式 2 和方式 3。

方式 1: 发送端存储高码率矩阵 (即存储矩阵为高码率矩阵)、指示序列和划分表格, 并基于指示序列和划分表格对高码率矩阵进行分裂产生低码率的 LDPC 基矩阵。

在方式 1 中, 指示序列也可以称为分裂 (split) 序列、或扩展交织器, 下文统一称为

分裂序列。分裂序列用于指示分裂的行，例如，分裂序列的第 8 个元素指示行号 3，则表示 LDPC 基矩阵的第 8 行用于对 LDPC 基矩阵的行号为 3 的行进行消元，其中 LDPC 基矩阵的第 8 行根据划分表格得到，换句话说，LDPC 基矩阵的行号为 3 的行分裂为 LDPC 基矩阵的第 8 行和消元后的 LDPC 基矩阵的行号为 3 的行（假设行号不变）。即指示信息用于指示 LDPC 基矩阵的行与行之间的分裂关系。

为了便于理解，首先对本申请的分裂进行说明。

假设高码率矩阵中的一个校验方程为 $c_1: x_1 + x_2 + x_3 + x_4 = 0$ ，在进行低码率拓展或 IR-HARQ 时新添加的校验方程为 $c_2: x_1 + x_3 + x_5 = 0$ ，其中， x_5 为拓展节点（或者说新增加的变量节点）。使用 $c_2: x_1 + x_3 + x_5 = 0$ 对 $c_1: x_1 + x_2 + x_3 + x_4 = 0$ 进行消元来进行低码率拓展，消元后的 $2x_1 + x_2 + 2x_3 + x_4 + x_5 = 0$ 等价于 $c'_1: x_2 + x_4 + x_5 = 0$ ，因此，可以用 $c'_1: x_2 + x_4 + x_5 = 0$ 来替代 c_1 。使用 c_2 对 c_1 进行消元得到 c'_1 可以理解为： c_1 分裂为 c'_1 和 c_2 。

可以看出除拓展节点 x_5 外， c'_1 和 c_2 包含的变量节点完全正交，支持设计行并行译码方案。

图 8 是高码率矩阵的 1 次分裂的示意图。图 8 中，高码率矩阵为 4×28 的核心矩阵，以对高码率矩阵的第 2 行进行分裂为例。如图 8 所示， 4×28 的核心矩阵为了保证性能和收敛速度，边密度很大，矩阵中几乎全部为非零元素，等效译码行数为 4。执行低码率拓展，在 4×28 的核心矩阵的基础上增加一行和一列，即第 5 行、第 29 列，得到 5×29 的译码矩阵，新增加的一行的最后一个元素为非零元素（如图 8 中的 1），行重约等于 $0.5 \times$ 核心矩阵的列数，即约等于 14，此时等效译码行数为 5。然后使用第 5 行对 2 行进行消元，得到 5×29 的等效译码矩阵，原第 2 行分裂为图 8 所示的等效译码矩阵的第 4 行和第 5 行，由于等效译码矩阵的第 4 行和第 5 行除新增加的校验位以外的其他部分相互正交，因此等效译码行数为 4。

此外，可以将新增加的第 5 行称为原第 2 行的消元行或消元校验节点。

需要说明的是，在图 8 中， 5×29 的等效译码矩阵中进行了行的位置变换，其行号可以相应改变，也可以不变。当然，在分裂之后，等效译码矩阵也可以不进行行的位置变换，本申请不予限制。

由图 8 可以看出，通过上述的分裂方式进行低码率拓展，在码率变低的过程中，并不增加 Tanner 图上的边数，即所有码率的基矩阵除拓展节点外的总边数固定。而 LDPC 码的计算复杂度主要取决于 Tanner 图上的边数和正交性，因此通过上述的分裂方式获得低码率矩阵有助于保持 LDPC 码的计算复杂度。

图 8 仅示出了高码率矩阵的 1 次分裂，实际上由高码率矩阵到目标码率的低码率矩阵可能需要进行多次分裂，即低码率拓展的分裂过程是渐进完成的。

图 9 是渐进的分裂方式的示意图。图 9 中示出了低码率拓展的分裂过程的第 1 至 3 次分裂。其中，经过第 1 次分裂， 4×28 高码率矩阵的第 2 行分裂为第 2 行和第 5 行，得到 5×29 的等效译码矩阵；经过第 2 次分裂，高码率矩阵的第 4 行分裂为第 4 行和第 6 行，得到 6×30 的等效译码矩阵；经过第 3 次分裂，高码率矩阵的第 1 行分裂为第 1 行和第 7 行，得到 6×30 的等效译码矩阵。图 9 中矩阵中为标明取值的部分可以理解为零元素，如 5×29 的等效译码矩阵中第 1 行第 29 列的元素为零元素。

低码率拓展的分裂过程可以是逐层完成的,完整的一轮分裂可以看作是将现有校验节点全部分裂一次的过程。例如,假设当前的矩阵为 4×28 高码率矩阵的初始矩阵,其中每一行均需要进行分裂,那么完整的一轮分裂指的是第 1 行到第 4 行全部分裂一次。又例如,假设当前的矩阵为 8×32 的等效译码矩阵,其中每一行均需要进行分裂,那么完整的一轮分裂指的是第 1 行到第 8 行全部分裂一次。经过一轮完整的分裂后,森林的深度增加 1。第 t 轮第 i 次分裂得到的矩阵都对应于一个深度为 $t+1$ 森林,且深度为 $t+1$ 的校验节点数为 $i*2$,结合图 9,第 1 轮的第 1、2、3 次分裂对应的森林深度为 2,且深度为 2 的校验节点的数量分别为 2、4、6。

需要指出的是,一轮分裂可以是完整的一轮分裂,也可以执行完整的一轮分裂中的部分分裂。例如,要达到目标码率,对于最后一轮分裂,可能仅需要对部分校验节点进行分裂。又例如,若高码率矩阵中的部分校验节点的行重并不大,也可以不对其进行分裂。

由于低码率拓展的分裂过程是逐层进行的,各个根节点所对应的子树深度可以保持一致。

图 10 是高码率矩阵的完整的 2 轮分裂的示意图。图 10 所示的矩阵中仅通过有阴影和无阴影区零元素和非零元素,并未标明各元素的偏移值,示意性的示出 2 轮分裂,其中,有阴影的方块表示非零元素,无阴影的方块表示零元素。其中,第 1 轮分裂的顺序为第 2 行、第 4 行、第 1 行、第 3 行;第 2 轮分裂的顺序为第 2 行、第 5 行、第 4 行、第 6 行、第 7 行、第 1 行、第 8 行、第 3 行。

可选地,在分裂过程中,校验节点密度(即行重)可以尽可能保持正则,这样 LDPC 基矩阵各区域并行译码的 QC 块数相近,对应的硬件资源可以持平,行并行译码的时延可以保持一致,符合密度进化的密度要求。

下面结合分裂序列和划分表格对分裂的具体过程进行描述。

设高码率矩阵的行数为 M ,列数为 N ,非拓展行的行数为 m_1 ,非拓展列的列数为 n_2 。当高码率矩阵不包含拓展行和拓展列时, $M=m_1$, $N=n_2$ 。

在本申请中,分裂序列用于指示分裂的行,划分表格用于构造每次分裂所增加的行。

1) 分裂序列

分裂序列可以包括多个行号,分裂序列中行号的排序顺序即为分裂顺序。

一种可能的实现方式,分裂序列包括至少一个分段,至少一个分段中的每个分段对应于一轮分裂。

可选地,至少一个分段所包括的行号可以是随机的数值。

可选地,至少一个分段所包括的行号与存储矩阵每行的行重有关。

可选地,至少一个分段对应的至少一轮分裂中的第 t 轮分裂对应的分段所包括的行号为 $\{1, \dots, 2^{t-1}m_1\}$ 的置换形式或 $\{1, \dots, 2^{t-1}m_1\}$ 的子集的置换形式, m_1 为高码率矩阵的非拓展行的行数, t 为正整数。由于第 t 轮分裂对应的分段所包括的行号为 $\{1, \dots, 2^{t-1}m_1\}$ 的置换形式或 $\{1, \dots, 2^{t-1}m_1\}$ 的子集的置换形式,因此,每一轮包括的多次分裂可以并行执行,有助于提高分裂效率。

可选地,分裂序列的第 t 个分段对应于第 t 轮分裂。

可选地,分裂序列的第 $t+1$ 个分段对应于第 t 轮分裂,第 1 个分段对应于第 0 轮分裂或者说初始矩阵(即存储矩阵)。

下文以分裂序列的第 $t+1$ 个分段对应于第 t 轮分裂为例进行描述。

图 11 是分裂序列的一个示意图。

设初始矩阵为 $BG_0 = (H_0)_{M \times N}$ ，设第 t 轮分裂完成后的矩阵为 BG_t ，定义 BG_t 为将 BG_{t-1} 的行全部经过分裂后产生的矩阵，令 $BG_t = G[C_t \cup V_t]$ 。若初始矩阵不包括拓展行和拓展列，

5 则 $M=m_1$ ， $N=n_2$ 。

在进行分裂的阶段，若行 i 是由初始行 j 分裂产生的（即 i 是 j 的消元行），则称 $j = f(i)$ 。若存在节点 $i = i_0, i_1, i_2, \dots, i_l = j$ ，使得 $i_k = f(i_{k-1})$ ，对 $k = 1, \dots, l$ 成立，则称 $i \sim j$ ；在 BG_t 中，定义集合 $g_t(j) = \{i \in C_t | i \sim j\}$ ，则有 $g_1(j) = j$ ， $g_{t+1}(j) = g_t(j) \cup \{i \in C_{t+1} | \exists p \in g_t(j), i = p + M(2^t - 1)\}$ ；由 BG_{t-1} 构造 BG_t 的分裂序列为 $[g_{t-1}(1), \dots, g_{t-1}(M)]$ ，由 BG_1 构造 BG_t 的分裂序列 1 为 $[g_1(1) \dots g_1(M)][g_2(1) \dots g_2(M)] \dots [g_{t-1}(1) \dots g_{t-1}(M)]$ ；由 BG_1 构造 BG_t 的分裂序列 2 为 $[h_1(1, \dots, M)][h_2(1, \dots, M)] \dots [h_{t-1}(1, \dots, M)]$ ，其中 $[h_t(1, \dots, M)] = [g_t(1)\{1\}g_t(2)\{1\} \dots g_t(M)\{1\}, \dots, g_t(1)\{2^{t-1}\}g_t(2)\{2^{t-1}\} \dots g_t(M)\{2^{t-1}\}]$ 。

分裂序列 1 和 2 是分裂基本序列，实际的分裂序列可以为序列 1 和序列 2 的置换形式。

分裂序列的基本含义如下：

- 15 a) 分裂序列的长度：即包含的行号的数量，为分裂产生的矩阵的总行数。
- b) 分裂序列的分段：分裂序列按照分裂轮数进行分段，第 $t+1$ 个分段对应于第 t 轮分裂或者说第 t 个分段对应于第 $t-1$ 轮分裂，第 t 轮分裂对应的分段的长度为 $2^{t-1}M$ 。
- c) 分裂序列中各数字的含义：对于 $1, \dots, M$ 位置，数字对应于初始矩阵的行号，对于大于 M 的位置，数字对应于当前分裂的行的行号。
- 20 d) 分裂序列中各数字的顺序：分裂序列中大于 M 的各位置中的行号的顺序对应于分裂顺序。
- e) 分裂序列中某个数字的数量：对于大于 M 的位置，某个数字出现的次数为该行的分裂次数，同时对应于含有拓展节点的数量。

下面结合举例对分裂序列进行说明。

- 25 结合图 10，分裂序列可以为 $\{1, 2, 3, 4, 2, 4, 1, 3, 2, 5, 4, 6, 7, 1, 8, 3\}$ ，其中包括 $\{1, 2, 3, 4\}$ 、 $\{2, 4, 1, 3\}$ 和 $\{2, 5, 4, 6, 7, 1, 8, 3\}$ 三个分段，其中 $\{1, 2, 3, 4\}$ 对应于第 0 轮分裂或者说初始矩阵， $\{2, 4, 1, 3\}$ 对应于第 1 轮分裂， $\{2, 5, 4, 6, 7, 1, 8, 3\}$ 对应于第 2 轮分裂。

分裂序列的特征如下：

- 30 a) 在第 t 轮分裂过程中，对应序列的元素为 $2^{t-1}M + 1 - 2^tM$ 可以是一个置换 $p_t(1, \dots, 2^{t-1}M)$ ，即当前所有的校验方程的标号（即行号）在对应于此轮分裂的序列分段中有且仅有一次。

此种情况下，置换 $p_t(1, \dots, 2^{t-1}M)$ 可以是 $p(1, \dots, M) \times \dots \times p(2^{t-2}M + 1, \dots, 2^{t-1}M)$ ，也可以是 $p(\{i \in C_t | i \sim 1\}) \times \dots \times p(\{i \in C_t | i \sim M\})$ 。其中的“ $\times$ ”标识表示拼接。

- 35 b) 分裂序列的第 i 个位置元素的计算公式为： $\theta(i) = p_{t_1+1}(i - M2^{t_1+1} + M)$ ，其中 t_1 为满足 $i \geq M(2^{t_1+1} - 1)$ 的最大非负整数。

2) 划分表格

划分表格也可以称为划分序列，划分表格与分裂序列是对应的，除初始 M 个位置所组成的分段，分裂序列的每一个分段都对应于划分表格的一个分块或者说行。

图 12 是划分表格和分裂序列的对应关系的一个示意图。需要说明的是，图 12 中划分表格的形式仅为示例。如图 12 所示，分裂序列包括 4 个分段，第 1 分段对应于初始矩阵，第 2~4 个分段分别对应于第 1~3 轮分裂。划分表格包括 3 行，每行可以看作一个分块。分裂序列和划分表格中相同数字的位置相互对应，例如，分裂序列的 1 所在的位置对应于划分表格中的 1 所在的位置。

结合图 12，划分表格的基本含义如下：

- a) 划分表格的行：对应于分裂轮数，每行对应一轮分裂。
- b) 划分表格的列：第 t 轮分裂对应的列数为 2^{t-1} ，即每行的数字个数。
- c) 划分表格中数字：每个数字对应 M 行 1 列，为避免混淆，将每个数字对应的 M 行称为细分行，每个细分行对应于一次分裂以及对应于得到的 LDPC 基矩阵的一个拓展行。
- d) (t, i, j) ：划分表格的第 t 行的第 i 细分行的第 j 列表示为 (t, i, j) ，该位置存储存储的集合为 $i + (j - 1)M$ 个消元校验方程所包含或不包含的变量节点的标号（即列号），其对应的消元父节点（即被消元的校验方程）为 $p_t(i + (j - 1)M)$ 。

下面结合举例对划分表格进行说明。

- 图 13 是划分表格的一个示例。如图 13 所示，划分表格包括 2 行，2 行分别对应于 2 轮分裂，每个行又包括 4 个细分行，4 个细分行分别对应于一次分裂。位置 $(2, 3, 2)$ 存储的变量节点的标号为 1, 8, 11, 13, 19, 24，假设这些变量节点的标号为校验方程包含的变量节点的标号，则第 2 轮第 7 次分裂的消元校验方程为 $x_1 + x_8 + x_{11} + x_{13} + x_{19} + x_{24} + x_{39} = 0$ 。

划分表格的特征：

- a) 划分表格中的 (t, i, j) 存储消元校验方程含有的变量节点的标号或者父节点消元后所剩的变量节点的标号。
- b) 第 t 轮分裂过程中的行重等于或者约等于第 $t - 1$ 轮分裂过程中的行重的 $1/2$ 。这样，划分表格的第 t 行每一个细分行的所有列总元素数之和接近一致，表格排列紧凑。
- c) 位置 (t, i, j) 存储的变量节点的标号集合真包含于其父节点包含的变量节点的标号集合。
- d) 位置 (t, i, j) 除了存储变量节点的标号外，可以额外存储一些信息。例如，位置 (t, i, j) 还可以存储与其父节点偏移值（shifting value）之间的固定差值，特别地，当所有偏移值的固定差值为 0，可以省略存储。又例如，位置 (t, i, j) 还可以存储其父节点的标号，这样可以省略分裂序列。

- 下面结合一个具体的示例，对基于分裂序列和划分表格的分裂过程进行描述。

图 14 是 1 次分裂的一个示意图。

设存储的高码率矩阵 H_0 的列数 $N = 28$ ，行数 $M = 4$ ，即码率为 0.857，具体如图 14 的

(a) 图所示。设分裂序列为 $\theta = \begin{cases} 1234 \\ 2413 \\ 25467183 \end{cases}$ ，其中第 1 行对应初始矩阵 H_0 ，第 2 行对应

- 第 1 轮分裂，第 3 行对应第 2 轮分裂。设划分表格为如图 13 所示的划分表格，其中列数为 1 的行组成第 1 轮分裂，列数为 2 的行组成第 2 轮分裂。

分裂序列的前 $M = 4$ 个位置（第 1 行）对应于初始矩阵 $(H_0)_{4 \times 28}$ 。分裂序列的第 2 行为 1234（当前矩阵 $(H_0)_{4 \times 28}$ 的所有行号）的一个置换，这样每一个行号在一轮分裂中只会出现一次。第 2 行的第 1 个数字为 2，对应第 1 轮第 1 次分裂的被消元的校验方程的标号

是 2, 记为 c_2 。对 c_2 进行消元的消元校验方程包含的变量节点根据划分表格的第 1 行的第 1 个细分行确定, 即划分表格的第 1 轮分裂的第 1 行的标号集合对应的变量节点, 即如下校验方程 c_5 (包含一个拓展节点 x_{29}) :

$$x_2 + x_4 + x_6 + x_8 + x_{10} + x_{11} + x_{14} + x_{16} + x_{18} + x_{20} + x_{22} + x_{23} + x_{29} = 0$$

对 c_5 与 c_2 进行异或加法, 得到新的校验方程 c'_2 : $x_1 + x_3 + x_5 + x_7 + x_9 + x_{12} + x_{13} + x_{15} + x_{17} + x_{19} + x_{21} + x_{24} + x_{25} + x_{26} + x_{27} + x_{28} + x_{29} = 0$; c'_2 用替代 c_2 。 c'_2 与 c_5 除了拓展节点 x_{29} 其余位置完全正交, 分裂之后的校验方程矩阵 $(H_1)_{5 \times 29}$ 图 14 的 (b) 图所示。

新增加的校验方程 c_5 的标号与分裂序列中当前使用的位置相同。

后续, 依次使用分裂序列的第 2 行的第 2、3、4 个元素来进行分裂产生矩阵 $(H_2)_{6 \times 30}$ 、 $(H_3)_{7 \times 31}$ 、 $(H_4)_{8 \times 32}$, 完成第 1 轮分裂过程; 继而转到分裂序列的第 3 行, 进行第 2 轮分裂过程。

上面对分裂序列和划分表格进行了描述。下面对基于分裂序列和划分表格的速率匹配过程进行描述。

一种可能的实现方式, 设高码率矩阵的行数为 M 、列数为 N , 且不包括拓展行和拓展列。基于分裂序列和划分表格的速率匹配过程主要由以下几个步骤实现:

步骤 1, 根据目标码率、目标码长确定要构造的 LDPC 基矩阵的行数 X 和列数 Y ;
步骤 2, 根据 LDPC 基矩阵的列数 Y 来确定分裂包括完整分裂轮数 $1, \dots, t_0$ 和第 $t_0 + 1$ 轮的前 i 次分裂;

示例性地, 选取 Z_c 列表中满足 $KZ_c \geq K_0$ 的最小的 Z_c , 其中, K 为 LDPC 基矩阵的信息列的数量 (也即存储矩阵的信息列的数量), K_0 为 LDPC 基矩阵对应的信息位的数量 (即信息位的目标数量), 对 $KZ_c - K_0 + 1$ 到 KZ_c 位置进行缩短 (shorten) 处理; 确定分裂次数 R , R 为满足 $RZ_c \geq N_0 - K_0$ 的最小整数; 接下来选取 t_0 , t_0 为满足 $2^t M \leq R$ 的最大正整数, 这样需要进行前 t_0 轮的完整分裂以及 $t_0 + 1$ 轮的 $i = R - 2^t M$ 次分裂。

步骤 3, 对第 t 轮分裂, $0 \leq t \leq t_0$, 读取分裂序列的 $2^{t-1}M + 1 \sim 2^t M$ 位元素和对应的划分表格, 完成前 t_0 轮的完整的分裂过程; 对第 $t_0 + 1$ 轮分裂, 读取分裂序列的 $2^t M + 1 \sim i$ 位元素和对应的划分表格, 完成第 $t_0 + 1$ 轮的不完整的分裂过程。

示例性地, 顺序选取分裂序列以及划分表格的前 t_0 轮完整分裂对应的位置和第 $t_0 + 1$ 轮分裂的前 $R - 2^t M$ 对应的位置, 并根据获取到的分裂序列和划分表格对高码率矩阵进行 R 次分裂。

由于分裂序列具有上文所述的置换特性, 因此每一轮分裂的多次分裂可以并行进行。经过上述分裂过程后, 得到的 LDPC 基矩阵支持行并行度至多为 2^{t_0+1} 的译码。

需要指出的是, 上述 Z_c 、 R 、 t_0 等需要满足的条件均为示例性的, 可以替换为其他可以实现的条件。

还需要指出的是, R 次分裂可以按照上文所述的分为多轮分裂, 且每轮分裂的多次分裂并行执行。当然, R 次分裂也可以依次执行或者说串行执行, 在此情况下, 分裂序列可以没有分段的概念, 划分表格也可以没有分块的概念, 在确定分裂次数 R 后, 可以根据 R 获取分裂序列的前 $M+R$ 个行号、以及划分表格的前 R 个行 (这里的行指上文所述的细分行), 然后依次进行 R 次分裂。

需要说明的是, 对于上述 R 次分裂中的前 $R-1$ 次分裂, 可以 Z_c 提升前的行作为粒度

进行分裂, 换句话说, 以 QC 结构或 Z_c 作为粒度进行分裂; 对于第 R 次分裂, 即最后一次分裂, 可以 Z_c 提升前的行作为粒度进行分裂, 也可以 Z_c 提升后的行 (即 1) 作为粒度进行分裂。例如, 当对 LDPC 基矩阵的最后一列对应的部分校验位进行打孔时, 第 R 次分裂可以以 Z_c 提升后的行作为粒度。下面对以 Z_c 提升后的行作为粒度的第 R 次分裂进行描述。

在进行精细粒度的速率匹配时, 可以将分裂的基本粒度从 Z_c 提升前的行变为 Z_c 提升后的行, 即从 Z_c 变为 1, 以实现精细粒度的速率匹配。

设 LDPC 基矩阵大小为 X 行 Y 列, 使用的提升值为 Z_c 。

若不对 LDPC 基矩阵的最后一列对应的部分校验位进行打孔, 则可以 Z_c 为基本单元进行速率匹配即可; 若速率匹配时需要 LDPC 基矩阵的最后一列对应的部分校验位进行打孔, 则构造校验方程的最后一行时不按照 Z_c 为粒度进行分裂, 而是按照 1 为粒度, 例如, 结合上文, 假设 $RZ_c - N_0 + K_0$ 可以对应最大标号的拓展节点的打孔位, 对于 $(R-1)Z_c - N_0$ 按照 1 为粒度进行分裂, 其中 N_0 为目标码长。

示例性地, 设速率匹配后要使用 LDPC 基矩阵的标号最大的校验方程 c 的 1 至 z 行, 则使用 c 对 $f(c)$ 进行分裂时, 以精细粒度 1, 使用 c 的 1 至 z 行对 $f(c)$ 的 1 至 z 行进行依次消元, 对 $f(c)$ 的 $z+1$ 至 Z_c 行不进行消元, 设消元完成后的校验矩阵的校验方程为 c_1' 和 $f(c_1')$, 则 $c_1'|_1^{Z_c} = c|_1^{Z_c}$, $f(c_1')|_{z+1}^{Z_c} = f(c_1)|_{z+1}^{Z_c}$, $f(c_1')|_1^z = f(c_1)|_1^z \oplus c|_1^z$ 。

精细粒度的分裂构造校验矩阵, c_1' 使用部分和 $f(c_1')$ 译码过程中仍然具有完全行正交的特性 (除拓展节点), 并行度不变。

下面结合举例说明划分表格。

设 $Z_c=3$, 父节点或称被消元的校验方程为 c_1 , 消元校验方程为 c_2 , 设当前速率匹配仅使用 c_2 的第 1 个校验方程, 即 c_2 对应的校验位 2~3 位置进行了打孔。在此情况下, 使用 c_2 的第 1 个校验方程对 c_1 的第 1 个校验方程进行消元, 对 c_1 的第 2~3 个校验方程不进行消元。

通过上述精细粒度的分裂有助于边密度的保持, 从而有助于提高编解码的性能。

此外, 需要说明的是, 若基于方式 1 得到步骤 602 中的 LDPC 基矩阵的过程中进行了行的位置调整和/或列的位置调整, 则拓展行和/或拓展列满足: 将 $X-x_1$ 个拓展行和/或 $Y-y_2$ 个拓展列按照分裂顺序排序, 排序后的拓展行和拓展列存在如上文所述的特征 3。

方式 2: 发送端存储最低码率矩阵 (即存储矩阵为最低码率矩阵) 和指示序列, 并基于指示序列对存储矩阵进行分裂产生对应译码的校验矩阵, 即前文步骤 602 中的 LDPC 基矩阵。

与方式 1 不同的是, 方式 2 中不单独存储划分表格, 而是在存储矩阵中存储了分裂所需的消元校验方程, 换句话说, 方式 2 是使用存储矩阵中的行重较小的行对存储矩阵中行重较大的行进行消元。

在方式 2 中, 指示序列可以为分裂序列。

分裂和分裂序列的描述可以参考方式 1, 在此不再赘述。

下面对方式 2 中的存储矩阵进行描述。

设存储矩阵为 $M \times N$ 的矩阵, 非拓展行的行数为 m_1 , 非拓展列的列数为 n_2 。

存储矩阵包括子矩阵 A2、子矩阵 B2、子矩阵 C2、子矩阵 D2 和子矩阵 E2, 其中, 子矩阵 A2 为存储矩阵的第 1~ m_1 行、第 1~ n_1 列, 子矩阵 B2 为存储矩阵的第 1~ m_1 行、第

$n_1+1\sim n_2$ 列, 子矩阵 C2 为存储矩阵的第 $1\sim m_1$ 行、第 $n_2+1\sim N$ 列, 子矩阵 D2 为存储矩阵的第 $m_1+1\sim M$ 行、第 $1\sim n_2$ 列, 子矩阵 E2 为存储矩阵的第 $m_1+1\sim M$ 行、第 $n_2+1\sim N$ 列, $1\leq m_1\leq M$, $1\leq n_1\leq n_2\leq N$, m_1 、 M 、 n_1 、 n_2 、 N 均为整数。其中子矩阵 A2 和子矩阵 B2 构成存储矩阵的核心部分。

5 存储矩阵具有以下特征中的至少部分特征:

1) 子矩阵 D2 的第 a_1 行真包含于第三子矩阵的第 b_1 行和/或所述子矩阵 D2 的第 a_2 , 第三子矩阵由子矩阵 A2 和子矩阵 B2 组成, 第 a_1 行是子矩阵 D2 的任意一行;

换句话说, 存储矩阵除核心部分外的行所包含的变量节点 (除拓展节点) 真包含于其父节点包含的变量节点。

10 其中, 第 a_1 行与第 b_1 行的对应关系、以及第 a_1 行与第 a_2 行的对应关系可以根据分裂序列确定。

2) 第 a_1 行中的每个非零元素的偏移值与第 b_1 行中的对应位置的非零元素的偏移值之间的差值相同, 和/或, 第 a_1 行中的每个非零元素的偏移值与第 b_1 行中的对应位置的非零元素的偏移值之间的差值相同;

15 换句话说, 存储矩阵除核心部分外的行的偏移值与其父节点对应位置的偏移值相差固定常数。可选地, 该常数可以取 0。

3) 与第三子矩阵的第 b_2 行对应的所述子矩阵 D2 中的多行各不相同, 所述第 b_2 行是所述第三子矩阵的任意一行。

20 “与第三子矩阵的第 b_2 行对应的所述子矩阵 D2 中的多行”可以指: 以第三子矩阵的第 b_2 行作为父节点的所有子节点。

例如, 以第三子矩阵的第 1 行为例, 第 1 轮分裂中使用第 1 行分裂为第 1 行和第 7 行 (即用第 7 行对第 1 行进行消元), 第 2 轮分裂中, 第 1 行分裂为第 1 行和第 14 行 (即用第 14 行对第 1 行进行消元), 第 7 行分裂为第 7 行和第 13 行 (即用第 13 行对第 7 行进行消元), 这样, 第 7 行、第 13 行和第 14 行均对应于第 1 行 (共同的父节点)。

25 4) 存储矩阵的拓展节点的度数为 1;

5) 存储矩阵的行与分裂序列中的元素一一对应, 即存储矩阵的行数等于分裂序列的长度;

6) 存储矩阵的核心部分, 即 A2 和 B2 对应于分裂序列的第 1 个分段, 无拓展节点;

30 7) 存储矩阵对应于第 1 轮分裂、第 2 轮分裂、... 第 t 轮分裂的行, 行重递减, 且行重每轮减小上一轮的 $1/2$ 或约等于 $1/2$;

8) 存储矩阵可以直接用作编码矩阵。

具备上述特征的存储矩阵对应的 Tanner 图含有非常多 4、6 圈, 与现有校验矩阵完全不同。

35 一种可能的实现方式, 存储矩阵各非零元素的偏移值的存储方式可以为: 存储矩阵用于存储变量节点和校验节点的连接关系, 存储矩阵的非零元素的偏移值根据偏移值表格得到, 偏移值表格用于存储存储矩阵的非拓展行的各位置的偏移值。在此情况下, 分裂序列包括的至少一个行号中的第 i_3 个行号指示 LDPC 基矩阵的第 i_3 行的偏移值基于至少一个行号中的第 i_3 个行号所标识的行的偏移值确定, 并且至少一个行号中的第 i_3 个行号所标识的行为需要分裂的行, i_3 为正整数。例如, 分裂序列的第 8 个元素指示行号 3, 则表示 LDPC

基矩阵的第 8 行用于对 LDPC 基矩阵的行号为 3 的行进行消元, 且第 8 行的偏移值依据 LDPC 基矩阵的行号为 3 的行的偏移值确定。

另一种可能的实现方式, 存储矩阵各非零元素的偏移值可以直接存储在存储矩阵中。下面结合一个具体的示例, 对方式 2 进行描述。

5 图 15 是 1 次分裂的另一个示意图。

设存储低码率矩阵 H_0 , 列数 $N = 49$, 行数 $M = 16$, H_0 如图 15 的 (a) 图所示。设分裂序列 $\theta = \begin{cases} 1,2,3,4,5,6 \\ 2,5,6,4,3,1 \\ 8,12,2,10 \end{cases}$, 分裂序列的前 6 个位置 (即第 1 行) 对应于初始矩阵 (即低码率矩阵 H_0), 位置 7~12 (即第 2 行) 对应第 1 轮分裂, 位置 13~16 (即第 3 行) 对应第 2 轮分裂, 第 2 行和第 3 行中的数字为当前要分裂的行号的一个置换, 这样每一个行号在一轮分裂中只会出现一次。

10

分裂序列的第 2 行的第 1 个数字为 2, 对应第 1 轮第 1 次分裂产生的校验矩阵要通过使用第 7 个校验方程 (即存储矩阵的第 7 行) 来对第 2 个校验方程 (即存储矩阵的第 2 行) 进行消元产生。

首先截取存储矩阵的 7 行 40 列, 校验方程 c_2 和 c_7 如下所示:

15

$c_2: x_1 + x_2 + x_3 + x_4 + x_6 + x_7 + x_8 + x_9 + x_{10} + x_{11} + x_{12} + x_{13} + x_{14} + x_{15} + x_{16} + x_{17} + x_{18} + x_{23} + x_{24} + x_{32} + x_{33} + x_{35} + x_{37} = 0;$

$c_7: x_2 + x_3 + x_4 + x_7 + x_9 + x_{10} + x_{11} + x_{14} + x_{15} + x_{32} + x_{37} + x_{40} = 0。$

对 c_2 与 c_7 进行异或加法, 得到新的校验方程 $c'_2: x_1 + x_6 + x_8 + x_{12} + x_{13} + x_{16} + x_{17} + x_{18} + x_{23} + x_{24} + x_{33} + x_{35} + x_{40} = 0$; 用 c'_2 替代 c_2 , 注意到拓展节点 x_{40} 出现在 c'_2 中; 分裂之后的校验方程矩阵 $(H_1)_{7 \times 40}$ 图 15 的 (b) 图所示。

20

依次使用分裂序列的第 1 行的第 2、3、4、5、6 元素来进行分裂产生矩阵 $(H_2)_{8 \times 41} \dots (H_6)_{12 \times 45}$, 完成第 1 轮完整合并过程; 继而转到分裂序列的第 3 行, 进行第 2 轮分裂过程。

25 在方式 2 中, 基于分裂序列的速率匹配过程与方式 1 类似, 不同的是, 在方式 2 中不是从划分表格获取用于构建消元校验方程的信息, 而是使用存储矩阵中的行作为消元校验方程。

对于以 Z_c 提升后的行作为粒度的第 R 次分裂, 同样与方式 1 中类似, 下面结合图 16 进行说明。

图 16 是精细粒度的速率匹配的一个示意图。

30

设 $Z_c=3$, 存储矩阵包含校验方程为 c_1 和 c_2 , c_1 为被消元的校验方程, 消元校验方程为 c_2 , 即 c_1 为 c_2 的父节点。设当前速率匹配仅使用 c_2 的第 1 个校验方程, 即 c_2 对应的校验位 2~3 位置进行了打孔。在此情况下, 使用 c_2 的第 1 个校验方程对 c_1 的第 1 个校验方程进行消元, 对 c_1 的第 2~3 个校验方程不进行消元。

35

图 16 的 (a) 图为存储矩阵中的 c_1 和 c_2 , 图 16 的 (b) 图为以 Z_c 提升前的行作为粒度进行消元的示意图, 图 16 的 (c) 图为以 Z_c 提升后的行作为粒度进行消元的示意图。由图 16 的 (b) 图和 (c) 可以看出, 在需要对 LDPC 基矩阵的最后一列对应的部分校验位进行打孔时, 以 Z_c 为粒度进行分裂边密度会存在损失, 而以 1 为粒度则有助于边密度的保持, 从而有助于提高编解码的性能。

此外, 需要说明的是, 若基于方式 2 得到步骤 602 中的 LDPC 基矩阵的过程中进行了

行的位置调整和/或列的位置调整,则拓展行和/或拓展列满足:将 $X-x_1$ 个拓展行和/或 $Y-y_2$ 个拓展列按照分裂顺序排序,排序后的拓展行和拓展列存在如上文所述的特征 3。

5 方式 3: 发送端存储最低码率矩阵(即存储矩阵为最低码率矩阵)和指示序列,并基于指示序列对存储矩阵进行合并产生对应译码的校验矩阵,即前文步骤 602 中的 LDPC 基矩阵。

在方式 3 中,指示序列也可以称为合并(merge)序列,为了便于理解,下文称为合并序列。合并序列用于指示存储矩阵中进行合并的行,即指示信息用于指示存储矩阵的行与行之间的合并关系。

下面对方式 3 中的存储矩阵和合并序列进行描述。

10 1) 存储矩阵

方式 3 中的存储矩阵可以是提前根据方式 1 对最高码率的矩阵进行 T 次分裂得到的低码率矩阵,当然存储矩阵也可以采用方式 1 以外的方法提前确定,但最终得到的矩阵与方式 1 中的低码率矩阵具备相同特征。

一种可能的实现方式,存储矩阵具备以下特征中的至少部分特征:

15 特征 A: 存储矩阵包括第四子矩阵和第五子矩阵,第四子矩阵包括存储矩阵的非拓展列,第五子矩阵包括存储矩阵的拓展列;第五子矩阵中的 P 列中的每一列的列重为 2; P 列中的第 p 列所包含的 2 个非零元素中的一个对应于所述第一子矩阵的第 j_1 行, P 列中的第 p 列所包含的 2 个非零元素中的另一个对应于第一子矩阵的第 j_2 行,第 j_1 行和第 j_2 行相互正交,第 p 列为所述 P 列中的任意一列;其中, P 、 p 、 j_1 、 j_2 均为正整数。

20 换句话说,存储矩阵的部分或全部拓展节点的度数为 2,并且这些拓展节点对应的两行除拓展部分之外的部分相互正交。

特征 B: 存储矩阵为 $S \times G$ 的矩阵,存储矩阵的第 $s_1+1 \sim S$ 行是拓展行,存储矩阵的第 $g_2+1 \sim G$ 列为拓展列;存储矩阵包括子矩阵 A3、子矩阵 B3、子矩阵 C3、子矩阵 D3 和子矩阵 E3,子矩阵 A3 为存储矩阵的第 $1 \sim s_1$ 行、第 $1 \sim g_1$ 列,子矩阵 B3 为存储矩阵的第 $1 \sim s_1$ 行、第 $g_1+1 \sim g_2$ 列,子矩阵 C3 为存储矩阵的第 $1 \sim s_1$ 行、第 $g_2+1 \sim G$ 列,子矩阵 D3 为存储矩阵的第 $s_1+1 \sim S$ 行、第 $1 \sim g_2$ 列,子矩阵 E3 为存储矩阵的第 $s_1+1 \sim S$ 行、第 $g_2+1 \sim G$ 列, $1 \leq s_1 \leq S$, $1 \leq g_1 \leq g_2 \leq G$, s_1 、 S 、 g_1 、 g_2 、 G 均为整数。其中,子矩阵 E3 的对角线为非零元素,子矩阵 E3 的对角线以上包括非零元素和/或子矩阵 E3 的对角线以下包括非零元素,子矩阵 C3 包括非零元素。

30 此外,需要说明的是,若在得到存储矩阵的过程中进行了行的位置调整和/或列的位置调整,则存储矩阵的拓展行和/或拓展列满足:将 $S-s_1$ 个拓展行和/或 $G-g_2$ 个拓展列按照分裂顺序排序,排序后的拓展行和拓展列存在上述特征 B。

2) 合并序列

35 合并序列可以包括多个子信息,多个子信息的排列顺序为合并顺序。多个子信息中的每个子信息用于指示存储矩阵中进行合并的两行。

可选地,上述子信息可以为拓展节点的标号,合并的行则为拓展节点对应的行,具体的对应方式可以参见上述特征 A。拓展节点的标号可以指仅针对拓展节点进行的编号时的标号,例如存储矩阵包括 10 个拓展节点,其编号依次可以为 1~10。拓展节点的标号也可以指针对所有变量节点进行编号时的标号,例如存储矩阵包括 28 个变量节点,其中包括

4 个扩展节点, 则扩展节点的标号依次可以为 25~28。

可选地, 上述子信息可以为合并的行的标号。例如, 当需要对存储矩阵的第 5 行和第 6 行进行合并时, 子信息可以包括第 5 行的标号和第 6 行的标号。

下文将以子信息为扩展节点的标号为例进行描述。扩展节点的标号为仅针对扩展节点进行的编号时的标号。

一种可能的实现方式, 合并序列中的多个子信息构成至少一个分段, 至少一个分段中的每个分段对应于一轮合并。

可选地, 至少一个分段包括的子信息所对应的存储矩阵的拓展列的标号 (即扩展节点的标号) 可以是随机的数值。

10 可选地, 至少一个分段包括的子信息所对应的存储矩阵的拓展列的标号 (即扩展节点的标号) 与存储矩阵每行的行重有关。

可选地, 至少一个分段中的第 t 个分段包括的子信息所对应的存储矩阵的拓展列的标号 (即扩展节点的标号) 为 $\{(2^{T1-t}-1)s_1+1, \dots, (2^{T1-t+1}-1)s_1\}$ 的置换形式或 $\{(2^{T1-t}-1)s_1+1, \dots, (2^{T1-t+1}-1)s_1\}$ 的子集置换形式, $T1$ 为合并轮数的上界, s_1 为存储矩阵的非拓展行的行数, $T1$ 和 t 为正整数。其中, 扩展节点的标号为仅针对扩展节点进行的编号时的标号。

可选地, 合并序列的第 t 个分段对应于第 t 轮合并。

20 由于第 t 轮合并对应的分段包括的子信息所对应的扩展节点的标号为 $\{(2^{T1-t}-1)s_1+1, \dots, (2^{T1-t+1}-1)s_1\}$ 的置换形式或 $\{(2^{T1-t}-1)s_1+1, \dots, (2^{T1-t+1}-1)s_1\}$ 的子集置换形式, 因此, 每一轮包括的多次合并可以并行执行, 有助于提高合并效率。

假设存储矩阵的每个拓展列均具备上述特征 A、子信息为扩展节点的标号, 合并序列的基本含义如下:

a) 合并序列的长度: 存储矩阵的扩展节点的总数。

b) 合并序列的分段: 合并序列按照合并轮数进行分段, 第 t 个分段对应于第 t 轮合并。

25 c) 合并序列中各数字的含义: 合并序列的第 i 个位置对应的是存储矩阵的第 i 次要进行合并的校验方程对应的扩展节点。

d) 合并序列中各数字的顺序: 由存储矩阵通过合并得到高码率矩阵的顺序。

30 一种可能的实现方式, 合并序列可以由计算公式给出, 具体地, 第 t 轮第 i 个位置元素为, $\gamma(i) = p_{t_2+1}(i - (2^{T1-t_2+1} - 1)s_1)$, 其中 t_2 为满足 $i > (2^{T1-t_2+1} - 1)s_1$ 的最大正整数。
 s_1 为存储矩阵核心部分的行数, $T1$ 为合并次数的上界。

下面结合一个具体的示例, 对基于合并序列的合并过程进行描述。

图 17 是 1 次合并的一个示意图。

35 设存储的低码率矩阵 H_0 列数 $G = 40$, 行数 $S = 16$, 即码率为 0.4, 如图 17 的 (a) 图所示。设合并序列 $\gamma = \begin{Bmatrix} 7, 12, 5, 11, 10, 8, 9, 6 \\ 3, 1, 4, 2 \end{Bmatrix}$, 其中第 1 行对应于第 1 轮合并, 第 1 行的数字为 5~12 (当前存储矩阵的要合并的校验方程对应的扩展节点的标号) 的一个置换, 这样每一个标号在一轮合并中只会出现一次。第 1 行的第 1 个数字为 7, 对应第 1 轮第 1 次合并的校验方程为第 7 个扩展节点对应的校验方程, 即如下校验方程 c_5 和 c_6 (包含的共同拓展节点是第 7 个拓展节点 x_{35}):

$$c_5: x_3 + x_8 + x_9 + x_{13} + x_{23} + x_{26} + x_{30} + x_{35} = 0$$

$$c_6: x_2 + x_6 + x_{12} + x_{16} + x_{17} + x_{22} + x_{27} + x_{35} = 0$$

对 c_5 与 c_6 进行异或加法, 得到新的校验方程 $c'_5: x_2 + x_3 + x_6 + x_8 + x_9 + x_{12} + x_{13} + x_{16} + x_{17} + x_{22} + x_{23} + x_{26} + x_{27} + x_{30} = 0$; 用 c'_5 替代 c_5 和 c_6 , 注意到 x_{35} 拓展节点被消去, 合并后的校验方程矩阵 $(H_1)_{15 \times 39}$ 如图 17 的 (b) 图所示。

- 5 后续, 依次使用合并序列的第 1 行的第 2、3、4、5、6、7、8 个元素来进行合并产生矩阵 $(H_2)_{14 \times 38} \dots (H_8)_{8 \times 32}$, 完成第 1 轮完整合并过程; 继而转到合并序列的第 2 行, 进行第 2 轮合并过程。

此外, 需要说明的是, 图 17 的 (a) 图所示的低码率矩阵是经过行的位置调整后的矩阵。

- 10 上面对合并序列和存储矩阵进行了描述。下面对基于合并序列的速率匹配过程进行描述。设存储矩阵的行数为 S 列数为 G , $S=2^{T_1}s_1$ 的, $G=g_2+(2^{T_1}-1)s_1$, 其中 s_1 为存储矩阵核心部分的行数, g_2 为存储矩阵核心部分的列数, T_1 为合并次数的上界。

一种可能的实现方式, 基于合并序列的速率匹配过程主要由以下几个步骤实现:

步骤 1, 根据目标码率、目标码长确定要构造的 LDPC 基矩阵的行数 X 和列数 Y ;

- 15 步骤 2, 根据 LDPC 基矩阵的列数 Y 来确定合并包括完整合并轮数 $1, \dots, t_3-1$ 和第 t_3 轮的前 i 次合并;

- 20 示例性地, 选取 Z_c 列表中满足 $KZ_c \geq K_0$ 的最小的 Z_c , 其中, K 为 LDPC 基矩阵的信息列的数量 (也即存储矩阵的信息列的数量), K_0 为 LDPC 基矩阵对应的信息位的数量 (即信息位的目标数量), 对 $KZ_c - K_0 + 1$ 到 KZ_c 位置进行缩短 (shorten) 处理; 确定合并次数 W , W 为满足 $R_0 \leq \frac{K}{g_1+(2^{T_1}-1)s_1-W}$ 的最大整数, 其中, R_0 为目标码率; 接下来选取 t_3 , t_3 为满足 $2^{T_1-t_3}s_1(2^t-1) \leq W$ 的最大正整数, 这样需要进行前 t_3-1 轮的完整合并以及 t_3 轮的 $i=W-(2^{t_3}-1)s_1+(2^{T_1-t_3}-1)s_1$ 次合并。

步骤 3, 顺序选取合并序列的 W 个元素, 完成前 t_3-1 轮的完整合并以及 t_3 轮的 $i=W-(2^{t_3}-1)s_1+(2^{T_1-t_3}-1)s_1$ 次合并。

- 25 由于合并序列具有上文所述的置换特性, 因此每一轮合并的多次合并可以并行进行。

需要指出的是, 上述 Z_c 、 W 、 t_3 等需要满足的条件均为示例性的, 可以替换为其他可以实现的条件。

- 30 还需要指出的是, W 次合并可以按照上文所述的分为多轮合并, 且每轮合并的多次合并并行执行。当然, W 次合并也可以依次执行或者说串行执行, 在此情况下, 合并序列可以没有分段的概念, 在确定合并次数 W 后, 可以根据 W 获取合并序列的前 W 个子信息, 然后依次进行 W 次合并。

- 35 与分裂类似, 对于上述 W 次合并中的前 $W-1$ 次合并, 可以 Z_c 提升前的行作为粒度进行合并, 换句话说, 以 QC 结构或 Z_c 作为粒度进行合并; 对于第 W 次合并, 即最后一次合并, 可以 Z_c 提升前的行作为粒度进行合并, 也可以 Z_c 提升后的行 (即 1) 作为粒度进行合并。例如, 当对 LDPC 基矩阵的最后一列对应的部分校验位进行打孔时, 第 W 次合并可以以 Z_c 提升后的行作为粒度。又例如, 结合上文, 假设 $WZ_c - N_0$ 可以对应最大标号的拓展节点的打孔位, 对于 $(W-1)Z_c - N_0$ 按照 1 为粒度进行合并, 其中 N_0 为目标码长。

方式 4: 发送端存储最低码率矩阵 (即存储矩阵为最低码率矩阵)、偏移值表格和指示序列, 并基于指示序列读取存储矩阵和偏移值表格得到使用的 LDPC 基矩阵。

其中, 存储矩阵用于存储变量节点和校验节点的连接关系, 存储矩阵的非零元素的偏移值根据偏移值表格得到, 偏移值表格用于存储存储矩阵的非拓展行的各位置的偏移值。指示序列包括至少一个行号, 至少一个行号中的第 i_3 个行号指示 LDPC 基矩阵的第 i_3 行的偏移值基于至少一个行号中的第 i_3 个行号所标识的行的偏移值确定, i_3 为正整数。

5 例如, 期望得到的 LDPC 基矩阵为 7 行 29 列的矩阵, 存储矩阵存储了各个变量节点和各个校验节点的连接关系, 偏移值表格存储了核心部分 6 行 28 列的各位置的偏移值, 指示序列的第 7 个行号为 2。对于 LDPC 基矩阵的第 7 行, 发送端可以根据存储矩阵第 7 行的连接关系, 从偏移值表格中对应于存储矩阵的第 2 行的偏移值确定第 7 行的偏移值。

即, 编码使用的 LDPC 基矩阵是根据指示序列读取存储矩阵和偏移值表格得到的。

10 存储矩阵的描述可以参考方式 2 和指示序列的描述可以参考方式 1, 在此不再赘述。在方式 4 中, 速率匹配过程与方式 1 类似不再赘述。

本申请还提供了另一种基于 LDPC 码的通信方法, 该方法中的存储矩阵的部分或全部拓展节点的度数为 2, 并且这些拓展节点对应的两行除拓展部分之外的部分相互正交, 因此可以通过对这些拓展节点进行打孔实现合并的效果, 从而实现由低码率到高码率。

15 下面对该基于 LDPC 码的通信方法进行描述。

图 18 是本申请提供的基于 LDPC 码的通信方法 1800 的示意性流程图。

方法 1800 可以由发送端和接收端执行, 也可以由发送端和接收端中的模块或单元执行, 为了描述方便, 下文统一称为发送端和接收端。方法 1800 可以包括以下内容的至少部分内容。

20 步骤 1801, 发送端获取信息比特序列。

也就是说, 若发送端需要与接收端通信, 即发送端需要向接收端发送信号, 则发送端需要先获取需要向接收端发送的信号对应的信息比特序列。

可选地, 发送端获取待发送信息序列, 可以指: 发送端对信源符号进行信源编码, 生成信息比特序列。发送端获取待发送信息序列, 还可以指: 发送端从其他通信装置接收信息比特序列。

25 步骤 1802, 发送端根据 LDPC 基矩阵对信息比特序列进行 LDPC 编码, 得到 LDPC 码字序列。

其中, LDPC 基矩阵为发送端存储的矩阵, 即存储矩阵。存储矩阵可以是提前根据方式 1 对最高码率的矩阵进行 T 次分裂得到的低码率矩阵, 当然存储矩阵也可以采用方式 1 以外的方法提前确定, 但最终得到的矩阵与方式 1 中的低码率矩阵具备相同特征。

一种可能的实现方式, 存储矩阵具备以下特征中的至少部分特征:

30 特征 A: 存储矩阵包括第四子矩阵和第五子矩阵, 第四子矩阵包括存储矩阵的非拓展列, 第五子矩阵包括存储矩阵的拓展列; 第五子矩阵中的 P 列中的每一列的列重为 2; P 列中的第 p 列所包含的 2 个非零元素中的一个对应于所述第一子矩阵的第 j_1 行, P 列中的第 p 列所包含的 2 个非零元素中的另一个对应于第一子矩阵的第 j_2 行, 第 j_1 行和第 j_2 行相互正交, 第 p 列为所述 P 列中的任意一列; 其中, P、p、 j_1 、 j_2 均为正整数。

换句话说, 存储矩阵的部分或全部拓展节点的度数为 2, 并且这些拓展节点对应的两行除拓展部分之外的部分相互正交。

特征 B: 存储矩阵为 $S \times G$ 的矩阵, 存储矩阵的第 $s_1+1 \sim S$ 行是拓展行, 存储矩阵的第

$g_2+1\sim G$ 列为拓展列；存储矩阵包括子矩阵 A3、子矩阵 B3、子矩阵 C3、子矩阵 D3 和子矩阵 E3，子矩阵 A3 为存储矩阵的第 $1\sim s_1$ 行、第 $1\sim g_1$ 列，子矩阵 B3 为存储矩阵的第 $1\sim s_1$ 行、第 $g_1+1\sim g_2$ 列，子矩阵 C3 为存储矩阵的第 $1\sim s_1$ 行、第 $g_2+1\sim G$ 列，子矩阵 D3 为存储矩阵的第 $s_1+1\sim S$ 行、第 $1\sim g_2$ 列，子矩阵 E3 为存储矩阵的第 $s_1+1\sim S$ 行、第 $g_2+1\sim G$ 列， $1\leq s_1\leq S$ ， $1\leq g_1\leq g_2\leq G$ ， s_1 、 S 、 g_1 、 g_2 、 G 均为整数。其中，子矩阵 E3 的对角线为非零元素，子矩阵 E3 的对角线以上包括非零元素和/或子矩阵 E3 的对角线以下包括非零元素，子矩阵 C3 包括非零元素。

此外，需要说明的是，若在得到存储矩阵的过程中进行了行的位置调整和/或列的位置调整，则存储矩阵的拓展行和/或拓展列满足：将 $S-s_1$ 个拓展行和/或 $G-g_2$ 个拓展列按照分裂顺序排序，排序后的拓展行和拓展列存在上述特征 B。

步骤 1803，发送端根据指示信息向接收端发送第二 LDPC 码字序列，或者说接收端接收来自发送端的第二 LDPC 码字序列。

本申请不限定指示信息的具体形式。一种可能的实现方式，指示信息所采用的形式可以包括：指示序列、映射表格、或映射对中的至少一个，具体可以参考图 6 中的描述，在此不再赘述。同样，为了方便描述，下文以指示序列为例对本申请的技术方案进行描述，其中的指示序列可以替换为等同的映射表格或映射对等形式。

指示序列也可以称为打孔 (puncture) 序列，为了便于理解，下文称为打孔序列。打孔序列用于指示存储矩阵中被打孔的拓展列。需要指出的是，这里的存储矩阵被打孔的拓展列属于上文特征 A 中的所述 P 列。

发送端发送的第二 LDPC 码字序列包括第一 LDPC 码字序列中除存储矩阵被打孔的拓展列所对应的码字以外的码字，换句话说，第二 LDPC 码字不包括第一 LDPC 码字序列中与存储矩阵被打孔的拓展列相对应的码字。

在存储矩阵的部分或全部拓展列被打孔的情况下，存储矩阵本身没有发生变化，但是由于对度数为 2 的列进行打孔，该列对应的两个校验方程（即存储矩阵的两行）异或结果为 0，即等价于将这两行进行了合并。这样，通过打孔的方式可以实现如上文方式 3 所示的合并效果。

下面对打孔序列进行描述。

打孔序列与上文所述的合并序列类似，可以包括多个子信息，多个子信息的排列顺序为打孔顺序。多个子信息中的每个子信息用于指示存储矩阵中被打孔的拓展列。

可选地，上述子信息可以为拓展节点的标号。拓展节点的标号可以指仅针对拓展节点进行的编号时的标号，例如存储矩阵包括 10 个拓展节点，其编号依次可以为 1~10。拓展节点的标号也可以指针对所有变量节点进行编号时的标号，例如存储矩阵包括 28 个变量节点，其中包括 4 个拓展节点，则拓展节点的标号依次可以为 25~28。

下文以拓展节点的标号为仅针对拓展节点进行的编号时的标号为例进行描述。

一种可能的实现方式，打孔序列中的多个子信息构成至少一个分段，至少一个分段中的每个分段对应于一轮打孔。

可选地，至少一个分段包括的子信息所对应的存储矩阵的拓展列的标号（即拓展节点的标号）可以是随机的数值。

可选地，至少一个分段包括的子信息所对应的存储矩阵的拓展列的标号（即拓展节点

的标号)与存储矩阵每行的行重有关。

可选地,至少一个分段中的第 t 个分段包括的子信息所对应的存储矩阵的拓展列的标号(即拓展节点的标号)为 $\{(2^{T_2-t}-1)s_1+1, \dots, (2^{T_2-t+1}-1)s_1\}$ 的置换形式或 $\{(2^{T_2-t}-1)s_1+1, \dots, (2^{T_2-t+1}-1)s_1\}$ 的子集置换形式, T_2 为打孔轮数的上界, s_1 为存储矩阵的非拓展行的行数, T_2 和 t 为正整数。

可选地,打孔序列的第 t 个分段对应于第 t 轮打孔。

由于第 t 轮打孔对应的分段包括的子信息所对应的拓展节点的标号为 $\{(2^{T_2-t}-1)s_1+1, \dots, (2^{T_2-t+1}-1)s_1\}$ 的置换形式或 $\{(2^{T_2-t}-1)s_1+1, \dots, (2^{T_2-t+1}-1)s_1\}$ 的子集置换形式,因此,每一轮包括的多次打孔可以并行执行,有助于提高打孔效率。

10 假设存储矩阵的每个拓展列均具备上述特征 A、打孔序列的基本含义如下:

a) 打孔序列的长度: 存储矩阵的拓展节点的总数。

b) 打孔序列的分段: 打孔序列按照打孔轮数进行分段,第 t 个分段对应于第 t 轮打孔。

c) 打孔序列中各数字的含义: 打孔序列的第 i 个位置对应的是存储矩阵的第 i 次要进行打孔的拓展节点的标号。

15 d) 打孔序列中各数字的顺序: 由存储矩阵通过打孔得到高码率矩阵的顺序。

一种可能的实现方式,打孔序列可以由计算公式给出,具体地,第 t 轮第 i 个位置元素为 $\gamma(i) = p_{t_4+1}(i - (2^{T_2-t_4+1} - 1)s_1)$, 其中 t_4 为满足 $i > (2^{T_2-t_4+1} - 1)s_1$ 的最大正整数, s_1 为存储矩阵核心部分的行数, T_2 为打孔次数的上界。

下面对基于打孔序列的速率匹配过程进行描述。

20 设存储矩阵的行数为 S 列数为 G , $S=2^{T_2}s_1$ 的, $G=g_2+(2^{T_2}-1)s_1$, 其中 s_1 为存储矩阵核心部分的行数, g_2 为存储矩阵核心部分的列数, T_2 为打孔次数的上界。

一种可能的实现方式,基于打孔序列的速率匹配过程主要由以下几个步骤实现:

步骤 1, 根据目标码率、目标码长确定打孔包括完整打孔轮数 $1, \dots, t_5 - 1$ 和第 t_5 轮的前 i 次打孔;

25 示例性地,选取 Z_c 列表中满足 $KZ_c \geq K_0$ 的最小的 Z_c , 其中, K 为 LDPC 基矩阵的信息列的数量(也即存储矩阵的信息列的数量), K_0 为信息位的目标数量,对 $KZ_c - K_0 + 1$ 到 KZ_c 位置进行缩短(shorten)处理;确定打孔次数 J , J 为满足 $R_0 \leq \frac{K}{g_2+(2^{T_2}-1)s_2-J}$ 的最大整数,其中, R_0 为目标码率;接下来选取 t_5 , t_5 为满足 $2^{T_2-t_5}s_1(2^{t_5}-1) \leq J$ 的最大正整数,这样需要进行前 t_5-1 轮的完整打孔以及第 t_5 轮的 $i=J-(2^{t_5}-1)s_1+(2^{T_2-t_5}-1)s_1$ 次打孔。

30 步骤 3, 顺序选取打孔序列的 J 个元素,完成前 t_5-1 轮的完整打孔以及 t_5 轮的 $i=J-(2^{t_5}-1)s_1+(2^{T_2-t_5}-1)s_1$ 次打孔。

由于打孔序列具有上文所述的置换特性,因此每一轮打孔的多次打孔可以并行进行。

需要指出的是,上述 Z_c 、 J 、 t_5 等需要满足的条件均为示例性的,可以替换为其他可以实现的条件。

35 还需要指出的是, J 次打孔可以按照上文所述的分为多轮打孔,且每轮打孔的多次打孔并行执行。当然, J 次打孔也可以依次执行或者说串行执行,在此情况下,打孔序列可以没有分段的概念,在确定打孔次数 J 后,可以根据 J 获取打孔序列的前 J 个子信息,然后依次进行 J 次打孔。 J 次打孔也可以一次执行,打孔序列同样可以没有分段的概念,在确定打孔次数 J 后,可以根据 J 获取打孔序列的前 J 个子信息,然后一次完成对 J 个拓展

节点的打孔。

与分裂类似，对于上述 J 次打孔中的前 J-1 次打孔，可以 Z_c 提升前的行作为粒度进行打孔，换句话说，以 QC 结构或 Z_c 作为粒度进行打孔；对于第 J 次打孔，即最后一次打孔，可以以 Z_c 提升前的行作为粒度进行打孔，也可以以 Z_c 提升后的行（即 1）作为粒度进行打孔。当以 Z_c 提升后的行作为粒度进行打孔时，可以实现对最后一个被打孔的列对应的部分校验位进行打孔。

步骤 1804，接收端根据打孔序列和 LDPC 基矩阵对第二 LDPC 码字进行译码。

具体地，接收端可以根据打孔序列对第二 LDPC 码字对应的 LLR 序列的相应位置上补零，并对补零之后的 LLR 序列进行译码，其中，LLR 序列的相应位置是打孔序列指示的位置。

接收端使用的打孔序列、LDPC 基矩阵、以及基于打孔序列的速率匹配过程与发送端的相同，可以参考发送端的描述，在此不再赘述。

下面结合一个具体的示例，对打孔序列、存储矩阵及其使用方式进行描述。

设存储的低码率矩阵 H_0 列数 $G = 40$ ，行数 $S = 16$ ，即码率为 0.4，如图 17 的 (a) 图所示。设打孔序列 $\beta = \begin{Bmatrix} 7, 12, 5, 11, 10, 8, 9, 6 \\ 3, 1, 4, 2 \end{Bmatrix}$ ，其中第 1 行对应于第 1 轮打孔，第 1 行的数字为 5~12（当前存储矩阵的要打孔的拓展节点的标号）的一个置换，这样每一个标号在一轮打孔中只会出现一次。第 1 行的第 1 个数字为 7，对应第 1 轮第 1 次打孔的拓展节点为第 7 个拓展节点 x_{35} 。

注意到第 7 个拓展节点 x_{35} 拓展节点打孔后，存储矩阵本身没有发生变化，但是由于 x_{35} 的度数为 2，与 x_{35} 对应的校验方程 c_5 和 c_6 等价于 $c_5 \oplus c_6 = 0$ ，即等价于 c_5 和 c_6 进行了合并。后续，依次使用打孔序列的第 1 行的第 2、3、4、5、6、7、8 个元素来对存储矩阵进行打孔，完成第 1 轮完整打孔过程；继而转到打孔序列的第 2 行，进行第 2 轮打孔过程。

需要说明的是，本申请的上述实施例可以独立实施，也可以以恰当的方式结合在一起实施，本申请不予限制。

上文结合图 6 至图 18，详细描述了本申请提供的方法，下面将结合图 19 至图 20，详细描述本申请的装置实施例。

可以理解的是，为了实现上述实施例中功能，图 19 或图 20 中的装置包括了执行各个功能相应的硬件结构和/或软件模块。本领域技术人员应该很容易意识到，结合本申请中所公开的实施例描述的各示例的单元及方法步骤，本申请能够以硬件或硬件和计算机软件相结合的形式来实现。

图 19 和图 20 为本申请的实施例提供的可能的装置的结构示意图。这些装置可以用于实现上述方法实施例中发送端或接收端的功能，因此也能实现上述方法实施例所具备的有益效果。

如图 19 所示，装置 10 包括收发单元 11 和处理单元 12。

在一些实现方式中：

当装置 10 用于实现上述方法实施例中发送端的功能时，收发单元 11 用于：获取信息比特序列。处理单元 12 用于：根据 LDPC 基矩阵对所述信息比特序列进行 LDPC 编码，得到 LDPC 码字序列，其中，所述 LDPC 基矩阵是基于存储矩阵和指示信息得到的，所述指示信息用于指示所述存储矩阵行与行之间的对应关系或者所述 LDPC 基矩阵行与行之

间的对应关系,所述 LDPC 基矩阵的非拓展列的列重之和与所述存储矩阵的非拓展列的列重之和相等。收发单元 11 还用于:发送所述 LDPC 码字序列。

- 5 当装置 10 用于实现上述方法实施例中接收端的功能时,收发单元 11 用于:接收来自发送端的 LDPC 码字序列;根据 LDPC 基矩阵对所述 LDPC 码字序列进行译码,其中,所述 LDPC 基矩阵是基于存储矩阵和指示信息得到的,所述指示信息用于指示所述存储矩阵行与行之间的对应关系或者所述 LDPC 基矩阵行与行之间的对应关系,所述 LDPC 基矩阵的非拓展列的列重之和与所述存储矩阵的非拓展列的列重之和相等。

可选地,所述 LDPC 基矩阵对应的码率与所述存储矩阵对应的码率不同。

- 10 可选地,所述 LDPC 基矩阵包括第一子矩阵和第二子矩阵,所述第一子矩阵包括所述 LDPC 基矩阵的非拓展列,所述第二子矩阵包括所述 LDPC 基矩阵的拓展列;所述第二子矩阵中的 Q 列中的每一列的列重为 2;所述 Q 列中的第 q 列所包含的 2 个非零元素中的一个对应于所述第一子矩阵的第 i_1 行,所述 Q 列中的第 q 列所包含的 2 个非零元素中的另一个对应于所述第一子矩阵的第 i_2 行,所述第 i_1 行和所述第 i_2 行相互正交,所述第 q 列为所述 Q 列中的任意一列;其中, Q 、 q 、 i_1 、 i_2 均为正整数。

- 15 可选地,所述 LDPC 基矩阵为 $X \times Y$ 的矩阵,所述 LDPC 基矩阵的第 $y_2+1 \sim Y$ 列为拓展列;所述 LDPC 基矩阵包括子矩阵 A1、子矩阵 B1、子矩阵 C1、子矩阵 D1 和子矩阵 E1,所述子矩阵 A1 为所述 LDPC 基矩阵的第 $1 \sim x_1$ 行、第 $1 \sim y_1$ 列,所述子矩阵 B1 为所述 LDPC 基矩阵的第 $1 \sim x_1$ 行、第 $y_1+1 \sim y_2$ 列,所述子矩阵 C1 为所述 LDPC 基矩阵的第 $1 \sim x_1$ 行、第 $y_2+1 \sim Y$ 列,所述子矩阵 D1 为所述 LDPC 基矩阵的第 $x_1+1 \sim X$ 行、第 $1 \sim y_2$ 列,所述子矩阵 E1 为所述 LDPC 基矩阵的第 $x_1+1 \sim X$ 行、第 $y_2+1 \sim Y$ 列, $1 \leq x_1 \leq X$, $1 \leq y_1 \leq y_2 \leq Y$, x_1 、 X 、 y_1 、 y_2 、 Y 均为整数;其中,所述子矩阵 E1 的对角线为非零元素,所述子矩阵 E1 的对角线以上包括非零元素和/或所述子矩阵 E1 的对角线以下包括非零元素,所述子矩阵 C1 包括非零元素。

- 25 可选地,所述指示信息所采用的形式包括:指示序列、映射表格、或映射对中的至少一个。

可选地,所述指示信息用于指示所述 LDPC 基矩阵行与行之间的对应关系,所述存储矩阵用于存储变量节点和校验节点的连接关系,所述存储矩阵的非零元素的偏移值根据偏移值表格得到,所述偏移值表格用于存储所述存储矩阵的非拓展行的各位置的偏移值。

- 30 可选地,所述指示信息采用指示序列的形式,所述 LDPC 基矩阵是根据所述指示序列读取所述存储矩阵和偏移值表格得到的,所述指示序列包括至少一个行号,所述至少一个行号中的第 i_3 个行号指示所述 LDPC 基矩阵的第 i_3 行的偏移值基于所述至少一个行号中的第 i_3 个行号所标识的行的偏移值确定, i_3 为正整数。

- 35 可选地,所述指示信息采用指示序列的形式,所述 LDPC 基矩阵是根据所述指示序列对所述存储矩阵进行分裂得到的,所述指示序列包括至少一个行号,所述至少一个行号中的第 m_1+r 个行号指示所述 LDPC 基矩阵的第 m_1+r 行用于对所述至少一个行号中的第 m_1+r 个行号所标识的行进行消元处理,所述至少一个行号的排序顺序为分裂顺序, m_1 为所述存储矩阵的非拓展行的行数, r 为正整数。

可选地,所述至少一个行号包括至少一个分段,所述至少一个分段中的每个分段对应于一轮分裂,所述至少一个分段对应的至少一轮分裂中的第 t 轮分裂所对应的分段中的行

号为 $\{1, \dots, 2^{t-1}m_1\}$ 的置换形式或 $\{1, \dots, 2^{t-1}m_1\}$ 的子集的置换形式, t 为正整数。

可选地, 所述存储矩阵为 $M \times N$ 的矩阵, 所述存储矩阵的第 $m_1+1 \sim M$ 行是为拓展行; 所述存储矩阵包括子矩阵 A2、子矩阵 B2、子矩阵 C2、子矩阵 D2 和子矩阵 E2, 所述子矩阵 A2 为所述存储矩阵的第 $1 \sim m_1$ 行、第 $1 \sim n_1$ 列, 所述子矩阵 B2 为所述存储矩阵的第 $1 \sim m_1$ 行、第 $n_1+1 \sim n_2$ 列, 所述子矩阵 C2 为所述存储矩阵的第 $1 \sim m_1$ 行、第 $n_2+1 \sim N$ 列, 所述子矩阵 D2 为所述存储矩阵的第 $m_1+1 \sim M$ 行、第 $1 \sim n_2$ 列, 所述子矩阵 E2 为所述存储矩阵的第 $m_1+1 \sim M$ 行、第 $n_2+1 \sim N$ 列, $1 \leq m_1 \leq M$, $1 \leq n_1 \leq n_2 \leq N$, m_1 、 M 、 n_1 、 n_2 、 N 均为整数; 其中, 所述子矩阵 D2 的第 a_1 行真包含于第三子矩阵的第 b_1 行和/或所述子矩阵 D2 的第 a_2 , 所述第三子矩阵由所述子矩阵 A2 和所述子矩阵 B2 组成, 所述第 a_1 行是所述子矩阵 D2 的任意一行。

可选地, 所述第 a_1 行中的每个非零元素的偏移值与所述第 b_1 行中的对应位置的非零元素的偏移值之间的差值相同, 和/或, 所述第 a_1 行中的每个非零元素的偏移值与所述第 b_1 行中的对应位置的非零元素的偏移值之间的差值相同。

可选地, 与所述第三子矩阵的第 b_2 行对应的所述子矩阵 D2 中的多行各不相同, 所述第 b_2 行是所述第三子矩阵的任意一行。

可选地, 所述第 a_1 行与所述第 b_1 行的对应关系、以及所述第 a_1 行与所述第 a_2 行的对应关系是根据所述指示信息确定的。

可选地, 处理单元 12 还用于: 根据所述 LDPC 基矩阵对应的码长、所述 LDPC 基矩阵对应的信息位的数量、以及所述 LDPC 基矩阵的信息列的数量, 确定分裂次数 R ; 对所述存储矩阵进行 R 次分裂, 得到所述 LDPC 基矩阵; 其中, 所述 R 次分裂中的第 r 次分裂包括以下操作: 获取所述指示序列的第 m_1+r 个行号; 使用所述存储矩阵的第 m_1+r 行对所述存储矩阵中与所述第 m_1+r 个行号相对应的行进行消元处理; 其中, m_1 为所述存储矩阵的非拓展行的行数, 所述第 r 次分裂为所述 R 次分裂中的任意一次, r 为正整数。

可选地, 所述存储矩阵不包括拓展列。

可选地, 所述 LDPC 基矩阵是基于所述存储矩阵、所述指示序列和划分表格得到的, 其中, 所述划分表格中的一行用于构造所述 LDPC 基矩阵的一个拓展行。

可选地, 处理单元 12 还用于: 根据所述 LDPC 基矩阵对应的码长、所述 LDPC 基矩阵对应的信息位的数量、以及所述 LDPC 基矩阵的信息列的数量, 确定分裂次数 R ; 对所述存储矩阵进行 R 次分裂, 得到所述 LDPC 基矩阵; 其中, 所述 R 次分裂中的第 r 次分裂包括以下操作: 获取划分表格的第 r 行, 并根据所述第 r 行构造所述存储矩阵的第 r 个拓展行; 获取所述指示序列的第 $M+r$ 个行号; 使用所述第 r 个拓展行对第 k 行进行消元处理, 所述第 k 行是所述存储矩阵或所述存储矩阵的前 $r-1$ 个拓展行中与所述第 $M+r$ 个行号相对应的行; 其中, M 为所述存储矩阵的行数, 所述第 r 次分裂为所述 R 次分裂中的任意一次, r 为正整数。

可选地, 所述 R 为满足 $RZ_c \geq N_0 - K_0$ 的最小整数; 其中, Z_c 为提升值, 且 Z_c 为 Z_c 列表中满足 $KZ_c \geq K_0$ 的最小的 Z_c ; N_0 为所述 LDPC 基矩阵对应的码长; K_0 为所述 LDPC 基矩阵对应的信息位的数量; K 为所述 LDPC 基矩阵的信息列的数量。

可选地, 若对所述 LDPC 基矩阵的最后一列对应的部分校验位进行打孔, 则所述 R 次分裂的最后一次分裂以 Z_c 提升后的行作为粒度; 其中, Z_c 为提升值, 且 Z_c 为 Z_c 列表中

满足 $KZ_c \geq K_0$ 的最小的 Z_c ; K_0 为所述 LDPC 基矩阵对应的信息位的数量; K 为所述 LDPC 基矩阵的信息列的数量。

5 可选地, 所述指示信息采用指示序列的形式, 所述 LDPC 基矩阵是根据指示序列对所述存储矩阵进行合并得到的, 所述指示序列包括多个子信息, 所述多个子信息中的每个子信息用于指示所述存储矩阵中进行合并的两行, 所述子信息的排列顺序为合并顺序。

10 可选地, 所述多个子信息包括至少一个分段, 所述至少一个分段中的每个分段对应于一轮合并, 所述至少一个分段中的第 t 个分段包括的所述子信息所对应的所述存储矩阵的拓展列的标号为 $\{(2^{T-t}-1)s_1+1, \dots, (2^{T-t}-1)s_1\}$ 的置换形式或 $\{(2^{T-t}-1)s_1+1, \dots, (2^{T-t}-1)s_1\}$ 的子集置换形式, T 为合并轮数的上界, s_1 为所述存储矩阵的非拓展行的行数, T 和 t 为正整数。

15 可选地, 所述存储矩阵包括第四子矩阵和第五子矩阵, 所述第四子矩阵包括所述存储矩阵的非拓展列, 所述第五子矩阵包括所述存储矩阵的拓展列; 所述第五子矩阵中的 P 列中的每一列的列重为 2; 所述 P 列中的第 p 列所包含的 2 个非零元素中的一个对应于所述第一子矩阵的第 j_1 行, 所述 P 列中的第 p 列所包含的 2 个非零元素中的另一个对应于所述第一子矩阵的第 j_2 行, 所述第 j_1 行和所述第 j_2 行相互正交, 所述第 p 列为所述 P 列中的任意一列; 其中, P 、 p 、 j_1 、 j_2 均为正整数。

20 可选地, 所述存储矩阵为 $S \times G$ 的矩阵, 所述存储矩阵的第 $s_1+1 \sim S$ 行是拓展行, 所述存储矩阵的第 $g_2+1 \sim G$ 列为拓展列; 所述存储矩阵包括子矩阵 A3、子矩阵 B3、子矩阵 C3、子矩阵 D3 和子矩阵 E3, 所述子矩阵 A3 为所述存储矩阵的第 $1 \sim s_1$ 行、第 $1 \sim g_1$ 列, 所述子矩阵 B3 为所述存储矩阵的第 $1 \sim s_1$ 行、第 $g_1+1 \sim g_2$ 列, 所述子矩阵 C3 为所述存储矩阵的第 $1 \sim s_1$ 行、第 $g_2+1 \sim G$ 列, 所述子矩阵 D3 为所述存储矩阵的第 $s_1+1 \sim S$ 行、第 $1 \sim g_2$ 列, 所述子矩阵 E3 为所述存储矩阵的第 $s_1+1 \sim S$ 行、第 $g_2+1 \sim G$ 列, $1 \leq s_1 \leq S$, $1 \leq g_1 \leq g_2 \leq G$, s_1 、 S 、 g_1 、 g_2 、 G 均为整数; 其中, 所述子矩阵 E3 的对角线为非零元素, 所述子矩阵 E3 的对角线以上包括非零元素和/或所述子矩阵 E3 的对角线以下包括非零元素, 所述子矩阵 C3 包括非零元素。

25 可选地, 处理单元 12 还用于: 根据所述 LDPC 基矩阵对应的码率、所述 LDPC 基矩阵的信息列的数量、所述存储矩阵的非拓展行的行数、所述存储矩阵的非拓展列的列数、以及合并轮数的上界 T , 确定合并次数 W ; 对所述存储矩阵进行 W 次合并, 得到所述 LDPC 基矩阵; 其中, 所述 W 次分裂中的第 w 次合并包括以下操作: 获取所述指示序列的第 w 个子信息; 对所述第 w 个子信息所指示的两行进行合并; 其中, 所述第 w 次合并为所述 W 次合并中的任意一次, w 为正整数。

30 可选地, 所述 W 为满足 $R_0 \leq \frac{K}{g_1+(2^{T1}-1)s_1-W}$ 的最小整数; 其中, R_0 为所述 LDPC 基矩阵对应的码率; K 为所述 LDPC 基矩阵的信息列的数量; s_1 为所述存储矩阵的非拓展行的行数; g_1 为所述存储矩阵的非拓展列的列数; $T1$ 为合并轮数的上界。

35 可选地, 若对所述 LDPC 基矩阵的最后一列对应的部分校验位进行打孔, 则所述 W 次合并的最后一次合并以 Z_c 提升后的行作为粒度; 其中, Z_c 为提升值, 且 Z_c 为 Z_c 列表中满足 $KZ_c \geq K_0$ 的最小的 Z_c ; K_0 为所述 LDPC 基矩阵对应的信息位的数量; K 为所述 LDPC 基矩阵的信息列的数量。

在另一些实现方式中:

当装置 10 用于实现上述方法实施例中发送端的功能时,收发单元 11 用于:获取信息比特序列。处理单元 12 用于:根据存储矩阵对所述信息比特序列进行 LDPC 编码,得到第一 LDPC 码字序列,其中,所述存储矩阵包括第四子矩阵和第五子矩阵,所述第四子矩阵包括所述存储矩阵的非拓展列,所述第五子矩阵包括所述存储矩阵的拓展列;所述第五子矩阵中的 P 列中的每一列的列重为 2;所述 P 列中的第 p 列所包含的 2 个非零元素中的一个对应于所述第一子矩阵的第 j_1 行,所述 P 列中的第 p 列所包含的 2 个非零元素中的另一个对应于所述第一子矩阵的第 j_2 行,所述第 j_1 行和所述第 j_2 行相互正交,所述第 p 列为所述 P 列中的任意一列;其中, P、p、 j_1 、 j_2 均为正整数。收发单元 11 还用于:根据指示信息,发送第二 LDPC 码字序列,所述指示信息用于指示所述第五子矩阵中被打孔的列,所述第二 LDPC 码字序列包括所述第一 LDPC 码字序列中除所述第五子矩阵中被打孔的列所对应的码字以外的码字。

当装置 10 用于实现上述方法实施例中发送端的功能时,收发单元 11 用于:接收来自发送端的 LDPC 码字序列。处理单元 12 用于:根据存储矩阵和指示信息,对所述 LDPC 码字序列进行译码,其中,所述存储矩阵包括第四子矩阵和第五子矩阵,所述第四子矩阵包括所述存储矩阵的非拓展列,所述第五子矩阵包括所述存储矩阵的拓展列;所述第五子矩阵中的 P 列中的每一列的列重为 2;所述 P 列中的第 p 列所包含的 2 个非零元素中的一个对应于所述第一子矩阵的第 j_1 行,所述 P 列中的第 p 列所包含的 2 个非零元素中的另一个对应于所述第一子矩阵的第 j_2 行,所述第 j_1 行和所述第 j_2 行相互正交,所述第 p 列为所述 P 列中的任意一列, P、p、 j_1 、 j_2 均为正整数;所述指示信息用于指示所述第五子矩阵中被打孔的列,所述第二 LDPC 码字序列包括所述第一 LDPC 码字序列中除所述第五子矩阵中被打孔的列所对应的码字以外的码字。

可选地,所述存储矩阵为 $S \times G$ 的矩阵,所述存储矩阵的第 $s_1+1 \sim S$ 行是拓展行,所述存储矩阵的第 $g_2+1 \sim G$ 列为拓展列;所述存储矩阵包括子矩阵 A3、子矩阵 B3、子矩阵 C3、子矩阵 D3 和子矩阵 E3,所述子矩阵 A3 为所述存储矩阵的第 $1 \sim s_1$ 行、第 $1 \sim g_1$ 列,所述子矩阵 B3 为所述存储矩阵的第 $1 \sim s_1$ 行、第 $g_1+1 \sim g_2$ 列,所述子矩阵 C3 为所述存储矩阵的第 $1 \sim s_1$ 行、第 $g_2+1 \sim G$ 列,所述子矩阵 D3 为所述存储矩阵的第 $s_1+1 \sim S$ 行、第 $1 \sim g_2$ 列,所述子矩阵 E3 为所述存储矩阵的第 $s_1+1 \sim S$ 行、第 $g_2+1 \sim G$ 列, $1 \leq s_1 \leq S$, $1 \leq g_1 \leq g_2 \leq G$, s_1 、S、 g_1 、 g_2 、G 均为整数;其中,所述子矩阵 E3 的对角线为非零元素,所述子矩阵 E3 的对角线以上包括非零元素和/或所述子矩阵 E3 的对角线以下包括非零元素,所述子矩阵 C3 包括非零元素。

可选地,所述指示信息所采用的形式包括:指示序列、映射表格、或映射对中的至少一个。

可选地,所述指示信息采用指示序列的形式,所述指示序列包括多个子信息,所述多个子信息中的每个子信息用于指示所述存储矩阵的拓展列中的一列,所述多个子信息的排列顺序为打孔顺序。

可选地,所述多个子信息包括至少一个分段,所述至少一个分段中的每个分段对应于一轮打孔,所述至少一个分段中的第 t 个分段包括的所述子信息所指示的拓展列的标号为 $\{(2^{T-t}-1)s_1+1, \dots, 2^{T-t+1}-1)s_1\}$ 的置换形式或 $\{(2^{T-t}-1)s_1+1, \dots, 2^{T-t+1}-1)s_1\}$ 的子集置换形式, T 为合并轮数的上界, s_1 为所述存储矩阵的非拓展行的行数, T 和 t 为正整数。

可选地, 所述指示序列包括的子信息的数量 J 为满足 $R_0 \leq \frac{K}{g_2 + (2^{T_2} - 1)s_1 - J}$ 的最小整数; 其中, R_0 为目标码率; K 为信息列的目标数量; s_1 为所述存储矩阵的非拓展行的行数; g_2 为所述存储矩阵的非拓展列的列数; T_2 为合并轮数的上界。

关于上述收发单元 11 和处理单元 12 更详细的描述, 可参考上述方法实施例中的相关描述, 在此不再说明。

如图 20 示, 装置 20 包括处理器 21。处理器 21 与存储器 23 耦合, 存储器 23 用于存储指令。当装置 20 用于实现上文所述的方法时, 处理器 21 用于执行存储器 23 中的指令, 以实现上述处理单元 12 的功能。

可选地, 装置 20 还包括存储器 23。

可选地, 装置 20 还包括接口电路 22。处理器 21 和接口电路 22 之间相互耦合。可以理解的是, 接口电路 22 可以为收发器或输入输出接口。当装置 20 用于实现上文所述的方法时, 处理器 21 用于执行指令, 以实现上述处理单元 12 的功能, 接口电路 22 用于实现上述收发单元 11 的功能。

示例性地, 当装置 20 为应用于发送端或接收端的芯片时, 该芯片实现上述方法实施例中发送端或接收端的功能。该芯片从发送端或接收端中的其它模块(如射频模块或天线)接收信息, 该信息是其他装置发送给发送端或接收端的; 或者, 该芯片向发送端或接收端中的其它模块(如射频模块或天线)发送信息, 该信息是发送端或接收端发送给其他装置的。

本申请还提供一种通信装置, 包括处理器, 该处理器与存储器耦合, 存储器用于存储计算机程序或指令和/或数据, 处理器用于执行存储器存储的计算机程序或指令, 或读取存储器存储的数据, 以执行上文各方法实施例中的方法。可选地, 处理器为一个或多个。可选地, 该通信装置包括存储器。可选地, 存储器为一个或多个。可选地, 该存储器与该处理器集成在一起, 或者分离设置。

本申请还提供一种计算机可读存储介质, 其上存储有用于实现上述各方法实施例中由发送端或接收端执行的方法的计算机指令。

本申请还提供一种计算机程序产品, 包含指令, 该指令被计算机执行时以实现上述各方法实施例中由发送端或接收端执行的方法。

本申请还提供一种通信系统, 该通信系统包括上文各实施例中的发送端或接收端中至少一个。

上述提供的任一种装置中相关内容的解释及有益效果均可参考上文提供的对应的方法实施例, 此处不再赘述。

可以理解的是, 本申请的实施例中的处理器可以是中央处理单元 (central processing unit, CPU), 还可以是其它通用处理器、数字信号处理器 (digital signal processor, DSP)、专用集成电路 (application specific integrated circuit, ASIC)、现场可编程门阵列 (field programmable gate array, FPGA) 或者其它可编程逻辑器件、晶体管逻辑器件, 硬件部件或者其任意组合。通用处理器可以是微处理器, 也可以是任何常规的处理器的。

本申请的实施例中的方法步骤可以通过硬件的方式来实现, 也可以由处理器执行软件指令的方式来实现。软件指令可以由相应的软件模块组成, 软件模块可以被存放于随机存取存储器、闪存、只读存储器、可编程只读存储器、可擦除可编程只读存储器、电可擦除

可编程只读存储器、寄存器、硬盘、移动硬盘、只读光盘存储器（compact disc read-only memory, CD-ROM）或者本领域熟知的任何其它形式的存储介质中。一种示例性的存储介质耦合至处理器，从而使处理器能够从该存储介质读取信息，且可向该存储介质写入信息。当然，存储介质也可以是处理器的组成部分。处理器和存储介质可以位于 ASIC 中。
5 另外，该 ASIC 可以位于发送端或接收端中。当然，处理器和存储介质也可以作为分立组件存在于发送端或接收端中。

在上述实施例中，可以全部或部分地通过软件、硬件、固件或者其任意组合来实现。当使用软件实现时，可以全部或部分地以计算机程序产品的形式实现。所述计算机程序产品包括一个或多个计算机程序或指令。在计算机上加载和执行所述计算机程序或指令时，
10 全部或部分地执行本申请实施例所述的流程或功能。所述计算机可以是通用计算机、专用计算机、计算机网络、网络设备、用户设备或者其它可编程装置。所述计算机程序或指令可以存储在计算机可读存储介质中，或者从一个计算机可读存储介质向另一个计算机可读存储介质传输，例如，所述计算机程序或指令可以从一个网站站点、计算机、服务器或数据中心通过有线或无线方式向另一个网站站点、计算机、服务器或数据中心进行传输。所
15 述计算机可读存储介质可以是计算机能够存取的任何可用介质或者是集成一个或多个可用介质的服务器、数据中心等数据存储设备。所述可用介质可以是磁性介质，例如，软盘、硬盘、磁带；也可以是光介质，例如，数字视频光盘；还可以是半导体介质，例如，固态硬盘。

在本申请的各个实施例中，如果没有特殊说明以及逻辑冲突，不同的实施例之间的术语和/或描述具有一致性、且可以相互引用，不同的实施例中的技术特征根据其内在的逻辑关系可以组合形成新的实施例。

可以理解的是，在本申请的实施例中涉及的各种数字编号仅为描述方便进行的区分，并不用来限制本申请的实施例的范围。上述各过程的序号的大小并不意味着执行顺序的先后，各过程的执行顺序应以其功能和内在逻辑确定。

25 除非另有说明，本申请实施例所使用的所有技术和科学术语与本申请的技术领域的技术人员通常理解的含义相同。本申请中所使用的术语只是为了描述具体的实施例的目的，不是旨在限制本申请的范围。应理解，上述为举例说明，上文的例子仅仅是为了帮助本领域技术人员理解本申请实施例，而非要将申请实施例限制于所示例的具体数值或具体场景。本领域技术人员根据上文所给出的例子，显然可以进行各种等价的修改或变化，这样的修改和变化也落入本申请实施例的范围内。

30 以上所述，仅为本申请的具体实施方式，但本申请的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本申请揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本申请的保护范围之内。因此，本申请的保护范围应以所述权利要求的保护范围为准。

权利要求书

- 1.一种基于低密度奇偶校验 LDPC 码的通信方法,其特征在于,包括:
获取信息比特序列;
- 5 根据 LDPC 基矩阵对所述信息比特序列进行 LDPC 编码,得到 LDPC 码字序列;其中,
所述 LDPC 基矩阵是基于存储矩阵和指示信息得到的,所述指示信息用于指示所述存储矩
阵行与行之间的对应关系或者所述 LDPC 基矩阵行与行之间的对应关系,所述 LDPC 基矩
阵的非拓展列的列重之和与所述存储矩阵的非拓展列的列重之和相等;
发送所述 LDPC 码字序列。
- 10 2.一种基于低密度奇偶校验 LDPC 码的通信方法,其特征在于,包括:
接收来自发送端的 LDPC 码字序列;
根据 LDPC 基矩阵对所述 LDPC 码字序列进行译码,其中,所述 LDPC 基矩阵是基于
存储矩阵和指示信息得到的,所述指示信息用于指示所述存储矩阵行与行之间的对应关系
或者所述 LDPC 基矩阵行与行之间的对应关系,所述 LDPC 基矩阵的非拓展列的列重之和
15 与所述存储矩阵的非拓展列的列重之和相等。
- 3.根据权利要求 1 或 2 所述的方法,其特征在于,
所述 LDPC 基矩阵对应的码率与所述存储矩阵对应的码率不同。
- 4.根据权利要求 1 至 3 中任一项所述的方法,其特征在于,
所述 LDPC 基矩阵包括第一子矩阵和第二子矩阵,所述第一子矩阵包括所述 LDPC 基
20 矩阵的非拓展列,所述第二子矩阵包括所述 LDPC 基矩阵的拓展列;所述第二子矩阵中的
Q 列中的每一列的列重为 2;所述 Q 列中的第 q 列所包含的 2 个非零元素中的一个对应于
所述第一子矩阵的第 i_1 行,所述 Q 列中的第 q 列所包含的 2 个非零元素中的另一个对应
于所述第一子矩阵的第 i_2 行,所述第 i_1 行和所述第 i_2 行相互正交,所述第 q 列为所述 Q
列中的任意一列;其中, Q、q、 i_1 、 i_2 均为正整数。
- 25 5.根据权利要求 1 至 4 中任一项所述的方法,其特征在于,
所述 LDPC 基矩阵为 $X \times Y$ 的矩阵,所述 LDPC 基矩阵的第 $y_2+1 \sim Y$ 列为拓展列;所
述 LDPC 基矩阵包括子矩阵 A1、子矩阵 B1、子矩阵 C1、子矩阵 D1 和子矩阵 E1,所述
子矩阵 A1 为所述 LDPC 基矩阵的第 $1 \sim x_1$ 行、第 $1 \sim y_1$ 列,所述子矩阵 B1 为所述 LDPC 基
矩阵的第 $1 \sim x_1$ 行、第 $y_1+1 \sim y_2$ 列,所述子矩阵 C1 为所述 LDPC 基矩阵的第 $1 \sim x_1$ 行、第 $y_2+1 \sim Y$
30 列,所述子矩阵 D1 为所述 LDPC 基矩阵的第 $x_1+1 \sim X$ 行、第 $1 \sim y_2$ 列,所述子矩阵 E1 为
所述 LDPC 基矩阵的第 $x_1+1 \sim X$ 行、第 $y_2+1 \sim Y$ 列, $1 \leq x_1 \leq X$, $1 \leq y_1 \leq y_2 \leq Y$, x_1 、X、
 y_1 、 y_2 、Y 均为整数;
其中,所述子矩阵 E1 的对角线为非零元素,所述子矩阵 E1 的对角线以上包括非零元
素和/或所述子矩阵 E1 的对角线以下包括非零元素,所述子矩阵 C1 包括非零元素。
- 35 6.根据权利要求 1 至 5 中任一项所述的方法,其特征在于,
所述指示信息所采用的形式包括:指示序列、映射表格、或映射对中的至少一个。
- 7.根据权利要求 1 至 6 中任一项所述的方法,其特征在于,
所述存储矩阵为 $M \times N$ 的矩阵,所述存储矩阵的第 $m_1+1 \sim M$ 行是为拓展行;所述存储

矩阵包括子矩阵 A2、子矩阵 B2、子矩阵 C2、子矩阵 D2 和子矩阵 E2, 所述子矩阵 A2 为所述存储矩阵的第 $1 \sim m_1$ 行、第 $1 \sim n_1$ 列, 所述子矩阵 B2 为所述存储矩阵的第 $1 \sim m_1$ 行、第 $n_1+1 \sim n_2$ 列, 所述子矩阵 C2 为所述存储矩阵的第 $1 \sim m_1$ 行、第 $n_2+1 \sim N$ 列, 所述子矩阵 D2 为所述存储矩阵的第 $m_1+1 \sim M$ 行、第 $1 \sim n_2$ 列, 所述子矩阵 E2 为所述存储矩阵的第 $m_1+1 \sim M$ 行、第 $n_2+1 \sim N$ 列, $1 \leq m_1 \leq M$, $1 \leq n_1 \leq n_2 \leq N$, m_1 、 M 、 n_1 、 n_2 、 N 均为整数;

其中, 所述子矩阵 D2 的第 a_1 行真包含于第三子矩阵的第 b_1 行和/或所述子矩阵 D2 的第 a_2 , 所述第三子矩阵由所述子矩阵 A2 和所述子矩阵 B2 组成, 所述第 a_1 行是所述子矩阵 D2 的任意一行。

8. 根据权利要求 7 所述的方法, 其特征在于,
10 所述第 a_1 行中的每个非零元素的偏移值与所述第 b_1 行中的对应位置的非零元素的偏移值之间的差值相同, 和/或, 所述第 a_1 行中的每个非零元素的偏移值与所述第 b_1 行中的对应位置的非零元素的偏移值之间的差值相同。

9. 根据权利要求 7 或 8 所述的方法, 其特征在于,
15 与所述第三子矩阵的第 b_2 行对应的所述子矩阵 D2 中的多行各不相同, 所述第 b_2 行是所述第三子矩阵的任意一行。

10. 根据权利要求 7 至 9 中任一项所述的方法, 其特征在于,
所述第 a_1 行与所述第 b_1 行的对应关系、以及所述第 a_1 行与所述第 a_2 行的对应关系是根据所述指示信息确定的。

11. 根据权利要求 1 至 10 中任一项所述的方法, 其特征在于,
20 所述指示信息用于指示所述 LDPC 基矩阵行与行之间的对应关系, 所述存储矩阵用于存储变量节点和校验节点的连接关系, 所述存储矩阵的非零元素的偏移值根据偏移值表格得到, 所述偏移值表格用于存储所述存储矩阵的非拓展行的各位置的偏移值。

12. 根据权利要求 11 所述的方法, 其特征在于,
所述指示信息采用指示序列的形式, 所述 LDPC 基矩阵是根据所述指示序列读取所述
25 存储矩阵和偏移值表格得到的, 所述指示序列包括至少一个行号, 所述至少一个行号中的第 i_3 个行号指示所述 LDPC 基矩阵的第 i_3 行的偏移值基于所述至少一个行号中的第 i_3 个行号所标识的行的偏移值确定, i_3 为正整数。

13. 根据权利要求 1 至 11 中任一项所述的方法, 其特征在于,
所述指示信息采用指示序列的形式, 所述 LDPC 基矩阵是根据所述指示序列对所述存
30 储矩阵进行分裂得到的, 所述指示序列包括至少一个行号, 所述至少一个行号中的第 m_1+r 个行号指示所述 LDPC 基矩阵的第 m_1+r 行用于对所述至少一个行号中的第 m_1+r 个行号所标识的行进行消元处理, 所述至少一个行号的排序顺序为分裂顺序, m_1 为所述存储矩阵的非拓展行的行数, r 为正整数。

14. 根据权利要求 13 所述的方法, 其特征在于,
35 所述至少一个行号包括至少一个分段, 所述至少一个分段中的每个分段对应于一轮分裂, 所述至少一个分段对应的至少一轮分裂中的第 t 轮分裂所对应的分段中的行号为 $\{1, \dots, 2^{t-1}m_1\}$ 的置换形式或 $\{1, \dots, 2^{t-1}m_1\}$ 的子集的置换形式, t 为正整数。

15. 根据权利要求 13 或 14 所述的方法, 其特征在于, 所述方法还包括:

根据所述 LDPC 基矩阵对应的码长、所述 LDPC 基矩阵对应的信息位的数量、以及所

述 LDPC 基矩阵的信息列的数量, 确定分裂次数 R ;

对所述存储矩阵进行 R 次分裂, 得到所述 LDPC 基矩阵;

- 5 其中, 所述 R 次分裂中的第 r 次分裂包括以下操作: 获取所述指示序列的第 m_1+r 个行号; 使用所述存储矩阵的第 m_1+r 行对所述存储矩阵中与所述第 m_1+r 个行号所标识的行进行消元处理, 所述第 r 次分裂为所述 R 次分裂中的任意一次。

16. 根据权利要求 13 或 14 所述的方法, 其特征在于,

所述存储矩阵不包括拓展列, 所述 LDPC 基矩阵的第 m_1+r 行是基于划分表格的第 r 行得到的, 所述划分表格中的一行用于构造所述 LDPC 基矩阵的一个拓展行。

17. 根据权利要求 16 所述的方法, 其特征在于, 所述方法还包括:

- 10 根据所述 LDPC 基矩阵对应的码长、所述 LDPC 基矩阵对应的信息位的数量、以及所述 LDPC 基矩阵的信息列的数量, 确定分裂次数 R ;

对所述存储矩阵进行 R 次分裂, 得到所述 LDPC 基矩阵;

- 15 其中, 所述 R 次分裂中的第 r 次分裂包括以下操作: 获取划分表格的第 r 行, 并根据所述第 r 行构造所述存储矩阵的第 r 个拓展行; 获取所述指示序列的第 $M+r$ 个行号; 使用所述第 r 个拓展行对第 k 行进行消元处理, 所述第 k 行是所述存储矩阵或所述存储矩阵的前 $r-1$ 个拓展行中与所述第 $M+r$ 个行号相对应的行; 其中, M 为所述存储矩阵的行数, 所述第 r 次分裂为所述 R 次分裂中的任意一次。

18. 根据权利要求 15 或 17 所述的方法, 其特征在于,

所述 R 为满足 $RZ_c \geq N_0 - K_0$ 的最小整数;

- 20 其中, Z_c 为提升值, 且 Z_c 为 Z_c 列表中满足 $KZ_c \geq K_0$ 的最小的 Z_c ; N_0 为所述 LDPC 基矩阵对应的码长; K_0 为所述 LDPC 基矩阵对应的信息位的数量; K 为所述 LDPC 基矩阵的信息列的数量。

19. 根据权利要求 15、17 或 18 所述的方法, 其特征在于,

- 25 若对所述 LDPC 基矩阵的最后一列对应的部分校验位进行打孔, 则所述 R 次分裂的最后一次分裂以 Z_c 提升后的行作为粒度;

其中, Z_c 为提升值, 且 Z_c 为 Z_c 列表中满足 $KZ_c \geq K_0$ 的最小的 Z_c ; K_0 为所述 LDPC 基矩阵对应的信息位的数量; K 为所述 LDPC 基矩阵的信息列的数量。

20. 根据权利要求 1 至 6 中任一项所述的方法, 其特征在于,

- 30 所述指示信息采用指示序列的形式, 所述 LDPC 基矩阵是根据所述指示序列对所述存储矩阵进行合并得到的, 所述指示序列包括多个子信息, 所述多个子信息中的每个子信息用于指示所述存储矩阵中进行合并的两行, 所述多个子信息的排列顺序为合并顺序。

21. 根据权利要求 20 所述的方法, 其特征在于,

- 35 所述多个子信息包括至少一个分段, 所述至少一个分段中的每个分段对应于一轮合并, 所述至少一个分段中的第 t 个分段包括的所述子信息所对应的所述存储矩阵的拓展列的标号为 $\{(2^{T1-t}-1)s_1+1, \dots, (2^{T1-t+1}-1)s_1\}$ 的置换形式或 $\{(2^{T1-t}-1)s_1+1, \dots, (2^{T1-t+1}-1)s_1\}$ 的子集置换形式, $T1$ 为合并轮数的上界, s_1 为所述存储矩阵的非拓展行的行数, $T1$ 和 t 为正整数。

22. 根据权利要求 21 所述的方法, 其特征在于,

所述存储矩阵包括第四子矩阵和第五子矩阵, 所述第四子矩阵包括所述存储矩阵的非

- 拓展列, 所述第五子矩阵包括所述存储矩阵的拓展列; 所述第五子矩阵中的 P 列中的每一列的列重为 2; 所述 P 列中的第 p 列所包含的 2 个非零元素中的一个对应于所述第一子矩阵的第 j_1 行, 所述 P 列中的第 p 列所包含的 2 个非零元素中的另一个对应于所述第一子矩阵的第 j_2 行, 所述第 j_1 行和所述第 j_2 行相互正交, 所述第 p 列为所述 P 列中的任意一列; 其中, P、p、 j_1 、 j_2 均为正整数。

23. 根据权利要求 20 或 21 所述的方法, 其特征在于,

- 所述存储矩阵为 $S \times G$ 的矩阵, 所述存储矩阵的第 $s_1+1 \sim S$ 行是拓展行, 所述存储矩阵的第 $g_2+1 \sim G$ 列为拓展列; 所述存储矩阵包括子矩阵 A3、子矩阵 B3、子矩阵 C3、子矩阵 D3 和子矩阵 E3, 所述子矩阵 A3 为所述存储矩阵的第 $1 \sim s_1$ 行、第 $1 \sim g_1$ 列, 所述子矩阵 B3 为所述存储矩阵的第 $1 \sim s_1$ 行、第 $g_1+1 \sim g_2$ 列, 所述子矩阵 C3 为所述存储矩阵的第 $1 \sim s_1$ 行、第 $g_2+1 \sim G$ 列, 所述子矩阵 D3 为所述存储矩阵的第 $s_1+1 \sim S$ 行、第 $1 \sim g_2$ 列, 所述子矩阵 E3 为所述存储矩阵的第 $s_1+1 \sim S$ 行、第 $g_2+1 \sim G$ 列, $1 \leq s_1 \leq S$, $1 \leq g_1 \leq g_2 \leq G$, s_1 、 S 、 g_1 、 g_2 、 G 均为整数;

- 其中, 所述子矩阵 E3 的对角线为非零元素, 所述子矩阵 E3 的对角线以上包括非零元素和/或所述子矩阵 E3 的对角线以下包括非零元素, 所述子矩阵 C3 包括非零元素。

24. 根据权利要求 20 至 23 中任一项所述的方法, 其特征在于, 所述方法还包括:

- 根据所述 LDPC 基矩阵对应的码率、所述 LDPC 基矩阵的信息列的数量、所述存储矩阵的非拓展行的行数、所述存储矩阵的非拓展列的列数、以及合并轮数的上界 T_1 , 确定合并次数 W ;

- 20 对所述存储矩阵进行 W 次合并, 得到所述 LDPC 基矩阵;

其中, 所述 W 次分裂中的第 w 次合并包括以下操作: 获取所述指示序列的第 w 个子信息; 对所述第 w 个子信息所指示的两行进行合并; 其中, 所述第 w 次合并为所述 W 次合并中的任意一次, w 为正整数。

25. 根据权利要求 24 所述的方法, 其特征在于,

- 25 所述 W 为满足 $R_0 \leq \frac{K}{g_1 + (2^{T_1} - 1)s_1 - W}$ 的最小整数;

其中, R_0 为所述 LDPC 基矩阵对应的码率; K 为所述 LDPC 基矩阵的信息列的数量; s_1 为所述存储矩阵的非拓展行的行数; g_1 为所述存储矩阵的非拓展列的列数; T_1 为合并轮数的上界。

26. 根据权利要求 24 或 25 所述的方法, 其特征在于,

- 30 若对所述 LDPC 基矩阵的最后一列对应的部分校验位进行打孔, 则所述 W 次合并的最后一次合并以 Z_c 提升后的行作为粒度;

其中, Z_c 为提升值, 且 Z_c 为 Z_c 列表中满足 $KZ_c \geq K_0$ 的最小的 Z_c ; K_0 为所述 LDPC 基矩阵对应的信息位的数量; K 为所述 LDPC 基矩阵的信息列的数量。

27. 一种基于低密度奇偶校验 LDPC 码的通信方法, 其特征在于, 包括:

- 35 获取信息比特序列;

根据存储矩阵对所述信息比特序列进行 LDPC 编码, 得到第一 LDPC 码字序列, 其中, 所述存储矩阵包括第四子矩阵和第五子矩阵, 所述第四子矩阵包括所述存储矩阵的非拓展列, 所述第五子矩阵包括所述存储矩阵的拓展列; 所述第五子矩阵中的 P 列中的每一列的列重为 2; 所述 P 列中的第 p 列所包含的 2 个非零元素中的一个对应于所述第一子矩阵的

第 j_1 行, 所述 P 列中的第 p 列所包含的 2 个非零元素中的另一个对应于所述第一子矩阵的第 j_2 行, 所述第 j_1 行和所述第 j_2 行相互正交, 所述第 p 列为所述 P 列中的任意一列; 其中, P 、 p 、 j_1 、 j_2 均为正整数;

- 5 根据指示信息, 发送第二 LDPC 码字序列, 所述指示信息用于指示所述第五子矩阵中被打孔的列, 所述第二 LDPC 码字序列包括所述第一 LDPC 码字序列中除所述第五子矩阵中被打孔的列所对应的码字以外的码字。

28. 一种基于低密度奇偶校验 LDPC 码的通信方法, 其特征在于, 包括:

接收来自发送端的 LDPC 码字序列;

- 10 根据存储矩阵和指示信息, 对所述 LDPC 码字序列进行译码, 其中, 所述存储矩阵包括第四子矩阵和第五子矩阵, 所述第四子矩阵包括所述存储矩阵的非拓展列, 所述第五子矩阵包括所述存储矩阵的拓展列; 所述第五子矩阵中的 P 列中的每一列的列重为 2; 所述 P 列中的第 p 列所包含的 2 个非零元素中的一个对应于所述第一子矩阵的第 j_1 行, 所述 P 列中的第 p 列所包含的 2 个非零元素中的另一个对应于所述第一子矩阵的第 j_2 行, 所述第 j_1 行和所述第 j_2 行相互正交, 所述第 p 列为所述 P 列中的任意一列, P 、 p 、 j_1 、 j_2 均为正整数; 所述指示信息用于指示所述第五子矩阵中被打孔的列, 所述第二 LDPC 码字序列包括所述第一 LDPC 码字序列中除所述第五子矩阵中被打孔的列所对应的码字以外的码字。

29. 根据权利要求 27 或 28 所述的方法, 其特征在于,

- 20 所述存储矩阵为 $S \times G$ 的矩阵, 所述存储矩阵的第 $s_1+1 \sim S$ 行是拓展行, 所述存储矩阵的第 $g_2+1 \sim G$ 列为拓展列; 所述存储矩阵包括子矩阵 A3、子矩阵 B3、子矩阵 C3、子矩阵 D3 和子矩阵 E3, 所述子矩阵 A3 为所述存储矩阵的第 $1 \sim s_1$ 行、第 $1 \sim g_1$ 列, 所述子矩阵 B3 为所述存储矩阵的第 $1 \sim s_1$ 行、第 $g_1+1 \sim g_2$ 列, 所述子矩阵 C3 为所述存储矩阵的第 $1 \sim s_1$ 行、第 $g_2+1 \sim G$ 列, 所述子矩阵 D3 为所述存储矩阵的第 $s_1+1 \sim S$ 行、第 $1 \sim g_2$ 列, 所述子矩阵 E3 为所述存储矩阵的第 $s_1+1 \sim S$ 行、第 $g_2+1 \sim G$ 列, $1 \leq s_1 \leq S$, $1 \leq g_1 \leq g_2 \leq G$, s_1 、 S 、 g_1 、 g_2 、 G 均为整数;

- 25 其中, 所述子矩阵 E3 的对角线为非零元素, 所述子矩阵 E3 的对角线以上包括非零元素和/或所述子矩阵 E3 的对角线以下包括非零元素, 所述子矩阵 C3 包括非零元素。

30. 根据权利要求 27 至 29 中任一项所述的方法, 其特征在于,

所述指示信息所采用的形式包括: 指示序列、映射表格、或映射对中的至少一个。

31. 根据权利要求 30 所述的方法, 其特征在于,

- 30 所述指示信息采用指示序列的形式, 所述指示序列包括多个子信息, 所述多个子信息中的每个子信息用于指示所述存储矩阵的拓展列中的一列, 所述多个子信息的排列顺序为打孔顺序。

32. 根据权利要求 31 所述的方法, 其特征在于,

- 35 所述多个子信息包括至少一个分段, 所述至少一个分段中的每个分段对应于一轮打孔, 所述至少一个分段中的第 t 个分段包括的所述子信息所指示的拓展列的标号为 $\{(2^{T_2-t}-1)s_1+1, \dots, 2^{T_2-t+1}-1)s_1\}$ 的置换形式或 $\{(2^{T_2-t}-1)s_1+1, \dots, 2^{T_2-t+1}-1)s_1\}$ 的子集置换形式, T_2 为合并轮数的上界, s_1 为所述存储矩阵的非拓展行的行数, T_2 和 t 为正整数。

33. 根据权利要求 31 或 32 所述的方法, 其特征在于,

所述指示序列包括的子信息的数量 J 为满足 $R_0 \leq \frac{K}{g_2+(2^{T_2}-1)s_1-J}$ 的最小整数;

其中, R_0 为目标码率; K 为信息列的目标数量; s_1 为所述存储矩阵的非拓展行的行数; g_2 为所述存储矩阵的非拓展列的列数; T_2 为合并轮数的上界。

34. 一种通信装置, 其特征在于, 包括用于执行如权利要求 1、3 至 26 中任一项所述的方法、如权利要求 2 至 26 中任一项所述的方法、如权利要求 27、29 至 33 中任一项所述的方法、或者如权利要求 28 至 33 中任一项所述的方法的模块或单元。

35. 一种通信装置, 其特征在于, 包括:

处理器, 用于执行存储器中存储的计算机程序, 以使得所述装置执行如权利要求 1、3 至 26 中任一项所述的方法, 或者执行如权利要求 2 至 26 中任一项所述的方法, 或者执行如权利要求 27、29 至 33 中任一项所述的方法, 或者执行如权利要求 28 至 33 中任一项所述的方法。

36. 根据权利要求 35 所述的装置, 其特征在于, 所述装置还包括所述存储器。

37. 根据权利要求 35 或 36 所述的装置, 其特征在于, 所述装置为芯片。

38. 一种计算机可读存储介质, 其特征在于, 所述计算机可读存储介质上存储有计算机程序, 当所述计算机程序在计算机上运行时, 使得所述计算机执行如权利要求 1、3 至 26 中任一项所述的方法, 或者执行如权利要求 2 至 26 中任一项所述的方法, 或者执行如权利要求 27、29 至 33 中任一项所述的方法, 或者执行如权利要求 28 至 33 中任一项所述的方法。

39. 一种计算机程序产品, 其特征在于, 所述计算机程序产品包括用于执行如权利要求 1、3 至 26 中任一项所述的方法、如权利要求 2 至 26 中任一项所述的方法、如权利要求 27、29 至 33 中任一项所述的方法、或者如权利要求 28 至 33 中任一项所述的方法的指令。

40. 一种通信系统, 其特征在于, 包括:

用于执行如权利要求 1、3 至 26 中任一项所述的方法的发送端, 以及用于执行如权利要求 2 至 26 中任一项所述的方法的接收端; 或者,
用于执行如权利要求 27、29 至 33 中任一项所述的方法的发送端, 以及用于执行如权利要求 28 至 33 中任一项所述的方法的接收端。