

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
10. September 2004 (10.09.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/077569 A3

(51) Internationale Patentklassifikation⁷: **H01L 27/112**,
27/115, 21/8246, 21/8247

(21) Internationales Aktenzeichen: PCT/DE2004/000383

(22) Internationales Anmeldedatum:
1. März 2004 (01.03.2004)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
103 08 927.6 28. Februar 2003 (28.02.2003) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-
Martin-Strasse 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **VOLLRATH, Jörg**
[DE/DE]; Feursstrasse 14b, 82140 Olching (DE).

(74) Anwalt: **EPPING HERMANN FISCHER PATEN-
TANWALTSGESELLSCHAFT MBH**; Ridlerstrasse 55,
80339 München (DE).

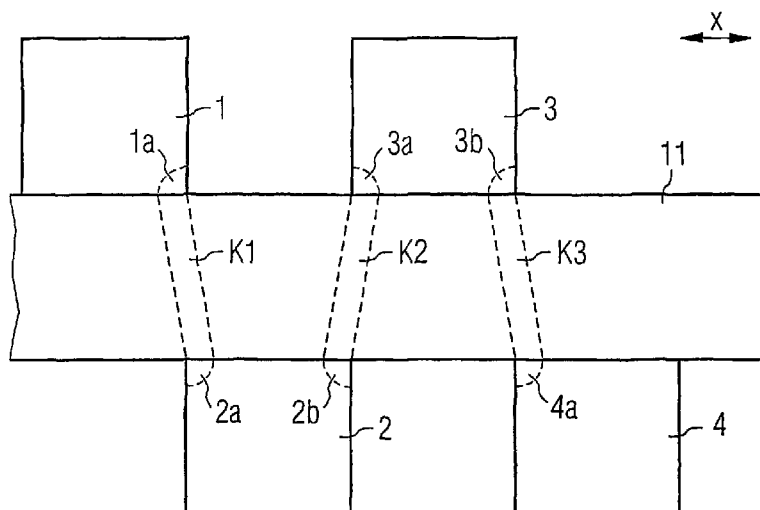
(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,
CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,
KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD,
MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG,
PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM,
TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM,
ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM,
ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ,
TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK,

[Fortsetzung auf der nächsten Seite]

(54) Title: INTEGRATED SEMICONDUCTOR CIRCUIT COMPRISING A TRANSISTOR AND A STRIP CONDUCTOR

(54) Bezeichnung: INTEGRIERTE HALBLEITERSCHALTUNG MIT EINEM TRANSISTOR MIT SEITLICH VERSETZTEN
SOURCE - UND DRAIN - ELEKTRODEN



(57) Abstract: The invention relates to an integrated semiconductor circuit comprising a transistor and a strip conductor (11). Said transistor comprises a first source/drain electrode (1), a second source/drain electrode (2), and a gate electrode. Said strip conductor (11) is electrically insulated from a semiconductor substrate at least by means of a gate dielectric, and forms the gate electrode in the region of the transistor. The strip conductor (11) extends in the region of the transistor along a first direction (x). According to the invention, the second source/drain electrode (2) is arranged in such a way that it is offset in the first direction (x) in relation to the first source/drain electrode (1). The transistor thus formed has an inversion channel (K1) which extends only between two facing corner regions (1a, 2a) of the first and second source/drain electrodes, i.e. is considerably narrower than the inversion channel of a conventional transistor. The invention thus enables semiconductor circuits to be produced which are more compact.

[Fortsetzung auf der nächsten Seite]

WO 2004/077569 A3



EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Veröffentlicht:

- mit internationalem Recherchenbericht
- vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

(88) Veröffentlichungsdatum des internationalen

Recherchenberichts: 28. Oktober 2004

(57) Zusammenfassung: Die Erfindung betrifft eine integrierte Halbleiterschaltung mit einem Transistor und mit einer Leiterbahn (11), wobei der Transistor eine erste (1) und eine zweite Source/Drain-Elektrode (2) und eine Gate-Elektrode aufweist, wobei die Leiterbahn (11) zumindest durch ein Gate-Dielektrikum gegen ein Halbleitersubstrat elektrisch isoliert ist und im Bereich des Transistors die Gate-Elektrode bildet und wobei die Leiterbahn (11) im Bereich des Transistors entlang einer ersten Richtung (x) verläuft. Erfindungsgemäß ist vorgesehen, daß die zweite Source/Drain-Elektrode (2) in die erste Richtung (x) versetzt zur ersten Source/Drain-Elektrode (1) angeordnet ist. Der so gebildete Transistor besitzt einen Inversionskanal (K1), der sich lediglich zwischen zwei aneinander zugewandten Eckbereichen (1a, 2a) der ersten und der zweiten Source/Drain-Elektrode erstreckt, d. h. wesentlich schmaler ist als bei einem herkömmlichen Transistor. Damit sind dichter gepackte Halbleiterschaltungen herstellbar.