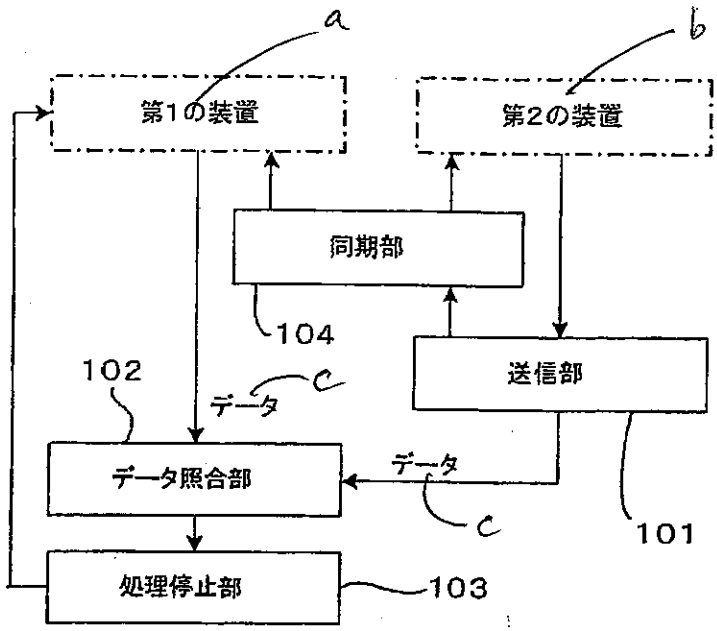
Fig. 1

~~[図1]~~

(a)


a
b
第1の装置
第2の装置
同期部
104
送信部
102
データ
c
データ照合部
データ
c
101
処理停止部
103

(b)

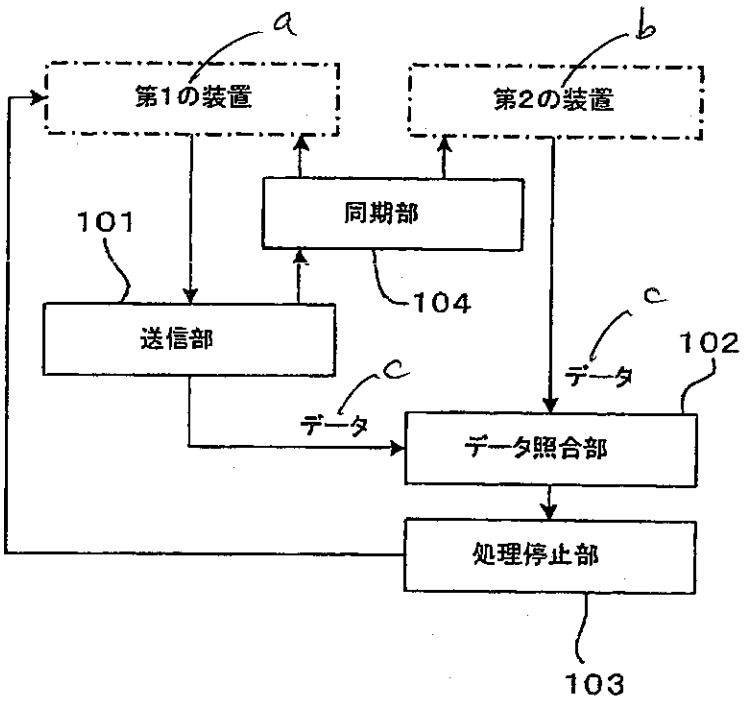
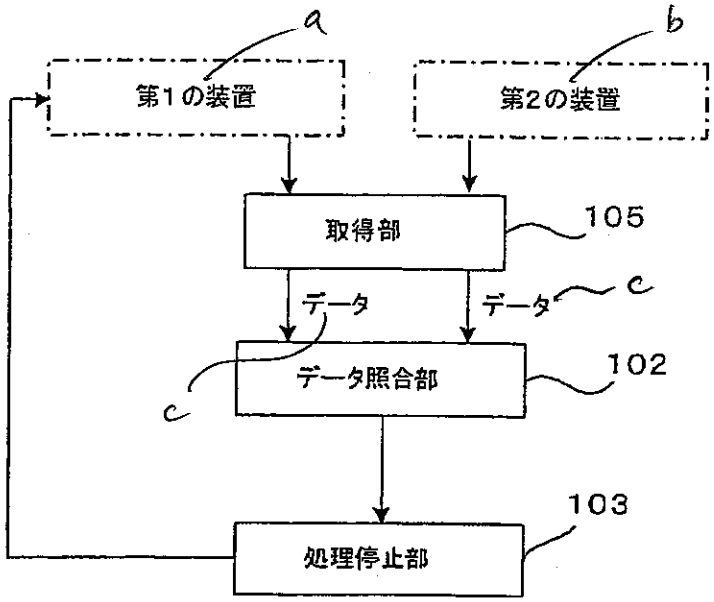

a
b
第1の装置
第2の装置
101
同期部
104
送信部
c
データ
102
c
データ
データ照合部
処理停止部
103

Fig. 2

~~[図2]~~

(a)


a
b
第1の装置
第2の装置
取得部
105
データ
データ
c
c
データ照合部
102
103
処理停止部

(b)

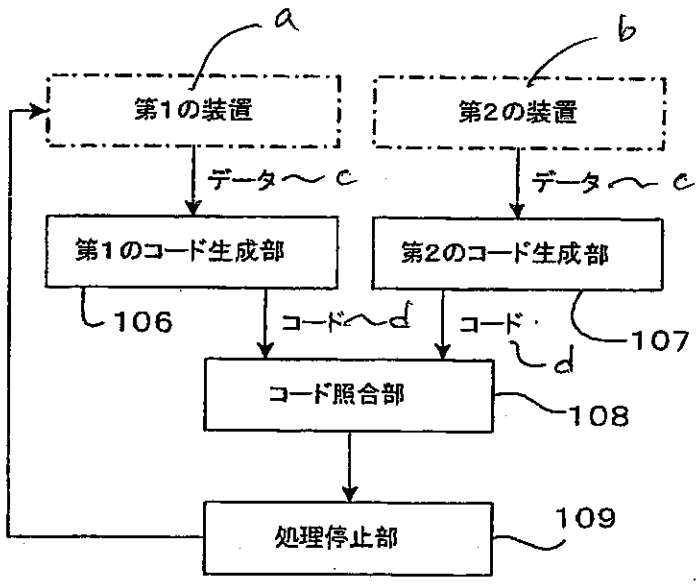
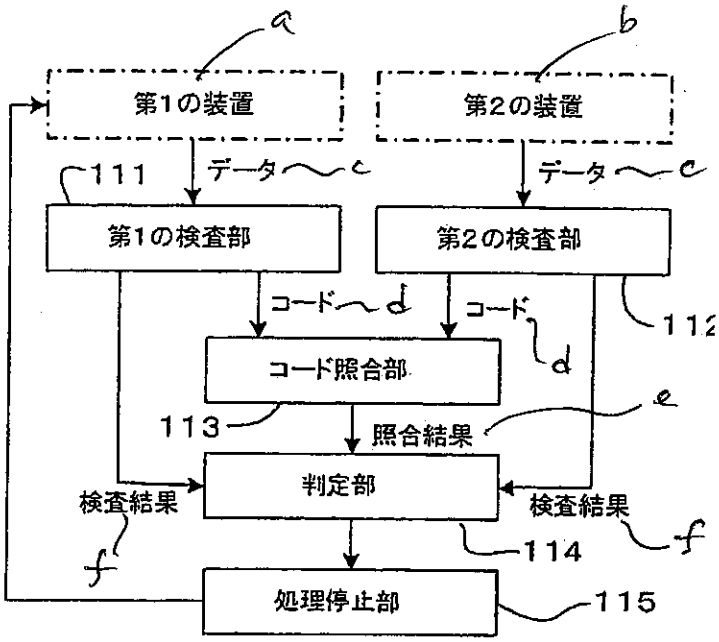

a
b
第1の装置
第2の装置
データ
c
データ
c
第1のコード生成部
第2のコード生成部
106
コード
d
コード
d
107
コード照合部
108
処理停止部
109

Fig. 3

[図3]

(a)


a
b
第1の装置
第2の装置
111
データ
c
データ
c
第1の検査部
第2の検査部
コード
d
コード
d
112
コード照合部
113
e
照合結果
判定部
検査結果
f
検査結果
f
114
処理停止部
115

(b)

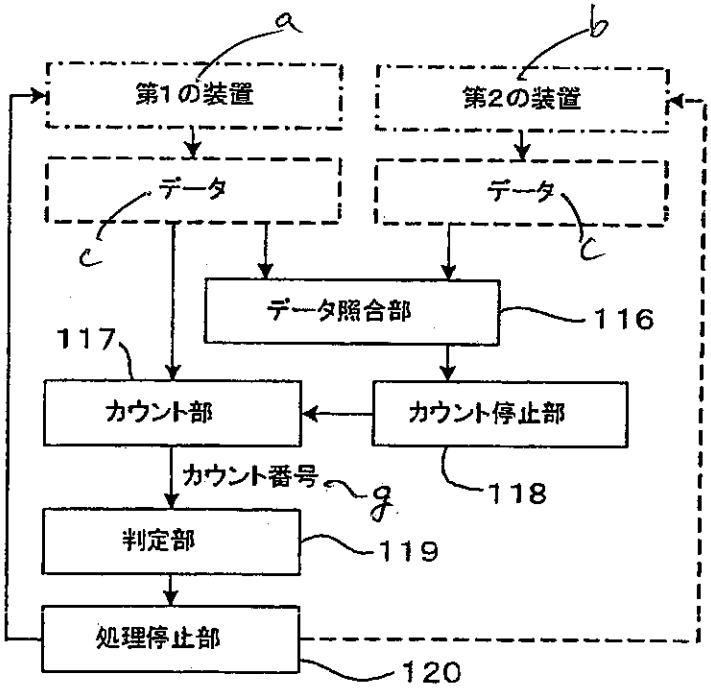

a
b
第1の装置
第2の装置
データ
c
データ
c
データ照合部
116
117
カウント部
カウント停止部
118
カウント番号
g
判定部
119
処理停止部
120

Fig. 4

【図4】

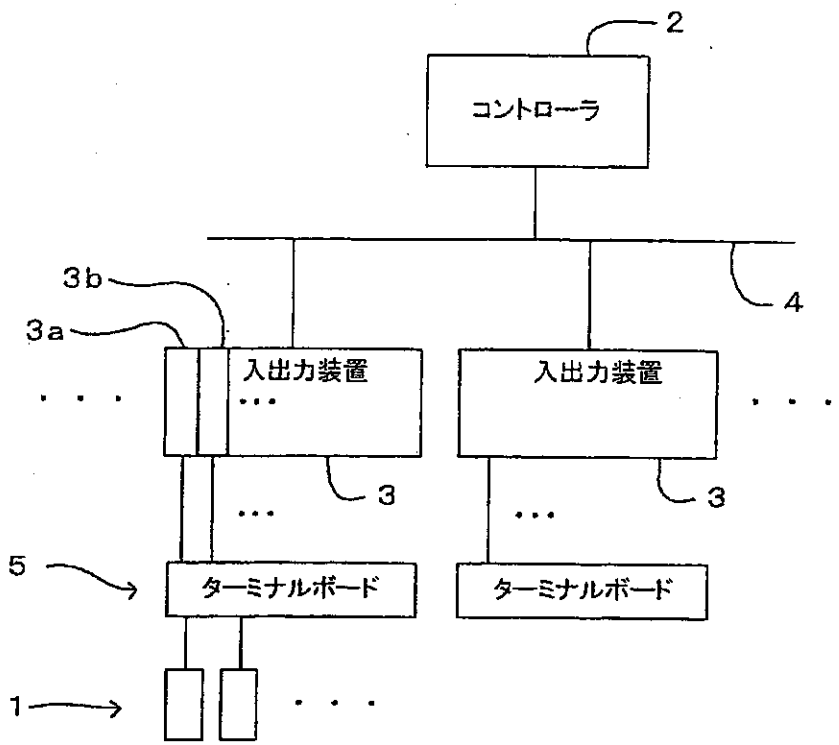


Fig. 5

[図5]

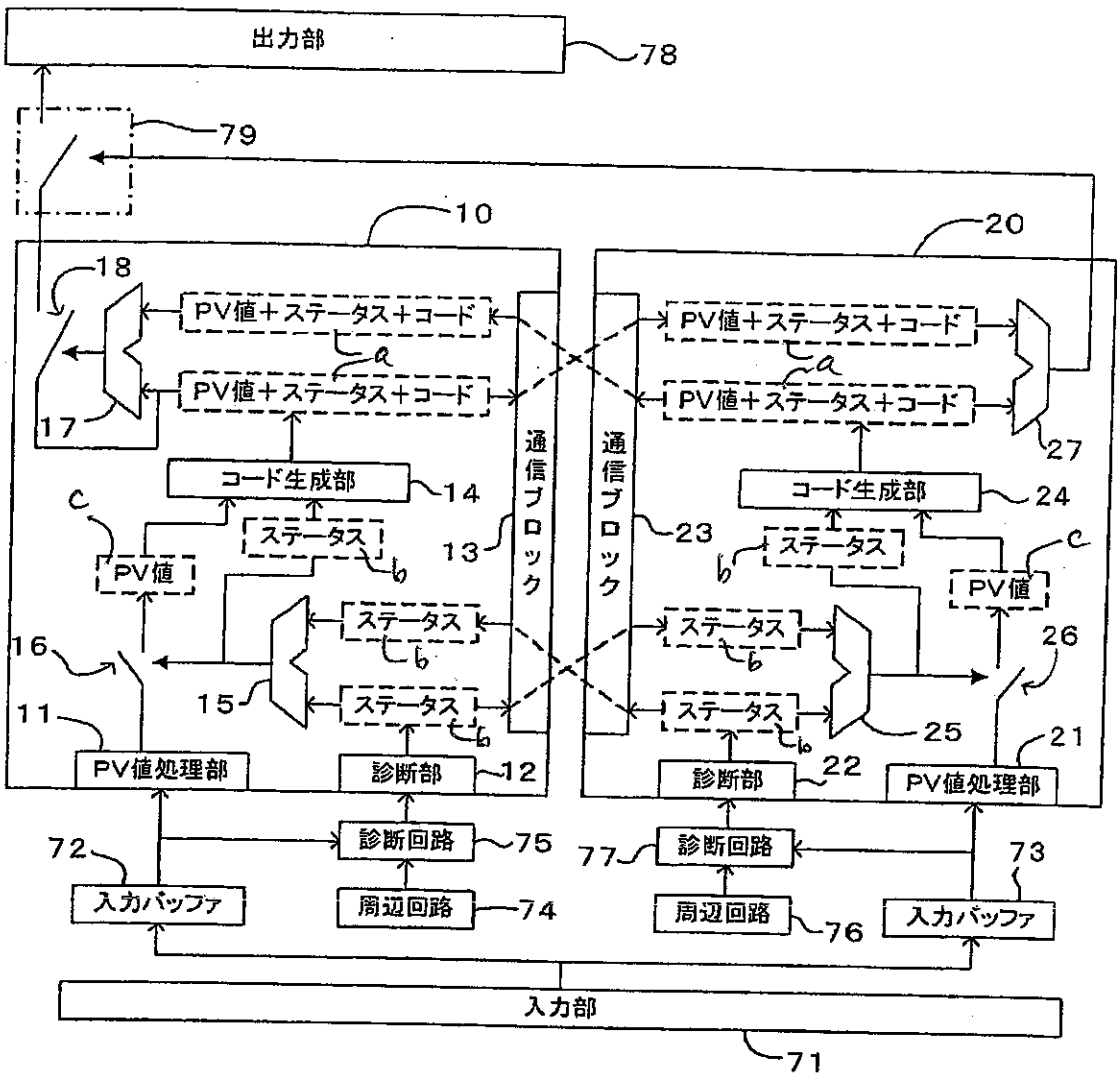

出力部
78
79
10
20
18
PV値＋ステータス＋コード
a
PV値＋ステータス＋コード
17
通信ブロック
コード生成部
14
13
23
24
c
ステータス
b
PV値
16
15
26
11
25
21
PV値処理部
診断部
12
22
診断回路
75
77
72
73
入力バッファ
周辺回路
74
76
入力部
71

Fig. 6

[図6]

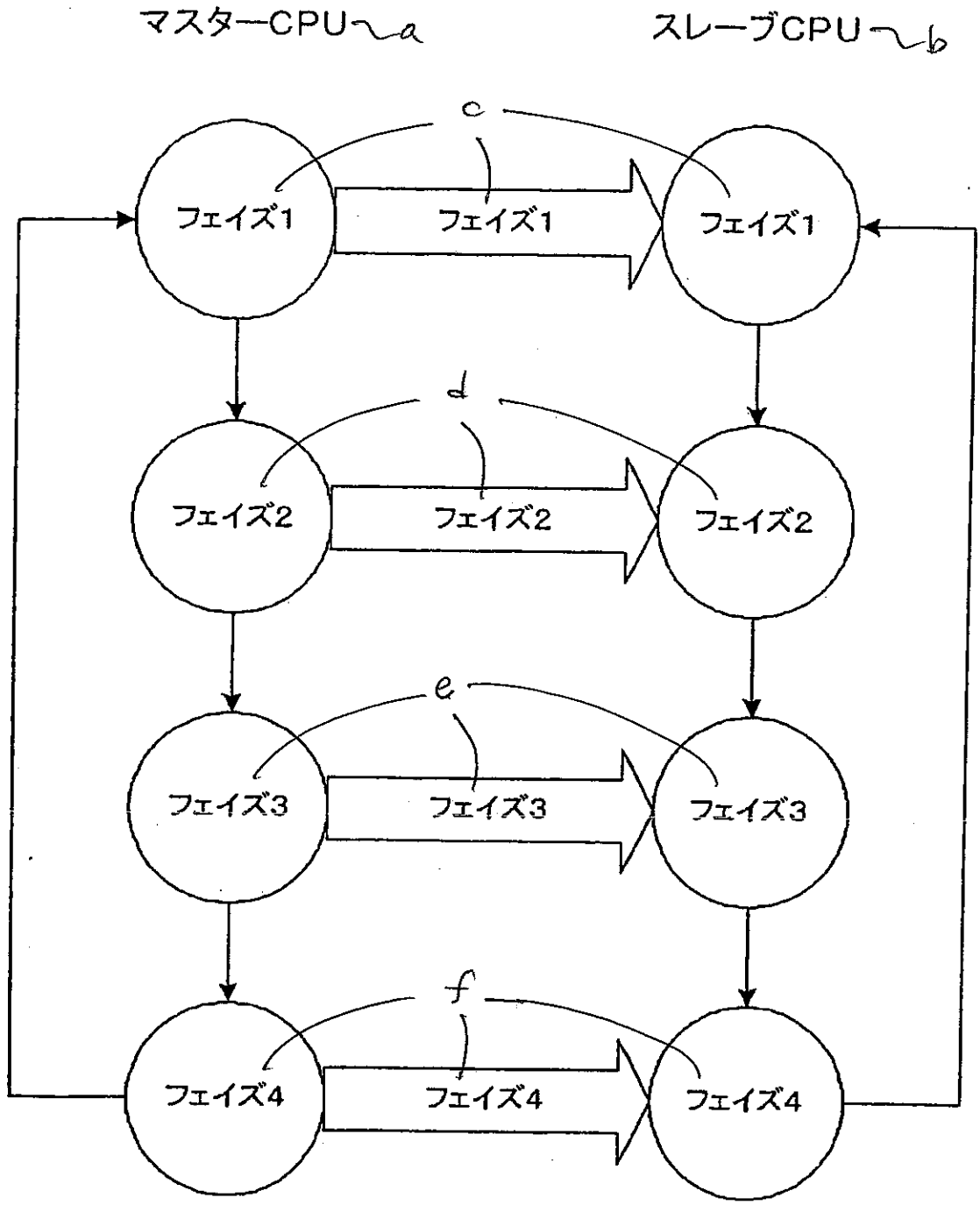
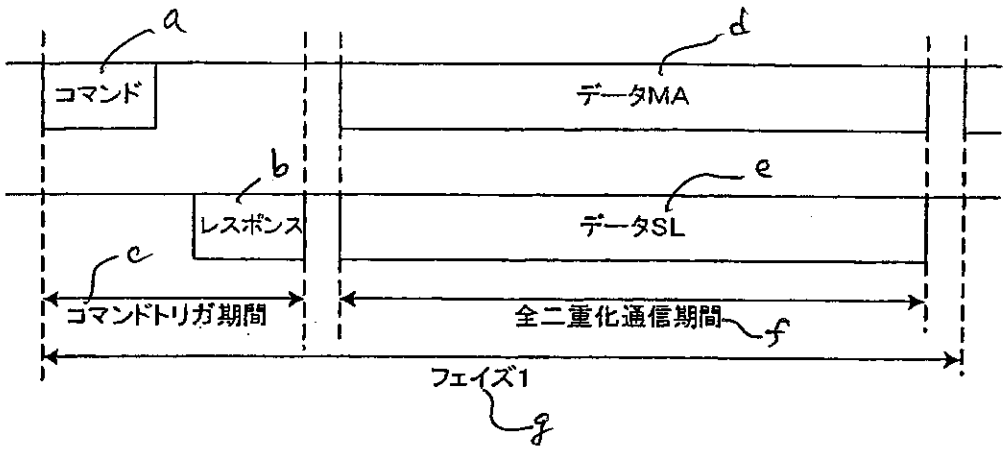

マスターCPU
a
スレーブCPU
b
c
フェイズ1
フェイズ1
フェイズ1
d
フェイズ2
フェイズ2
フェイズ2
e
フェイズ3
フェイズ3
フェイズ3
f
フェイズ4
フェイズ4
フェイズ4

Fig. 7.

[図7]

(a)


a
コマンド
d
データMA
b
レスポンス
e
データSL
c
コマンドトリガ期間
全二重化通信期間
f
フェイズ1
g

(b)

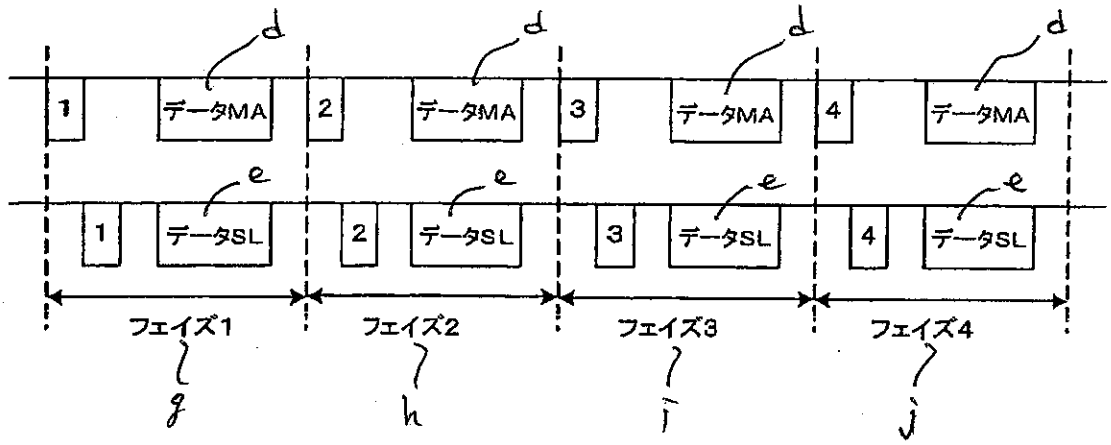

d
1
データMA
2
データMA
3
データMA
4
データMA
e
1
データSL
2
データSL
3
データSL
4
データSL
フェイズ1
フェイズ2
フェイズ3
フェイズ4
g
h
i
j

Fig. 8

~~[図8]~~

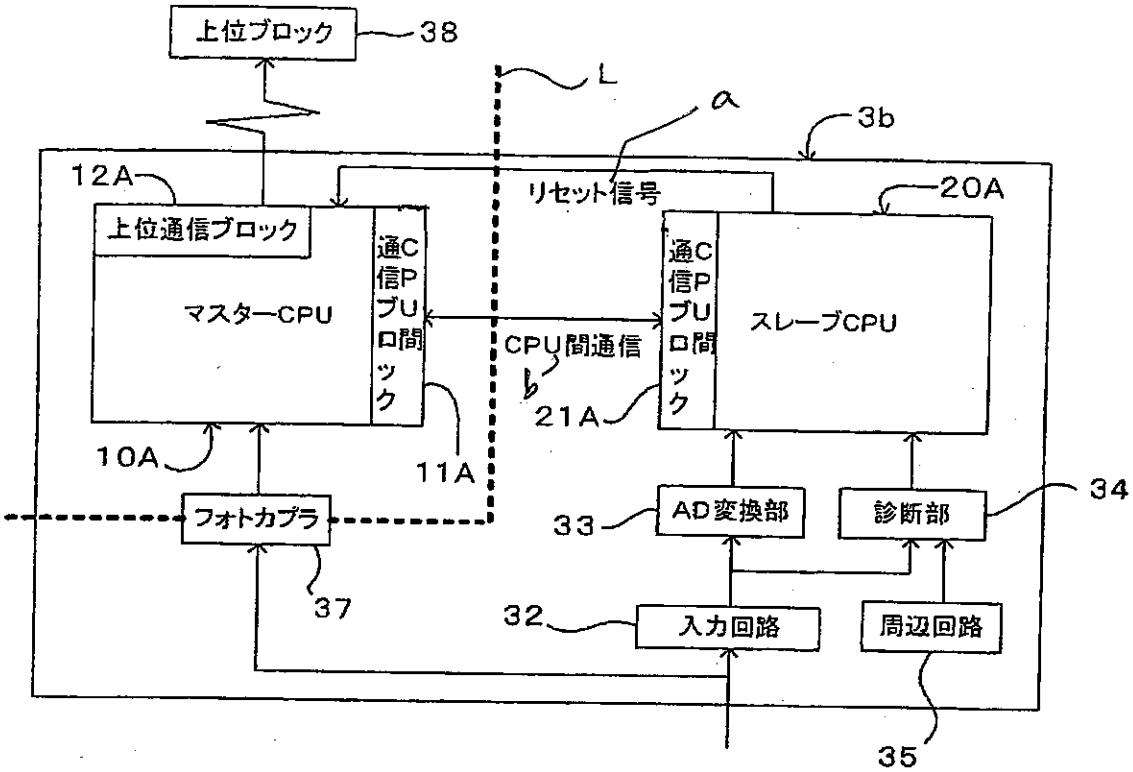
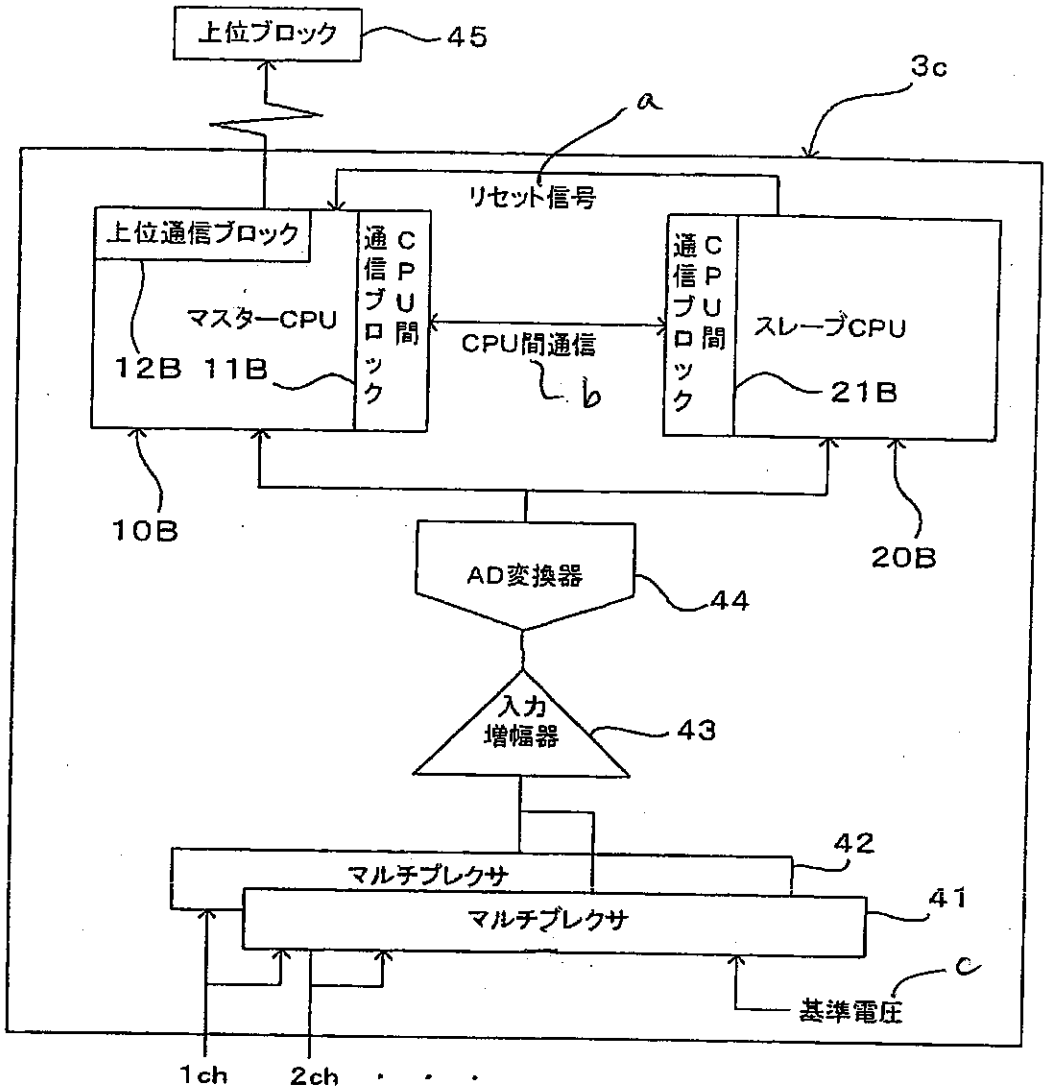

上位ブロック
38
L
a
3b
12A
リセット信号
20A
上位通信ブロック
通C信PブU口間ック
マスターCPU
CPU間通信
b
スレーブCPU
通C信PブU口間ック
21A
10A
11A
フォトカプラ
33
AD変換部
診断部
34
37
32
入力回路
周辺回路
35

Fig. 9

~~[図9]~~


上位ブロック
45
3c
a
リセット信号
上位通信ブロック
通信ブロック
CPU間
マスターCPU
12B 11B
CPU間通信
b
通信ブロック
CPU間
スレーブCPU
21B
10B
20B
AD変換器
44
入力
増幅器
43
42
マルチプレクサ
41
マルチプレクサ
c
基準電圧
1ch
2ch

[図10] Fig. 10

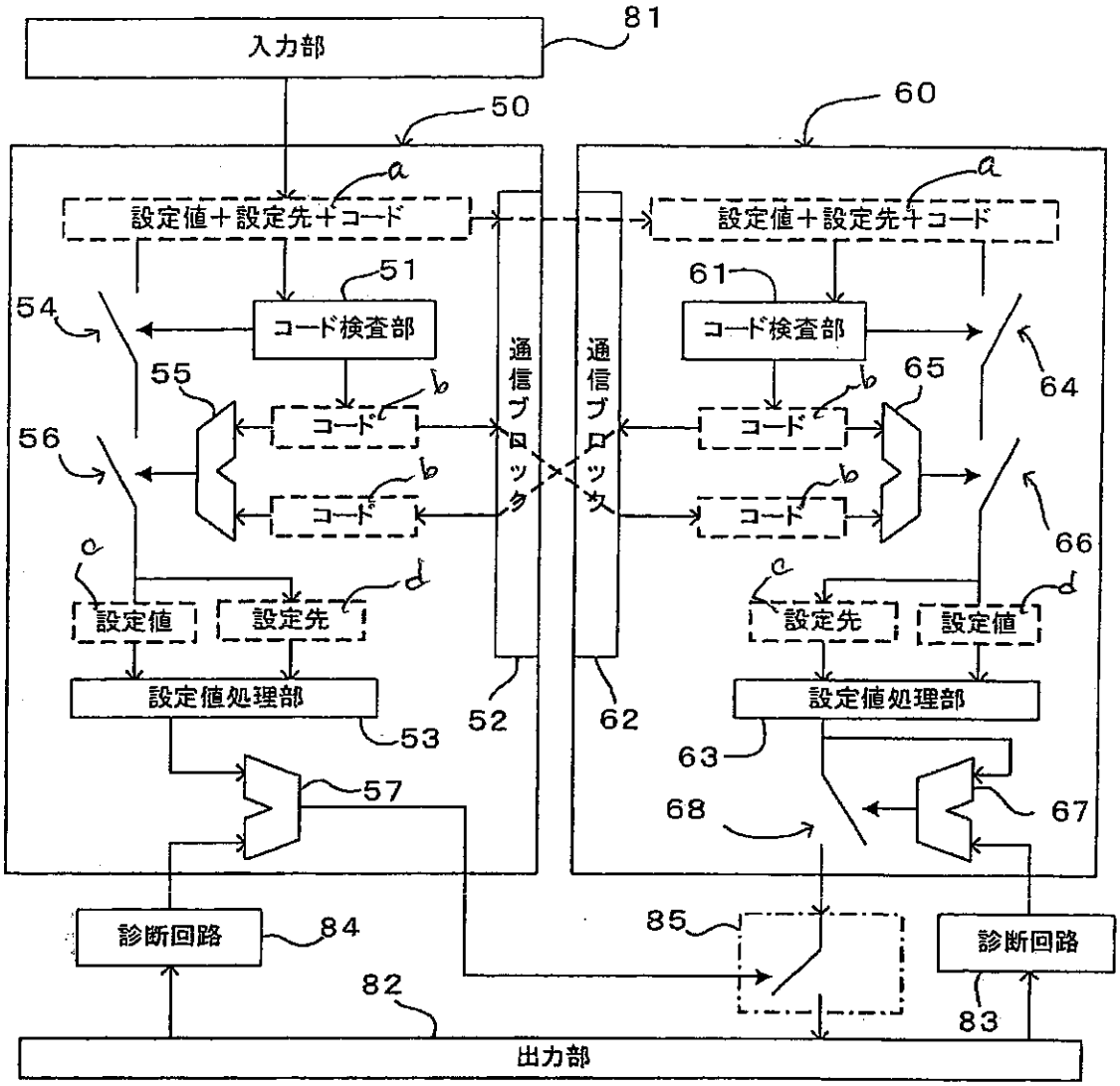

入力部
81
50
60
a
設定値＋設定先＋コード
51
61
コード検査部
54
55
56
64
65
66
b
コード
通信ブロック
c
設定値
d
設定先
設定値処理部
52
62
53
63
57
67
68
診断回路
84
85
82
83
出力部

Fig. 1:

a	first device
b	second device
c	data
101	sending part
102	data collating part
103	processing stop part
104	collating part

Fig. 2:

a	first device
b	second device
c	data
d	code
102	data collating part
103	processing stop part
105	acquiring part
106	first code generating part
107	second code generating part
108	code collating part
109	processing stop part

Fig. 3:

a	first device
b	second device

c	data
d	code
e	collation result
f	inspection result
g	count number
111	first inspecting part
112	second inspecting part
113	code collating part
114	determining part
115	processing stop part
116	data collating part
117	counting part
118	counting stop part
119	determining part
120	processing stop part

Fig. 4:

2	controller
3	input-output device
5	terminal board

Fig. 5:

a	PV value + status + code
b	status
c	PV value

11	PV value processing part
12	diagnostic part
13	communication block
14	code generating part
21	PV value processing part
22	diagnostic part
23	communication block
24	code generating part
71	input part
72	input buffer
73	input buffer
74	peripheral circuit
75	diagnostic circuit
76	peripheral circuit
77	diagnostic circuit
78	output part

Fig. 6:

a	master CPU
b	slave CPU
c	phase 1
d	phase 2
e	phase 3
f	phase 4

Fig. 7:

a	command
b	response
c	command trigger period
d	data MA
e	data SL
f	full-duplexing communication period
g	phase 1
h	phase 2
i	phase 3
j	phase 4

Fig. 8:

a	reset signal
b	communication between CPUs
10A	master CPU
11A	communication block between CPUs
12A	host communication block
20A	slave CPU
21A	communication block
32	input circuit
33	AD conversion part
34	diagnostic part
35	peripheral circuit
37	photo coupler

38	host block

Fig. 9:

a	reset signal
b	communication between CPUs
c	reference voltage
10B	master CPU
11B	communication block between CPUs
12B	host communication block
20B	slave CPU
21B	communication block between CPUs
41	multiplexer
42	multiplexer
43	input amplifier
44	AD converter
45	host block

Fig. 10:

a	set value + set destination + code
b	code
c	set destination
d	set value
51	code inspection part
52	communication block
53	set value processing part

61	code inspection blosk
62	communication block
63	set value processing part
81	input part
82	output part
83	diagnostic circuit
84	diagnostic circuit