

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(10) 国际公布号
WO 2025/156743 A1

(43) 国际公布日
2025 年 7 月 31 日 (31.07.2025)

(51) 国际专利分类号:

G11C 11/406 (2006.01)

国安徽省合肥市经济技术开发区空港工业园兴业大道388号 230601 (CN)。

(21) 国际申请号:

PCT/CN2024/127586

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(22) 国际申请日:

2024 年 10 月 28 日 (28.10.2024)

(25) 申请语言:

中文

(26) 公布语言:

中文

(30) 优先权:

202410111236.6 2024年1月26日 (26.01.2024) CN

(71) 申请人: 长鑫科技集团股份有限公司 (**CXMT CORPORATION**) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号 230601 (CN)。

(72) 发明人: 董平 (**DONG, Ping**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号 230601 (CN)。谷银川(**GU, Yinchuan**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号 230601 (CN)。刘璐 (**LIU, Lu**); 中

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,

(54) **Title:** REFRESH CONTROL STRUCTURE, REFRESH CONTROL METHOD, AND MEMORY

(54) 发明名称: 刷新控制结构、刷新控制方法及存储器

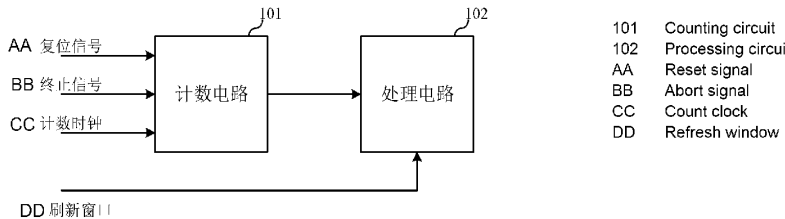


图 7

(57) **Abstract:** The present disclosure relates to the field of semiconductor device structure design, and in particular to a refresh control structure, a refresh control method, and a memory. A processing circuit is used for executing, on the basis of a refresh window, a refresh on an address to be refreshed; a counting circuit is used for generating said address, and on the basis of a count clock, controlling said generated address to increment by 1; and the counting circuit is further used for resetting a least significant bit of said address on the basis of an abort signal, and remaining a next least significant bit of said address unchanged in the process of resetting the least significant bit of said address. The present disclosure is at least used for enhancing the accuracy of memory self-refresh.

(57) 摘要: 本公开涉及半导体器件结构设计领域, 特别涉及一种刷新控制结构、刷新控制方法及存储器, 其中, 处理电路, 用于基于刷新窗口对待刷新地址执行刷新; 计数电路, 用于生成待刷新地址, 并基于计数时钟控制生成的待刷新地址加1; 计数电路还用于基于终止信号复位待刷新地址的最低位, 且在复位待刷新地址的最低位的过程中, 待刷新地址的次低位不变, 至少用于提高存储器自刷新的准确性。

[见续页]

CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。