

一种半导体器件及其制造方法

相关申请的交叉引用

本申请基于申请号为 202110610067.7、申请日为 2021 年 06 月 01 日的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的
5 全部内容在此引入本申请作为参考。

技术领域

本申请涉及但不限于一种半导体器件及其制造方法。

背景技术

随着微电子器件尺寸的不断缩小，硅材料较低的迁移率已成为制约器
10 件性能的主要因素。

有研究发现，在半导体衬底中设置应变层可以提高载流子的迁移率。然而，应变层设置的位置不同，载流子的迁移率也不同，如何设置所述应变层以获得更高的载流子迁移率成为各半导体厂商的研究热点。

发明内容

15 本申请实施例提供了一种半导体器件，包括：有源区，位于半导体衬底中，所述有源区包括中心区域和围绕所述中心区域的外围区域；

第一应变层，以嵌入的方式形成于所述外围区域内；其中，所述第一应变层至少包括第一子部、第二子部、第三子部和第四子部，所述第一子部和所述第三子部沿第一方向间隔分布于所述中心区域的两侧，所述第二子部和所述第四子部沿第二方向间隔分布于所述中心区域的另外两侧，所
20 述第一方向不同于所述第二方向；

栅极，位于所述有源区上，所述栅极沿第一方向延伸且覆盖所述中心区域的至少部分区域、所述第一子部的至少部分区域和所述第三子部的至少部分区域。

本申请实施例还提供了一种半导体器件的制造方法，包括：提供半导体衬底，在所述半导体衬底中定义出有源区，所述有源区包括中心区域和
5 围绕所述中心区域的外围区域；

在所述外围区域内以嵌入的方式形成第一应变层；其中，所述第一应变层至少包括第一子部、第二子部、第三子部和第四子部，所述第一子部和所述第三子部沿第一方向间隔分布于所述中心区域的两侧，所述第二子
10 部和所述第四子部沿第二方向间隔分布于所述中心区域的另外两侧，所述第一方向不同于所述第二方向；

在所述有源区上形成栅极，所述栅极沿第一方向延伸且覆盖所述中心区域的至少部分区域、所述第一子部的至少部分区域和所述第三子部的至少部分区域。

15 附图说明

图 1a 及图 1b 为相关技术中提供的半导体器件的示意图；

图 2a-2c 为本申请实施例提供的半导体器件的示意图；

图 3 为本申请实施例提供的中心区域和外围区域的示意图；

图 4 为本申请实施例提供的具有环状第一应变层的半导体器件的示意图；
20 图；

图 5a-5b 为本申请实施例提供的具有第二应变层的半导体器件的示意图；

图 6 为本申请实施例提供的具有第一源/漏延伸区、第二源/漏延伸区的半导体器件的示意图；

25 图 7 为本申请实施例提供的半导体器件的制造方法的流程图；

图 8a-8e 为本申请实施例提供的半导体器件的制造方法的工艺流程示意图。

具体实施方式

下面将参照附图更详细地描述本申请公开的示例性实施方式。虽然附
5 图中显示了本申请的示例性实施方式，然而应当理解，可以以各种形式实现本申请，而不应被这里阐述的具体实施方式所限制。相反，提供这些实施方式是为了能够更透彻地理解本申请，并且能够将本申请公开的范围完整的传达给本领域的技术人员。

在下文的描述中，给出了大量具体的细节以便提供对本申请更为彻底
10 的理解。然而，对于本领域技术人员而言显而易见的是，本申请可以无需一个或多个这些细节而得以实施。在其他的例子中，为了避免与本申请发生混淆，对于本领域公知的一些技术特征未进行描述；即，这里不描述实际实施例的全部特征，不详细描述公知的功能和结构。

在附图中，为了清楚，层、区、元件的尺寸以及其相对尺寸可能被夸
15 大。自始至终相同附图标记表示相同的元件。

应当明白，当元件或层被称为“在……上”、“与……相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在……上”、“与……直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分，这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此，在不脱离本申请教导之下，下面讨论的第一元件、部件、区、层或部分可
20 表示为第二元件、部件、区、层或部分。而当讨论的第二元件、部件、区、

层或部分时，并不表明本申请必然存在第一元件、部件、区、层或部分。

空间关系术语例如“在……下”、“在……下面”、“下面的”、“在……之下”、“在……之上”、“上面的”等，在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了
5 图中所示的取向以外，空间关系术语意图还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，然后，描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在……下面”和“在……下”可包括上和下两个取向。器件可以另外地取向（旋转 90 度或其它取向）并且在此使用的空间描述语相应地
10 被解释。

在此使用的术语的目的仅在于描述具体实施例并且不作为本申请的限制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”，
15 当在该说明书中使用时，确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

已知，在 N 型金属氧化物半导体场效应晶体管（NMOSFET）的沟道中引入张应力可以提高电子在沟道中的迁移率，在 P 型金属氧化物半导体场
20 效应晶体管（PMOSFET）的沟道中引入压应力可以提高空穴在沟道中的迁移率。

图 1a 及图 1b 为相关技术中提供的半导体器件的示意图，图 1b 为图 1a 沿虚线 A-A' 的剖面图。如图 1a-1b 所示，所述半导体器件包括半导体衬底 1，
所述半导体衬底 1 内包括有源区 11，所述有源区 11 的上方形成有栅介质层
25 16、栅极 12 和侧墙 17，所述有源区 11 内包括源/漏区 131、132。所述栅极

12、栅介质层 16、侧墙 17、及源/漏区 131、132 构成 MOS 晶体管。

所述有源区 11 内还形成有应变部 141、142，所述应变部 141、142 位于所述栅极 12 的两侧，以向所述栅极 12 下方的沟道施加应力以提高沟道载流子的迁移率。

5 然而，上述相关技术中提供的半导体器件的沟道载流子的迁移率已无法满足现代集成电路技术发展的需要。

基于此，提出了本申请实施例的以下技术方案。

本申请实施例提供了一种半导体器件，包括：有源区，位于半导体衬底中，所述有源区包括中心区域和围绕所述中心区域的外围区域；第一应变层，以嵌入的方式形成于所述外围区域内；其中，所述第一应变层至少
10 包括第一子部、第二子部、第三子部和第四子部，所述第一子部和所述第三子部沿第一方向间隔分布于所述中心区域的两侧，所述第二子部和所述第四子部沿第二方向间隔分布于所述中心区域的另外两侧，所述第一方向不同于所述第二方向；栅极，位于所述有源区上，所述栅极沿第一方向延伸且覆盖所述中心区域的至少部分区域、所述第一子部的至少部分区域和
15 所述第三子部的至少部分区域。

本申请实施例提供的第一应变层分别在第一方向和第二方向上对所述栅极下方的沟道产生两个方向的应力，相比于前述相关技术中仅在一个方向上产生应力的结构，本申请实施例的第一应变层可以进一步提高沟道载
20 流子的迁移率。

为了使本申请的上述目的、特征和优点能够更加明显易懂，下面结合附图对本申请的具体实施方式做详细的说明。在详述本申请实施例时，为便于说明，示意图会不依一般比例作局部放大，而且所述示意图只是示例，其在此不应限制本申请的保护范围。

25 图 2a-2c 为本申请实施例提供的半导体器件的示意图，其中，图 2a 为

半导体器件的俯视图，图 2b 是图 2a 沿虚线 A-A' 的截面图，图 2c 是图 2a 沿虚线 B-B' 的截面图。如图 2a-2c 所示，所述半导体器件包括位于半导体衬底中的有源区 21，所述有源区 21 包括中心区域 211 和围绕所述中心区域 211 的外围区域 212。在所述外围区域 212 内嵌入式的形成有第一应变层 24，
5 其中，所述第一应变层 24 至少包括第一子部 241、第二子部 242、第三子部 243 和第四子部 244，所述第一子部 241 和所述第三子部 243 沿第一方向间隔分布于所述中心区域 211 的两侧，所述第二子部 242 和所述第四子部 244 沿第二方向间隔分布于所述中心区域 211 的另外两侧，所述第一方向不同于所述第二方向。

10 所述半导体器件还包括栅极 22，所述栅极 22 位于所述有源区 21 上，所述栅极 22 沿第一方向延伸且覆盖所述中心区域 211 的至少部分区域、所述第一子部 241 的至少部分区域和所述第三子部 243 的至少部分区域。

可以理解的是，所述第一子部 241 和所述第三子部 243 被所述栅极 22 覆盖的部分构成沟道的一部分；同时，所述第一子部 241 和所述第三子部
15 243 在第一方向上对沟道区域施加应力。在一实施例中，所述第一方向平行于沟道宽度方向（B-B' 方向）。

所述第二子部 242 和所述第四子部 244 在第二方向上对沟道区域施加应力。在一实施例中，所述第二方向平行于沟道长度方向（A-A' 方向）。

在一些实施例中，所述第二子部 242 与所述第四子部 244 对称分布在
20 所述栅极 22 的两侧。

所述半导体衬底的材料可以为单晶硅（Si）、绝缘体上硅（SOI）；或者还可以为其它的材料，例如砷化镓等 III-V 族化合物。

所述半导体衬底中还包括浅沟槽隔离结构（未图示），所述浅沟槽隔离结构可以为多个，所述多个浅沟槽隔离结构在所述半导体衬底中定义出所
25 述有源区 21。

所述栅极 22 与所述半导体衬底之间包括栅介质层 26，所述栅介质层 26 的材料例如可以为氧化硅。但不限于此，任何可以作为栅介质层使用的材料均可以应用至本申请实施例中。

5 在一些实施例中，所述栅极 22 的两侧包括侧墙 27，所述侧墙 27 的材料可以为氧化硅、氮化硅。但不限于此，任何可以作为栅介质层使用的材料均可以应用至本申请实施例中。

10 在一些实施例中，所述中心区域 211 呈矩形。图 3 为本申请实施例提供的中心区域和外围区域的示意图，如图所示，所述中心区域 211 包括第一组平行侧边 211_1 和第二组平行侧边 211_2，所述第一组平行侧边 211_1 与所述第一方向平行，所述第二组平行侧边 211_2 与所述第二方向平行。需要说明的是，在其他的一些实施例中，所述中心区域 211 还可以呈其他形状，如圆形、椭圆形、或除矩形外的其他多边形。

15 在一些具体的实施例中，所述第一子部 241 和所述第三子部 243 沿所述第一组平行侧边 211_1 的中心线对称，所述第二子部 242 和所述第四子部 244 沿所述第二组平行侧边 211_2 的中心线对称。

在一些实施例中，所述第一子部 241、所述第二子部 242、所述第三子部 243 和所述第四子部 244 依次连接构成围绕所述中心区域 211 的环状结构，如图 4 所示。

20 具体的，所述第一子部 241 的两端分别与所述第二子部 242 的一端接触连接，所述第三子部 243 的两端分别与所述第二子部 242 的另一端和所述第四子部 244 的另一端接触连接。呈环状结构的第一应变层 24 可以对整个沟道区域施加两个方向的应力，相比于非环状结构的第一应变层，可以进一步优化半导体器件的性能。

25 在一实施例中，所述第一应变层 24 包括硅锗层。此时，所述第一应变层 24 对沟道产生的应力为压应力，所述半导体衬底为 n 型衬底，所述半导

体器件为 PMOS 晶体管。可以理解的是，所述第一应变层 24 还可以为其他应变材料，如碳化硅等。

在一实施例中，采用外延生长工艺形成所述第一应变层 24。但不限于此，还可以采用其他工艺，如掺杂所述半导体衬底来形成所述第一应变层 24。

在一些实施例中，所述半导体器件还包括第二应变层 29，所述第二应变层 29 位于所述中心区域 211 内。图 5a-5b 为本申请实施例提供的具有第二应变层的半导体器件的示意图，其中，图 5b 为图 5a 沿虚线 A-A' 的剖面图。如图 5a-5b 所示，在中心区域 211 内形成有第二应变层 29。所述第二应变层 29 会进一步提升沟道载流子的迁移率，提高半导体器件的性能。

在一具体的实施例中，所述第一应变层 24 的厚度大于所述第二应变层 29 的厚度。在更具体的实施例中，所述第一应变层 24 的厚度是所述第二应变层 29 的厚度的 5-10 倍，例如 8 倍。

在一实施例中，所述第二应变层 29 与所述第一应变层 24 在同一工艺步骤中形成。

在一些实施例中，所述第二应变层 29 的至少部分边界与所述第一应变层 24 的边界连接。在更具体的实施例中，所述第二应变层 29 的所有边界均与所述第一应变层 24 连接。

在一实施例中，所述第二应变层 29 的材料与所述第一应变层 24 的材料相同。但不限于此，所述第二应变层 29 的材料也可以与所述第一应变层 24 不同。

在一实施例中，所述第二应变层 29 包括硅锗层。此时，所述第二应变层 29 对沟道产生的应力为压应力，所述半导体衬底为 n 型衬底，所述半导体器件为 PMOS 晶体管。

在一实施例中，采用外延生长工艺形成所述第二应变层 29。但不限于

此，还可以采用其他工艺，如掺杂所述半导体衬底来形成所述第二应变层 29。

继续参见图 2b，所述半导体器件还包括第一源/漏区 231 和第二源/漏区 232，所述第一源/漏区 231 和所述第二源/漏区 232 可通过掺杂的方式形成
5 在所述有源区 21 内。

在一些实施例中，所述第一源/漏区 231 与所述第四子部 244 至少部分重合，所述第二源/漏区 232 与所述第二子部 242 至少部分重合。在一具体的实施例中，所述第一源/漏区 231 与所述第四子部 244 完全重合，所述第二源/漏区 232 与所述第二子部 242 完全重合。

10 在一些实施例中，所述半导体器件还包括掺杂深度小于所述第一源/漏区 231 的第一源/漏延伸区 281，如图 6 所示。所述第一源/漏延伸区 281 位于所述栅极 22 下方的沟道和所述第一源/漏区 231 之间，且所述第一源/漏延伸区 231 与所述第四子部 244 至少部分重合。所述第一源/漏延伸区 281 能够减小第一源/漏区 231 和所述沟道之间的接触面积以减小沟道漏电流。

15 在一些实施例中，所述半导体器件还包括：掺杂深度小于所述第二源/漏区 232 的第二源/漏延伸区 282，如图 6 所示。所述第二源/漏延伸区 282 位于所述栅极 22 下方的沟道和所述第二源/漏区 232 之间，且所述第二源/漏延伸区 282 与所述第二子部 242 至少部分重合。所述第二源/漏延伸区 282 能够减小第二源/漏区 232 和所述沟道之间的接触面积以减小沟道漏电流。

20 本申请实施例还提供了一种半导体器件的制造方法，如图 7 所示，所述方法包括如下步骤：

步骤 701、提供半导体衬底，在所述半导体衬底中定义出有源区，所述有源区包括中心区域和围绕所述中心区域的外围区域；

步骤 702、在所述外围区域内以嵌入的方式形成第一应变层；其中，所述
25 第一应变层至少包括第一子部、第二子部、第三子部和第四子部，所述

第一子部和所述第三子部沿第一方向间隔分布于所述中心区域的两侧，所述第二子部和所述第四子部沿第二方向间隔分布于所述中心区域的另外两侧，所述第一方向不同于所述第二方向；

步骤 703、在所述有源区上形成栅极，所述栅极沿第一方向延伸且覆盖所述中心区域的至少部分区域、所述第一子部的至少部分区域和所述第三子部的至少部分区域。

下面，结合图 8a-8e 对本申请实施例的半导体器件的制造方法再做进一步详细的说明。

首先，如图 8a 所示，执行步骤 701，提供半导体衬底，在所述半导体衬底中定义出有源区 21，所述有源区 21 包括中心区域 211 和围绕所述中心区域 211 的外围区域 212。

在一实施例中，所述在所述半导体衬底中定义出有源区 21，包括：

在所述半导体衬底中形成浅沟槽隔离结构（图未示出）以定义出所述有源区 21。

所述半导体衬底的材料可以为单晶硅（Si）、绝缘体上硅（SOI）；或者还可以为其它的材料，例如砷化镓等 III-V 族化合物。

在一些实施例中，所述中心区域 211 呈矩形。如图 8a 所示，所述中心区域 211 包括第一组平行侧边 211_1 和第二组平行侧边 211_2，所述第一组平行侧边 211_1 与所述第一方向平行，所述第二组平行侧边 211_2 与所述第二方向平行。需要说明的是，在其他的一些实施例中，所述中心区域 211 还可以呈其他形状，如圆形、椭圆形、或除矩形外的其他多边形。

接着，如图 8b 所示，执行步骤 702，在所述外围区域 212 内以嵌入的方式形成第一应变层 24。

在一实施例中，形成所述第一应变层 24，包括：

在所述外围区域 212 内形成第一沟槽，在所述第一沟槽内通过外延生

长工艺形成所述第一应变层。

可以理解的是，还可以通过其他方式形成所述第一应变层 24，例如可以通过掺杂所述半导体衬底的方式形成所述第一应变层 24。

在一实施例中，所述第一应变层 24 至少包括第一子部 241、第二子部 242、第三子部 243 和第四子部 244，所述第一子部 241 和所述第三子部 243 沿第一方向间隔分布于所述中心区域 211 的两侧，所述第二子部 242 和所述第四子部 244 沿第二方向间隔分布于所述中心区域 211 的另外两侧，所述第一方向不同于所述第二方向。

在一个实施例中，所述第一子部 241 和所述第三子部 243 沿所述第一组平行侧边 211_1 的中心线对称，所述第二子部 242 和所述第四子部 244 沿所述第二组平行侧边 211_2 的中心线对称。

在一些实施例中，所述第一子部 241、所述第二子部 242、所述第三子部 243 和所述第四子部 244 依次连接构成围绕所述中心区域 211 的环状结构。具体的，所述第一子部 241 的两端分别与所述第二子部 242 的一端接触连接，所述第三子部 243 的两端分别与所述第二子部 242 的另一端和所述第四子部 244 的另一端接触连接。呈环状结构的第一应变层 24 可以对整个沟道区域施加两个方向的应力，相比于非环状结构的第一应变层，可以进一步优化半导体器件的性能。

在一实施例中，所述半导体器件的制造方法还包括在所述中心区域 211 内形成第二应变层 29，如图 8c 所示。

在一实施例中，所述形成第二应变层 29 包括：

在所述中心区域形成第二沟槽，在所述第二沟槽内通过外延生长工艺形成所述第二应变层。

可以理解的是，还可以通过其他方式形成所述第二应变层 29，例如可以通过掺杂所述半导体衬底的方式形成所述第二应变层 29。

接下来，如图 8d 所示，执行步骤 703，在所述有源区 21 上形成栅极 22，所述栅极 22 沿第一方向延伸且覆盖所述中心区域 211 的至少部分区域、所述第一子部 241 的至少部分区域和所述第三子部 243 的至少部分区域。

在一实施例中，所述栅极 22 还覆盖所述第二应变层 29 的至少部分区域。

在形成所述栅极 22 后，所述半导体器件的制造方法还包括对所述栅极 22 两侧的有源区 21 进行掺杂以形成第一源/漏区 231、第一源/漏延伸区 281、第二源/漏区 232 和第二源/漏延伸区 282，如图 8e 所示。

在一实施例中，所述第一源/漏区 231 和所述第一源/漏延伸区 28 与所述第四子部 244 至少部分重合，所述第二源/漏区 232 和所述第二源/漏延伸区 282 与所述第二子部 242 至少部分重合。

在一实施例中，述半导体器件的制造方法还包括在所述栅极 22 的两侧形成侧墙 27 的步骤，如图 8e 所示。

以上所述，仅为本申请的较佳实施例而已，并非用于限定本申请的保护范围，凡在本申请的精神和原则之内所作的任何修改、等同替换和改进等，均应包含在本申请的保护范围之内。

权 利 要 求 书

1、一种半导体器件，包括：

有源区，位于半导体衬底中，所述有源区包括中心区域和围绕所述中心区域的外围区域；

5 第一应变层，以嵌入的方式形成于所述外围区域内；其中，所述第一应变层至少包括第一子部、第二子部、第三子部和第四子部，所述第一子部和所述第三子部沿第一方向间隔分布于所述中心区域的两侧，所述第二子部和所述第四子部沿第二方向间隔分布于所述中心区域的另外两侧，所述第一方向不同于所述第二方向；

10 栅极，位于所述有源区上，所述栅极沿第一方向延伸且覆盖所述中心区域的至少部分区域、所述第一子部的至少部分区域和所述第三子部的至少部分区域。

2、根据权利要求1所述的半导体器件，其中，所述中心区域呈矩形，所述中心区域包括第一组平行侧边和第二组平行侧边，所述第一组平行侧边与
15 边与所述第一方向平行，所述第二组平行侧边与所述第二方向平行。

3、根据权利要求2所述的半导体器件，其中，所述第一子部和所述第三子部沿所述第一组平行侧边的中心线对称，所述第二子部和所述第四子部沿所述第二组平行侧边的中心线对称。

4、根据权利要求1所述的半导体器件，其中，所述第一应变层的所述
20 第一子部、所述第二子部、所述第三子部和所述第四子部依次连接构成围绕所述中心区域的环状结构。

5、根据权利要求4所述的半导体器件，其中，所述第一子部的两端分别与
 所述第二子部的一端和所述第四子部的一端接触连接，所述第三子部的
 两端分别与所述第二子部的另一端和所述第四子部的另一端接触连接。

25 6、根据权利要求1所述的半导体器件，其中，所述第二子部与所述第

四子部对称分布在所述栅极的两侧。

7、根据权利要求 1 所述的半导体器件，其中，所述第一应变层包括硅锗层。

8、根据权利要求 1 所述的半导体器件，其中，采用外延生长工艺形成
5 所述第一应变层。

9、根据权利要求 1 所述的半导体器件，所述半导体器件还包括第二应变层，所述第二应变层位于所述中心区域内。

10、根据权利要求 9 所述的半导体器件，其中，所述第一应变层的厚度大于所述第二应变层的厚度。

10 11、根据权利要求 10 所述的半导体器件，其中，所述第一应变层的厚度是所述第二应变层的厚度的 5-10 倍。

12、根据权利要求 1 所述的半导体器件，所述半导体器件包括：第一源/漏区和第二源/漏区；其中，所述第一源/漏区与所述第四子部至少部分重合，所述第二源/漏区与所述第二子部至少部分重合。

15 13、根据权利要求 12 所述的半导体器件，所述半导体器件还包括：掺杂深度小于所述第一源/漏区的第一源/漏延伸区；所述第一源/漏延伸区位于所述栅极下方的沟道和所述第一源/漏区之间，且所述第一源/漏延伸区与与
所述第四子部至少部分重合。

14、根据权利要求 12 所述的半导体器件，所述半导体器件还包括：掺杂深度小于所述第二源/漏区的第二源/漏延伸区；所述第二源/漏延伸区位于
20 所述栅极下方的沟道和所述第二源/漏区之间，且所述第二源/漏延伸区与所述第二子部至少部分重合。

15、根据权利要求 1 所述的半导体器件，其中，所述半导体衬底为 n 型衬底，所述半导体器件为 PMOS 晶体管。

25 16、根据权利要求 1 所述的半导体器件，所述半导体器件包括浅沟槽

隔离结构，所述浅沟槽隔离结构位于所述半导体衬底中以定义出所述有源区。

17、一种半导体器件的制造方法，包括：

提供半导体衬底，在所述半导体衬底中定义出有源区，所述有源区包
5 括中心区域和围绕所述中心区域的外围区域；

在所述外围区域内以嵌入的方式形成第一应变层；其中，所述第一应变层至少包括第一子部、第二子部、第三子部和第四子部，所述第一子部和所述第三子部沿第一方向间隔分布于所述中心区域的两侧，所述第二子部和所述第四子部沿第二方向间隔分布于所述中心区域的另外两侧，所述
10 第一方向不同于所述第二方向；

在所述有源区上形成栅极，所述栅极沿第一方向延伸且覆盖所述中心区域的至少部分区域、所述第一子部的至少部分区域和所述第三子部的至少部分区域。

18、根据权利要求 17 所述的半导体器件的制造方法，其中，所述在所
15 述外围区域内嵌入式的形成第一应变层，包括：

在所述外围区域内形成第一沟槽，在所述第一沟槽内通过外延生长工艺形成所述第一应变层。

19、根据权利要求 17 所述的半导体器件的制造方法，所述半导体器件的制造方法还包括在所述中心区域内形成第二应变层，所述形成第二应变
20 层包括：

在所述中心区域形成第二沟槽，在所述第二沟槽内通过外延生长工艺形成所述第二应变层。

20、根据权利要求 17 所述的半导体器件的制造方法，所述半导体器件的制造方法还包括：对所述栅极两侧的有源区进行掺杂以形成第一源/漏区、
25 第一源/漏延伸区、第二源/漏区和第二源/漏延伸区；其中，所述第一源/漏

区和所述第一源/漏延伸区与所述第四子部至少部分重合，所述第二源/漏区和所述第二源/漏延伸区与所述第二子部至少部分重合。

21、根据权利要求 20 所述的半导体器件的制造方法，其中，所述在所述半导体衬底中定义出有源区，包括：

- 5 在所述半导体衬底中形成浅沟槽隔离结构以定义出所述有源区。