

信号发生装置、方法、模数混合测试板卡和测试机

相关申请

5 本申请要求 2024 年 10 月 18 日申请的，申请号为 202411457686.7，名称为“信号发生装置、方法、模数混合测试板卡和测试机”的中国专利申请的优先权，在此将其全文引入作为参考。

技术领域

10 本申请涉及半导体测试技术领域，特别是涉及一种信号发生装置、方法、模数混合测试板卡和测试机。

背景技术

15 半导体自动化测试，指的是利用自动测试设备（Automatic Test Equipment，ATE）对待测试器件（Device Under Test，DUT）的各项参数指标进行检测，剔除残次品以控制半导体器件的出厂品质。在模拟测试，尤其是高速模拟测试时，对输送至待测试器件的测试信号往往在谐波、信噪比、幅度、信号频率等方面都具有非常高的要求。测试机在实现 IQ（in-phase and quadrature）功能时，需要保证 IQ 通道同步。

20 传统的测试信号产生方案，是通过改变时钟电路输出的时钟信号的频率，从而调整 IQ 通道的 DAC（数模转换器）的采样时钟相位，以使 IQ 通道同步。这种通过调整 DAC 采样时钟相位输出测试信号的方式，控制逻辑复杂，操作繁琐，存在测试效率低的缺点。

针对相关技术的输出测试信号方式中存在的控制逻辑复杂，操作繁琐，测试效率低的问题，目前还没有提出有效的解决方案。

发明内容

25 根据本申请的各种实施例，提供一种信号发生装置、方法、模数混合测试板卡和测试机。

本申请第一方面提供一种信号发生装置，包括：任意波形生成器、读写控制模块、外部时钟芯片和存储装置；

30 所述外部时钟芯片用于输出固定频率的采样时钟至数模转换装置；
所述读写控制模块连接所述任意波形生成器和所述存储装置，用于根据接收的读请

求指令从所述存储装置读取原始波形，并将读取的原始波形返回至任意波形生成器；

所述任意波形生成器用于对接收的原始波形进行重采样处理，生成与所述采样时钟的频率匹配的重构波形；其中，所述重构波形用于数模转换装置根据所述外部时钟芯片输出的采样时钟进行数模转换。

5 在其中一个实施例中，所述任意波形生成器包括：

波形请求模块，连接所述读写控制模块和波形数据处理模块，用于发送读请求指令至所述读写控制模块，以及将所述读写控制模块返回的原始波形发送至所述波形数据处理模块；

10 所述波形数据处理模块，用于对接收的原始波形进行重采样处理，生成与所述采样时钟的频率匹配的重构波形。

在其中一个实施例中，所述任意波形生成器还包括：

同步控制模块，连接所述波形数据处理模块，用于将所述重构波形缓存在内部缓存模块中，并在接收到触发信号后将所述内部缓存模块中的重构波形输出。

在其中一个实施例中，所述波形数据处理模块包括：

15 校准模块，连接所述波形请求模块，用于对接收的原始波形进行校准处理，输出校准后的波形数据；

数字重采样模块，连接所述校准模块，用于对校准后的波形数据进行重采样处理，生成与所述采样时钟的频率匹配的重构波形。

20 在其中一个实施例中，所述校准模块包括 DC（Direct Current）校准模块和 AC（Alternating Current）幅度校准模块中的至少一种。

在其中一个实施例中，所述数字重采样模块包括：

25 输入波形数据缓存模块，连接所述校准模块、有效位置计算模块和有效数据缓存模块，用于对校准后的波形数据进行缓存，并在缓存的数据个数大于设定阈值数量时发送启动信号至所述有效位置计算模块；以及根据接收的读使能信号从缓存的数据中读取有效位置对应的有效数据，并将读取的有效数据发送至所述有效数据缓存模块进行缓存；

所述有效位置计算模块，连接有效系数生成模块，用于在接收到所述启动信号后，根据设置的步进和初始相位计算，得到有效位置信息并发送至所述有效系数生成模块，并发送读使能信号至所述输入波形数据缓存模块；

30 所述有效系数生成模块，连接数据计算模块和有效数据缓存模块，用于根据所述有效位置信息从预存的多组系数中进行系数读取，得到有效系数发送至数据计算模块，并

发送数据读使能信号至有效数据缓存模块；

所述有效数据缓存模块，连接数据计算模块，用于根据接收的数据读使能信号，读取缓存的有效数据发送至数据计算模块；

所述数据计算模块，用于根据接收的有效系数和有效数据进行卷积计算，得到重构
5 波形。

在其中一个实施例中，所述有效数据缓存模块将有效数据使用移位的方式并行存入连续的内部缓存单元中；和/或所述有效系数生成模块根据所述有效位置信息的整数位置信息读出相邻的两组系数，根据所述有效位置信息的小数位置信息对读取的两组系数采用线性插值算法进行计算，得到有效系数。

10 在其中一个实施例中，所述数据计算模块根据接收的有效系数和有效数据进行卷积计算，包括：

$$\text{DATA_VALID} = \sum_{k=0}^{15} \text{COE}[k] * \text{DATA_IN}[16 - k]$$

其中，DATA_VALID 表示重构波形的重构点，COE 表示重构点的有效位置对应的有效系数，DATA_IN 表示有效位置对应的有效数据。

15 在其中一个实施例中，信号发生装置还包括：

延时模块，所述任意波形生成器通过所述延时模块与对应的数模转换装置连接，各所述任意波形生成器还用于根据所述数模转换装置发送的随路时钟，同步发送有效数据至对应的数模转换装置。

在其中一个实施例中，信号发生装置还包括：

20 业务解码模块，连接上位机、所述外部时钟芯片、所述读写控制模块和所述任意波形生成器，根据所述上位机下发的指令对所述外部时钟芯片和所述任意波形生成器进行参数配置，以及通过所述读写控制模块存储原始波形至所述存储装置中。

本申请第二方面提供一种信号发生方法，包括：

外部时钟芯片输出固定频率的采样时钟至数模转换装置；

25 读写控制模块根据接收的读请求指令从存储装置读取原始波形，并将读取的原始波形返回至任意波形生成器；

所述任意波形生成器对接收的原始波形进行重采样处理，生成与所述采样时钟的频率匹配的重构波形；其中，所述重构波形用于数模转换装置根据所述外部时钟芯片输出

的采样时钟进行数模转换。

本申请第三方面提供一种模数混合测试板卡，包括上述的信号发生装置。

本申请第四方面提供一种测试机，包括通信板、背板和上述的模数混合测试板卡。

本申请的一个或多个实施例的细节在下面的附图和描述中提出。本申请的其它特征、
5 目的和优点将从说明书、附图以及权利要求书变得明显。

附图说明

为了更清楚地说明本申请实施例或传统技术中的技术方案，下面将对实施例或传统
技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本
10 申请的实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以
根据公开的附图获得其他的附图。

图 1 为一个实施例中信号发生装置的结构框图。

图 2 为一个实施例中信号发生装置的结构原理图。

图 3 为一个实施例中波形数据处理模块的结构原理图。

15 图 4 为一个实施例中数字重采样的原理示意图。

图 5 为一个实施例中信号发生方法的流程图。

具体实施方式

为了使本申请的目的、技术方案及优点更加清楚明白，以下结合附图及实施例，对
20 本申请进行进一步详细说明。应当理解，此处描述的具体实施例仅仅用以解释本申请，
并不用于限定本申请。

除非另有定义，本文所使用的所有的技术和科学术语与属于本申请的技术领域的技
术人员通常理解的含义相同。本文中在本申请的说明书中所使用的术语只是为了描述具
体的实施例的目的，不是旨在于限制本申请。

25 可以理解，以下实施例中的“连接”，如果被连接的电路、模块、单元等相互之间具
有电信号或数据的传递，则应理解为“电连接”、“通信连接”等。

在此使用时，单数形式的“一”、“一个”和“所述/该”也可以包括复数形式，除非
上下文清楚指出另外的方式。还应当理解的是，术语“包括/包含”或“具有”等指定所
陈述的特征、整体、步骤、操作、组件、部分或它们的组合的存在，但是不排除存在或
30 添加一个或更多个其他特征、整体、步骤、组件、部分或它们的组合的可能性。同时，

在本说明书中使用的术语“和/或”包括相关所列项目的任何及所有组合。

在一个实施例中，如图 1 所示，提供了一种信号发生装置，包括任意波形生成器（Arbitrary Waveform Generator, AWG）110、读写控制模块 120、外部时钟芯片 130 和存储装置 140，读写控制模块 120 连接任意波形生成器 110 和存储装置 140。进一步地，信号发生装置还可包括连接任意波形生成器 110 的数模转换装置（DAC）150。外部时钟芯片 130 用于输出固定频率的采样时钟至数模转换装置 150，读写控制模块 120 用于根据接收的读请求指令从存储装置 140 读取原始波形，并将读取的原始波形 140 返回至任意波形生成器 110。任意波形生成器 110 用于对接收的原始波形进行重采样处理，生成与采样时钟的频率匹配的重构波形，重构波形用于数模转换装置 150 根据外部时钟芯片 130 输出的采样时钟进行数模转换。

其中，任意波形生成器 110 生成与采样时钟的频率匹配的重构波形，可以是指重构波形的采样率与采样时钟的频率相同，也可以是指重构波形的采样率与采样时钟的频率之间的误差在允许范围内。外部时钟芯片 130 可以是 PLL（Phase Locked Loop，锁相环）时钟芯片，存储装置 140 可以是 DDR（Double Data Rate，双倍速率）存储装置，由 DDR4 颗粒组成。任意波形生成器 110 的数量可以是一个或多个，数模转换装置 150 的数量与任意波形生成器 110 的数量一一对应。例如，对于测试机的 IQ 通道，可以分别设置一个任意波形生成器 110 和一个数模转换装置 150，读写控制模块 120 根据接收的读请求指令读取原始波形后，将读取的原始波形返回至对应通道的任意波形生成器 110，任意波形生成器 110 在接收到原始波形后进行 DC（直流）校准、AC（交流）校准、重采样等处理后，生成重构波形发送至对应的数模转换装置 150 进行数模转换处理，得到模拟波形信号输出，用作对半导体芯片等待测器件进行测试。其中，为满足数模转换装置 150 的需求，用户任意设置的原始波形的频率小于或等于外部时钟芯片 130 输出的采样时钟的频率。

进一步地，如图 2 所示，信号发生装置还包括业务解码模块 160，业务解码模块 160 连接上位机、外部时钟芯片 130、读写控制模块 120 和任意波形生成器 110，根据上位机下发的指令对外部时钟芯片 130 和任意波形生成器 110 进行参数配置，以及通过读写控制模块 120 存储原始波形至存储装置 140 中。读写控制模块 120 与存储装置 140 之间可通过 Avalon 接口连接。

具体地，任意波形生成器 110、读写控制模块 120 和业务解码模块 160 可设置在 FPGA（Field-Programmable Gate Array，现场可编程门阵列）内，外部时钟芯片 130、存储装置 140 和数模转换装置 150 位于 FPGA 外部。业务解码模块 160 的端口 PLL_CTRL 通过 SPI

(Serial Peripheral Interface, 串行外设接口) 接口与外部时钟芯片 130 连接, 对外部时钟芯片 130 配置参数, 以使外部时钟芯片 130 输出固定频率的采样时钟至数模转换装置 150, 可以是外部时钟芯片 130 配置成以允许的最大频率 (如 400MHz) 输出采样时钟, 也可以是配置成以其他频率输出采样时钟。业务解码模块 160 的端口 DDR_RQE 与读写控制模块 120 连接, 经读写控制模块 120 实现对存储装置 140 的波形读写控制。业务解码模块 160 的端口 AWG_CTRL 与任意波形生成器 110 连接, 下发控制信号参数对任意波形生成器 110 进行波形重采样控制。

在信号发生装置上电后, 首先业务解码模块 160 自动通过 SPI 接口对外部时钟芯片 130 配置成输出固定频率的采样时钟, 上位机通过业务解码模块 160、读写控制模块 120 将原始波形写入存储装置 140 中。上位机还将控制信号参数通过业务解码模块 160 下发到任意波形生成器 110, 任意波形生成器 110 根据接收的控制信号参数发送读请求指令至读写控制模块 120, 以及对读写控制模块 120 返回的原始波形进行重采样处理, 生成与采样时钟的频率匹配的重构波形。

继续参照图 2, IQ 两路 DAC 芯片是相同的 DAC 芯片, 将 DAC 芯片的采样时钟设置为固定的最大采样时钟 (400MHz)。由于存储装置 140 中原始波形的采样率是用户随意设置的, 但是 DAC 芯片是以固定的最大采样时钟工作的, 所以通过任意波形生成器 110 对原始波形进行重采样, 在保证波形信息 (幅度、频率) 不变的情况下, 将存储装置 140 存储的任意采样率的原始波形重采样到固定的最大采样时钟, 得到的重构波形的采样率与 DAC 芯片的采样时钟的频率相同。同时在重采样过程中, 可通过设置初始相位来改变重采样生成的重构波形的初始相位。生成的重构波形输出到 DAC 芯片, 实现 IQ 通道的任意采样率、任意相位可调功能。采用两个普通的 DAC 芯片即可以实现 IQ 功能, 同时也可以实现两个非 IQ 通道的功能, 无需外部时钟芯片 130 调节采样时钟的频率, 简化操作, 提高了测试效率。

在一个实施例中, 任意波形生成器 110 包括波形请求模块 112 和波形数据处理模块 114, 波形请求模块 112 连接读写控制模块 120 和波形数据处理模块 114, 用于发送读请求指令至读写控制模块 120, 以及将读写控制模块 120 返回的原始波形发送至波形数据处理模块 114; 波形数据处理模块 114 用于对接收的原始波形进行重采样处理, 生成与采样时钟的频率匹配的重构波形。

其中, 波形请求模块 112 包括波形请求单元 1122、RAM (Random Access Memory, 随机存取存储器) 存储单元 1124 和数据选择单元 1126, 波形请求单元 1122 连接读写控制

模块 120、RAM 存储单元 1124 和数据选择单元 1126，数据选择单元 1126 连接 RAM 存储单元 1124 和波形数据处理模块 114。进一步地，波形请求单元 1122 和数据选择单元 1126 还与业务解码模块 160 连接。

波形请求单元 1122 根据业务解码模块 160 下发的控制信号参数（包括 PRE_START 指令、AWG_CTRL_SIGNAL 指令等），向读写控制模块 120 发起读请求指令，请求读取相应的原始波形。其中，AWG_CTRL_SIGNAL 指令可包括波形长度、原始波形在存储装置 140 中的起始地址、波形的重复发送次数等信息。当 PRE_START 指令为 1 时，只向读写控制模块 120 请求 I 通道的原始波形，当 PRE_START 指令为 2 时，只向读写控制模块 120 请求 Q 通道的原始波形，当 PRE_START 指令为 3 时，同时向读写控制模块 120 请求 IQ 两个通道的原始波形。在读写控制模块 120 响应读请求指令后，根据请求的通道数据信息，对应输出 IQ 两个通道的原始波形至波形请求单元 1122。波形请求单元 1122 在收到原始波形后，根据波形长度判断是否需要写入 RAM 存储单元 1124 中，如果波形长度小于预设阈值长度（例如 1024），则写入 RAM 存储单元 1124 中，否则波形请求单元 1122 直接输出原始波形到数据选择单元 1126。数据选择单元 1126 根据业务解码模块 160 下发的波形长度参数（如 AWG_Digital_CTRL_SIGNAL 指令）判断原始波形的来源，如果波形长度小于预设阈值长度，则是 RAM 存储单元 1124 输出原始波形，否则是波形请求单元 1122 直接输出原始波形，数据选择单元 1126 将原始波形送入波形数据处理模块 114 进行重采样处理。

由于原始波形的长度可能非常小，在发送原始波形长度很小时，DDR 带宽利用率很低，不足以支持波形的连续输出，此时需要将原始波形存储在 RAM 存储单元 1124 中，从 RAM 存储单元 1124 控制原始波形输出，以减少小数据时 DDR 带宽牺牲较大的影响。RAM 存储单元 1124 可以支持波形重复读取操作，支持连续波形输出，还可以支持停止读取操作。当波形长度偏小时，将原始波形存储在 RAM 存储单元 1124 中，利用 RAM 存储单元 1124 实现波形的连续输出。

在一个实施例中，如图 2 所示，任意波形生成器 110 还包括同步控制模块 116，同步控制模块 116 连接波形数据处理模块 114，用于将重构波形缓存在内部缓存模块中，并在接收到触发信号后将内部缓存模块中的重构波形输出。具体地，同步控制模块 116 还与业务解码模块 160 连接，同步控制模块 116 将接收的重构波形缓存在内部 FIFO（First Input First Output，先进先出队列）缓存器中，在收到业务解码模块 160 发送的触发信号 TRIG 后，将 FIFO 缓存器中的重构波形输出至数模转换装置 150。同样以测试机包括 IQ 通道为

例，则通过 IQ 通道中的同步控制模块 116 进行同步控制，可以将两个通道的重构波形同步发送至 IQ 两路 DAC 芯片。

可以理解，波形数据处理模块 114 的具体结构也不是唯一的，波形数据处理模块 114 可包括校准模块和数字重采样模块，校准模块连接波形请求模块 112，用于对接收的原始
5 波形进行校准处理，输出校准后的波形数据；数字重采样模块连接校准模块，用于对校准后的波形数据进行重采样处理，生成与采样时钟的频率匹配的重构波形。

其中，如图 3 所示，校准模块具体可包括 DC 校准模块 41 和 AC 幅度校准模块 42 中的至少一种。以校准模块同时包括 DC 校准模块 41 和 AC 幅度校准模块 42 为例，DC 校准模块 41 和 AC 幅度校准模块 42 均与业务解码模块 160 连接，DC 校准模块 41 连接波形请求模块 112 中的数据选择单元 1126，AC 幅度校准模块 42 连接 DC 校准模块 41 和数字重
10 采样模块。DC 校准模块 41 根据业务解码模块 160 下发的 DC 校准系数，对接收的原始波形进行 DC 校准后发送至 AC 幅度校准模块 42，保证通道数据的幅度精度满足指标要求。由于 IQ 通道对于 AC 的平坦度要求较高，因此还利用 AC 幅度校准模块 42 根据业务解码模块 160 下发的 AC 校准系数，对 DC 校准后的波形进行 AC 幅度校准，保证通道数据的
15 幅度精度满足指标要求，AC 幅度校准模块 42 将 AC 幅度校准后的波形输送至数字重采样模块。

存储装置 140 里存的是上位机设置好频率的原始波形（频率可变，譬如 100MHZ，也即是用户设置好的任意频率的原始波形），外部时钟芯片 130 设置的是固定的最大采样时钟频率。数字重采样模块的作用是将原始波形重采样为固定的最大采样时钟频率（400M）
20 的重构波形（波形数据和采样频率均转换，基于最大采样时钟频率，将原始波形转换为最大采样时钟频率对应的重构波形）。

重采样的原理是使用 SINC 函数，对于一个连续信号进行波形恢复，由于任意波形生成器 110 是将任意频率的原始波形重采样为固定的最大采样频率，其实现的功能可以概括为一个任意小数倍数的插值。对于一个已知的连续波形 $x(n)$ ，想要恢复到任意时间的 $x(t)$ ，使用 Sinc 函数进行数据重采样恢复，通过想要恢复的有效点的位置的前 8 个点及后
25 8 个点，通过这 16 个数据与 16 个 Sinc 连续系数的卷积运算后得到恢复的点实际数值。

要想恢复理想的 SINC 函数，理论上需要无数组系数进行运算，显然是不可实现的，所以选取将 SINC 函数的模型分段成 1024 组系数，每组 16 个系数，存储在 ROM 中，在根据有效位置信息去 ROM 中读取到有效系数，由于不能存储无限多组系数，为了精度更
30 高，在计算有效系数时不是将存储的系数直接使用，而是将每段系数之间认为是连续的，

通过使用线性加权算法可以得到任意点的有效系数。

基于此，继续参照图 3，数字重采样模块可包括输入波形数据缓存模块 43、有效位置计算模块 44、有效系数生成模块 45、有效数据缓存模块 46 和数据计算模块 47，输入波形数据缓存模块 43 连接校准模块、有效位置计算模块 44 和有效数据缓存模块 46，有效位置
5 计算模块 44 连接有效系数生成模块 45，有效系数生成模块 45 连接数据计算模块 47 和有效数据缓存模块 46，有效数据缓存模块 46 连接数据计算模块 47。

其中，输入波形数据缓存模块 43 具体连接校准模块中的 AC 幅度校准模块 42，用于对校准后的波形数据进行缓存，并在缓存的数据个数大于设定阈值数量时发送启动信号 SINC_START 至有效位置计算模块 44；以及根据接收的读使能信号从缓存的数据中读取
10 有效位置对应的有效数据，并将读取的有效数据发送至有效数据缓存模块 46 进行缓存；有效位置计算模块 44 用于在接收到启动信号 SINC_START 后，根据设置的步进和初始相位计算，得到有效位置信息并发送至有效系数生成模块 45，并发送读使能信号至输入波形数据缓存模块 43；有效系数生成模块 45 用于根据有效位置信息从预存的多组系数中进行系数读取，得到有效系数发送至数据计算模块 47，并发送数据读使能信号至有效数据
15 缓存模块 46；有效数据缓存模块 46 用于根据接收的数据读使能信号，读取缓存的有效数据发送至数据计算模块 47；数据计算模块 47 根据接收的有效系数和有效数据进行卷积计算，得到重构波形。卷积公式如下：

$$\text{DATA_VALID} = \sum_{k=0}^{15} \text{COE}[k] * \text{DATA_IN}[16 - k]$$

其中，DATA_VALID 表示重构波形的重构点，COE 表示重构点的有效位置对应的有效
20 系数（有效系数共计 16 个），DATA_IN 表示此有效位置对应的有效数据（同样是 16 点，此有效位置前 8 个点、后 8 个点），在经过有效系数和原始波形的 16 次乘累加后，计算得到对应的重构波形的重构点。

设定阈值数量的取值并不唯一，可根据实际需要进行设置。业务解码模块 160 连接有效位置计算模块 44，对步进 STEP 和初始相位 PHASE 进行配置。通过控制步进 STEP 和
25 初始相位 PHASE，数字重采样模块能够将可变采样频率的初始波形，重采样为固定最大采样频率的重构波形，同时由于数字重采样模块进行数字重采样，还可以实现输出波形的相位调整，精度最高可达 1ps。

具体地，输入波形数据缓存模块 43 接收到 AC 幅度校准模块 42 输出的校准后的波形

数据后，可以缓存在内部缓存单元（如 FIFO）中。输入波形数据缓存模块 43 在缓存的数据个数大于设定阈值数量（如 16）时，发送启动信号 SINC_START 至有效位置计算模块 44。有效位置计算模块 44 在收到启动信号 SINC_START 后开始工作，根据业务解码模块 160 发送的步进 STEP 和初始相位 PHASE 信息进行有效位置计算，有效位置可以理解为重构波形点数位置，计算得到的有效位置信息由 16bit 整数+48bit 小数组成。其中，重构波形的初始位置由初始相位 PHASE 决定，初始位置即指重构波形第一个点的有效位置。重构波形点数位置对应原始波形点数位置关系为：重构波形点数位置=（原始波形点数位置-1）*STEP+1+PHASE。原始波形点数位置也即校准后的波形数据的点数位置，DC 校准、AC 幅度校准不会改变原始波形的点数位置。

其中，步进 STEP=用户设置采样率（原始波形的采样率）/固定最大采样率（采样时钟的频率），由于用户设置采样率小于等于固定最大采样率，则 STEP 的值小于或等于 1，可以理解为任意倍数的插值操作。其中，步进 STEP 由 16bit 整数+48bit 小数组成，由于固定最大采样率设置为 400MHz，48bit 小数可以支持到 uHz 之后，可以实现精度在 uHz 的采样率重采样。由于任意波形生成器 110 是固定 400MHz 采样率输出，为了达到采样率分辨率可以实现 uHz 调整的目的。假设 $A=400\text{MHz}=400*2^{10}*2^{10}\text{Hz}$ ， $B=1\text{uHz}=(1/2^{10}*2^{10})\text{Hz}$ ，则 $A/B=400*2^{10}*2^{10}\text{Hz}/(1/2^{10}*2^{10})\text{Hz}=400*2^{40}=49\text{bit}$ ，由于 SINC 算法将系数分成 1024 份，故最小位置信息需要 $400*2^{40}/1024\text{bit}=39\text{bit}$ ，本方案中取 48bit。其中，初始相位 PHASE=一个波形周期点数/(360°/重构波形的相位)，将输出结果用 16bit 整数+48bit 小数组成，可以进行 ps 级相位调整。

有效位置计算模块 44 根据设置的步进 STEP 和初始相位 PHASE 得到有效位置信息后，将有效位置信息输出到有效系数生成模块 45，同时根据确定的有效位置发送读使能信号至输入波形数据缓存模块 43。输入波形数据缓存模块 43 根据有效位置计算模块 44 发送的读使能信号，读取一个数据发送到有效数据缓存模块 46，此时有效数据缓存模块 46 存储的数据为该有效位置的有效数据。当有效系数生成模块 45 计算出该有效位置的有效系数后，有效数据缓存模块 46 读出该有效数据送到数据计算模块 47 进行计算。

有效系数生成模块 45 可预先在内部 ROM（只读存储器）单元中存储多组（例如 1024 组）系数（每组 16 个系数），有效系数生成模块 45 在收到有效位置信息后，可根据有效位置信息的整数位置信息读出相邻的两组系数，根据有效位置信息的小数位置信息对读取的两组系数采用线性插值算法进行计算，得到有效系数。

具体地，有效系数生成模块 45 根据有效位置信息去 ROM 单元中读取预先存储的系

数，由于预先存储的系数只有 1024 组，不能满足 48bit 小数的精度，在此时根据有效位置信息的整数位置信息读出相邻的两组系数（一组 16 个系数），再根据有效位置信息的小数位置信息对两组系数进行计算，使用线性插值算法：

$y_coe[n]=COE1[n]*tim_valid+COE2[n]*(1-tim_valid)$ ， n 取 0-15,得到最精确的有效系数

5 （16 个系数）。其中，COE1 表示读出的相邻的两组系数中的第一组系数，COE2 表示读出的相邻的两组系数中的第二组系数（第一组系数和第二组系数均为 16 个），tim_valid 表示有效位置信息中的小数位置信息，y_coe 表示根据线性插值得到的实际的有效位置信息中的小数位置的有效系数（16 个系数）。

有效数据缓存模块 46 可将有效数据使用移位的方式并行存入连续的内部缓存单元
10 （如 FIFO）中。具体地，有效数据缓存模块 46 将有效数据使用移位的方式并行存储到 16 个 FIFO 中，并行存储的具体表现为输入的最新的数据存储到 FIFO1 中，同时原 FIFO1 中的数据存储到 FIFO2 中，原 FIFO2 中的数据存储到 FIFO3 中，...，即 16 个 FIFO 存储的是连续的 16 个数据。

在有效系数生成模块 45 生成一个有效系数后，将有效系数输出到数据计算模块 47，
15 同时向有效数据缓存模块 46 发起数据读使能信号。有效数据缓存模块 46 根据数据读使能信号，同时读取出 16 个 FIFO 中的 16 个有效数据，输出到数据计算模块 47。数据计算模块 47 根据有效系数生成模块 45 输出的有效系数和有效数据缓存模块 46 输出的有效数据，进行 16 阶卷积计算，计算得出重采样后的重构波形，输出到后级的同步控制模块 116。

下面进行举例说明，假设条件 1：用户设置采样率（原始波形的频率）为 202Mhz，
20 假设条件 2：设置重构波形的相位为 3.6° ，假设条件 3：波形文件为 100 个点，表示 2 个周期。此时：步进 $STEP = \text{用户设置采样率}/\text{固定最大采样率} = 202/400 = 0.505$ ，初始相位 $PHASE = \text{一个波形周期点数}/(360^\circ / \text{重构波形的相位}) = (100/2)/(360^\circ / 3.6^\circ) = 0.5$ 。如图 4 所示，重构波形中根据初始相位 PHASE 决定第一个点的有效位置，重构波形点数对应的是原始波形中的有效位置。重构波形点数位置对应原始波形点数位置关系为：重构波形
25 点数位置 = (原始波形点数位置 - 1) * STEP + 1 + PHASE = (原始波形点数位置 - 1) * 0.505 + 1 + 0.5，如：1----1.500，2----2.005，3----2.510，4----3.015。如图 4 所示，说明了重采样中用户设置频率、波形点数、初始相位对于重采样的作用，以及与有效位置的相互之间的关系。

在一个实施例中，信号发生装置还包括延时模块，任意波形生成器 110 通过延时模块
30 与对应的数模转换装置 150 连接，各任意波形生成器 110 还用于根据数模转换装置 150 发

送的随路时钟，同步发送有效数据至对应的数模转换装置 150。如图 2 所示，延时模块具体可包括 IDELAY 单元和 ODELAY 单元。由于不同的走线会导致延时不同，使用 IDELAY 单元和 ODELAY 单元调整重构波形传输的延时，以使 DAC 芯片满足建立保持时间。任意波形生成器 110 中的同步控制模块 116，通过延时模块与相应的数模转换装置 150 连接，

5 同步控制模块 116 与延时模块之间可通过 LVDS（Low-Voltage Differential Signaling 低电压差分信号）接口连接。数模转换装置 150 输出随路时钟 data_clk 到同步控制模块 116，同步控制模块 116 根据随路时钟 data_clk 输出重构波形。

同样以测试机包括 IQ 双通道为例，两个通道的 DAC 芯片都会发送随路时钟 data_clk，由于两个 DAC 芯片输入的采样时钟同源同频，因此可以只使用其中一个采样时钟作为两个 DAC 芯片的共用采样时钟。DAC 芯片输出随路时钟 data_clk 到同步控制模块 116，同步控制模块 116 根据随路时钟 data_clk 输出重构波形到 DAC 芯片。

10

为了保证数据同步，同步控制模块 116 在收到触发信号 TRIG 后，首先将触发信号 TRIG 跨时钟域转换到 I 路 DAC 芯片的随路时钟 data_clk 的时钟域下，然后根据业务解码模块 160 下发的工作模式，判断工作模式是否为 IQ 模式。如果是 IQ 模式时，判断只要有一个通道的触发信号 TRIG 拉高，即同时控制两个通道的同步控制模块 116 从 FIFO 中读取数据，并根据 I 路 DAC 芯片的随路时钟 data_clk 作为时钟输出数据，此时可以达到 IQ 两路数据同步输出；当工作模式不为 IQ 模式时，则 IQ 两个通道的同步控制模块 116 根据各自接收的 TRIG 信号控制 IQ 两通道数据输出。

15

参照图 2 和图 3，以下描述原始波形的完整处理过程：在信号发生装置上电后，上位机与业务解码模块 160 通信，通过业务解码模块 160 将原始波形写入存储装置 140 中，配置外部时钟芯片 130 输出固定频率的采样时钟，以及下发控制信号参数到任意波形生成器 110 进行参数配置，具体包括配置波形请求单元 1122 的控制信号参数、数据选择单元 1126 的波形长度参数、DC 校准模块 41 的 DC 校准参数、AC 幅度校准模块 42 的 AC 校准参数、有效位置计算模块 44 的步进和初始相位等等。

20

波形请求单元 1122 根据配置的控制信号参数，发送读请求指令至读写控制模块 120 请求读取原始波形。波形请求单元 1122 在收到原始波形后，根据波形长度判断是否需要写入 RAM 存储单元 1124 中，如果波形长度小于预设阈值长度，则写入 RAM 存储单元 1124 中，否则波形请求单元 1122 直接输出原始波形到数据选择单元 1126。数据选择单元 1126 根据业务解码模块 160 下发的波形长度参数判断原始波形的来源，从 RAM 存储单元 1124 或波形请求单元 1122 获取原始波形送入波形数据处理模块 114 进行重采样处理。

25

30

波形数据处理模块 114 中，DC 校准模块 41 和 AC 幅度校准模块 42 根据配置 DC 校准系数和 AC 校准系数，对原始波形依次进行 DC 校准和 AC 幅度校准后送入输入波形数据缓存模块 43 进行缓存。输入波形数据缓存模块 43 在缓存的数据个数大于设定阈值数量时发送启动信号 SINC_START 至有效位置计算模块 44，有效位置计算模块 44 在接收到启动信号 SINC_START 后，根据配置的步进和初始相位计算有效位置信息并发送至有效系数生成模块 45，并发送读使能信号至输入波形数据缓存模块 43。输入波形数据缓存模块 43 根据接收的读使能信号从缓存的数据中读取有效位置对应的有效数据，并将读取的有效数据发送至有效数据缓存模块 46 进行缓存。有效系数生成模块 45 根据有效位置信息从预存的多组系数中进行系数读取，得到有效系数发送至数据计算模块 47，并发送数据读使能信号至有效数据缓存模块 46。有效数据缓存模块 46 根据接收的数据读使能信号，读取缓存的有效数据发送至数据计算模块 47，数据计算模块 47 根据接收的有效系数和有效数据进行卷积计算，得到重构波形。

数据计算模块 47 计算得到的重构波形发送至同步控制模块 116 进行缓存。同步控制模块 116 在接收到业务解码模块 160 下发的触发信号 TRIG 后，以 DAC 芯片的随路时钟 data_clk 作为时钟，将缓存的重构波形通过延时模块发送至 DAC 芯片。DAC 芯片根据外部时钟芯片 130 输出的采样时钟，将接收的重构波形进行数模转换处理，得到模拟波形信号输出至待测器件进行测试。

在一个实施例中，如图 5 所示，还提供了一种信号发生方法，包括：
 步骤 S110：外部时钟芯片输出固定频率的采样时钟至数模转换装置。
 步骤 S120：读写控制模块根据接收的读请求指令从存储装置读取原始波形，并将读取的原始波形返回至任意波形生成器。

步骤 S130：任意波形生成器对接收的原始波形进行重采样处理，生成与采样时钟的频率匹配的重构波形；其中，重构波形用于数模转换装置根据外部时钟芯片输出的采样时钟进行数模转换。

可以理解，上述信号发生方法的具体实施方式在上述信号发生装置中进行了详细解释说明，在此不再赘述。

在一个实施例中，还提供了一种模数混合测试板卡，包括上述的信号发生装置。

在一个实施例中，还提供了一种测试机，包括通信板、背板和上述的模数混合测试板卡。其中，通信板通过背板与模数混合测试板卡连接。此外，测试机还包括与通信板通信的上位机，上位机可以但不限于各种个人计算机、笔记本电脑、智能手机、平板

电脑和便携式可穿戴设备，便携式可穿戴设备可为智能手表、智能手环、头戴设备等。

上述信号发生装置、方法、模数混合测试板卡和测试机，具有以下优点：

1、本申请使用 DAC 芯片固定采样时钟频率，上电初始化后即不需要重复配置外部时钟芯片，减少由于改变采样时钟而产生的时钟芯片锁定时间，提高测试效率。

5 2、本申请使用 DAC 芯片固定采样时钟频率，通过数字域算法进行重采样操作，实现任意采样率设计，可以实现 uHz 的采样率分辨率调整，此指标需求是现有的通过时钟芯片调整采样率的方式很难实现到的指标要求。

3、本申请既可以实现 IQ 功能，也可以实现非 IQ 功能，使用更加灵活便捷，提高设备使用效率。

10 4、本申请的控制方式便于程序通道的扩展、复用、移植，可以直接使用到其他工程中，对于程序更新只需要增加或减少通道即可，便于程序代码维护。

以上所述实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例中的各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

15 以上所述实施例仅表达了本申请的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对发明专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本申请构思的前提下，还可以做出若干变形和改进，这些都属于本申请的保护范围。因此，本申请专利的保护范围应以所附权利要求为准。

权利要求

1. 一种信号发生装置，其特征在于，包括：任意波形生成器、读写控制模块、外部时钟芯片和存储装置；
- 5 所述外部时钟芯片用于输出固定频率的采样时钟至数模转换装置；
- 所述读写控制模块连接所述任意波形生成器和所述存储装置，用于根据接收的读请求指令从所述存储装置读取原始波形，并将读取的原始波形返回至任意波形生成器；
- 所述任意波形生成器用于对接收的原始波形进行重采样处理，生成与所述采样时钟的频率匹配的重构波形；其中，所述重构波形用于数模转换装置根据所述外部时钟芯片
- 10 输出的采样时钟进行数模转换。
2. 根据权利要求 1 所述的信号发生装置，其中，所述任意波形生成器包括：
- 波形请求模块，连接所述读写控制模块和波形数据处理模块，用于发送读请求指令至所述读写控制模块，以及将所述读写控制模块返回的原始波形发送至所述波形数据处理模块；
- 15 所述波形数据处理模块，用于对接收的原始波形进行重采样处理，生成与所述采样时钟的频率匹配的重构波形。
3. 根据权利要求 2 所述的信号发生装置，其中，所述任意波形生成器还包括：
- 同步控制模块，连接所述波形数据处理模块，用于将所述重构波形缓存在内部缓存模块中，并在接收到触发信号后将所述内部缓存模块中的重构波形输出。
- 20 4. 根据权利要求 2 所述的信号发生装置，其中，所述波形数据处理模块包括：
- 校准模块，连接所述波形请求模块，用于对接收的原始波形进行校准处理，输出校准后的波形数据；
- 数字重采样模块，连接所述校准模块，用于对校准后的波形数据进行重采样处理，生成与所述采样时钟的频率匹配的重构波形。
- 25 5. 根据权利要求 4 所述的信号发生装置，其中，所述校准模块包括 DC 校准模块和 AC 幅度校准模块中的至少一种。
6. 根据权利要求 4 所述的信号发生装置，其中，所述数字重采样模块包括：
- 输入波形数据缓存模块，连接所述校准模块、有效位置计算模块和有效数据缓存模块，用于对校准后的波形数据进行缓存，并在缓存的数据个数大于设定阈值数量时发送
- 30 启动信号至所述有效位置计算模块；以及根据接收的读使能信号从缓存的数据中读取有

效位置对应的有效数据，并将读取的有效数据发送至所述有效数据缓存模块进行缓存；

所述有效位置计算模块，连接有效系数生成模块，用于在接收到所述启动信号后，根据设置的步进和初始相位计算，得到有效位置信息并发送至所述有效系数生成模块，并发送读使能信号至所述输入波形数据缓存模块；

- 5 所述有效系数生成模块，连接数据计算模块和有效数据缓存模块，用于根据所述有效位置信息从预存的多组系数中进行系数读取，得到有效系数发送至数据计算模块，并发送数据读使能信号至有效数据缓存模块；

所述有效数据缓存模块，连接数据计算模块，用于根据接收的数据读使能信号，读取缓存的有效数据发送至数据计算模块；

- 10 所述数据计算模块，用于根据接收的有效系数和有效数据进行卷积计算，得到重构波形。

7. 根据权利要求 6 所述的信号发生装置，其中，所述有效数据缓存模块将有效数据使用移位的方式并行存入连续的内部缓存单元中；和/或所述有效系数生成模块根据所述有效位置信息的整数位置信息读出相邻的两组系数，根据所述有效位置信息的小数位置信息对读取的两组系数采用线性插值算法进行计算，得到有效系数。

8. 根据权利要求 6 所述的信号发生装置，其中，所述数据计算模块根据接收的有效系数和有效数据进行卷积计算，包括：

$$DATA_VALID = \sum_{k=0}^{15} COE[k] * DATA_IN[16 - k]$$

- 其中，DATA_VALID 表示重构波形的重构点，COE 表示重构点的有效位置对应的有效系数，DATA_IN 表示有效位置对应的有效数据。

9. 根据权利要求 1-8 任意一项所述的信号发生装置，其中，还包括：

延时模块，所述任意波形生成器通过所述延时模块与对应的数模转换装置连接，各所述任意波形生成器还用于根据所述数模转换装置发送的随路时钟，同步发送有效数据至对应的数模转换装置。

- 25 10. 根据权利要求 1-8 任意一项所述的信号发生装置，其中，还包括：

业务解码模块，连接上位机、所述外部时钟芯片、所述读写控制模块和所述任意波形生成器，根据所述上位机下发的指令对所述外部时钟芯片和所述任意波形生成器进行参数配置，以及通过所述读写控制模块存储原始波形至所述存储装置中。

11. 一种信号发生方法，其特征在于，包括：

外部时钟芯片输出固定频率的采样时钟至数模转换装置；

读写控制模块根据接收的读请求指令从存储装置读取原始波形，并将读取的原始波形返回至任意波形生成器；

5 所述任意波形生成器对接收的原始波形进行重采样处理，生成与所述采样时钟的频率匹配的重构波形；其中，所述重构波形用于数模转换装置根据所述外部时钟芯片输出的采样时钟进行数模转换。

12. 一种模数混合测试板卡，其特征在于，包括权利要求 1-10 任意一项所述的信号发生装置。

10 13. 一种测试机，其特征在于，包括通信板、背板和权利要求 12 所述的模数混合测试板卡。