

PUCE DE CIRCUIT INTEGRE PHOTONIQUE-ELECTRONIQUE ET SON PROCEDE DE FABRICATION

DOMAINE TECHNIQUE

Le domaine de l'invention est celui des circuits intégrés, plus particulièrement celui
5 des circuits intégrés photonique-électronique comportant des parties électroniques et
photoniques sur une même puce.

TECHNIQUE ANTÉRIEURE

L'informatique hétérogène implique différents circuits électroniques comme des
unités centrales de traitement (CPU pour « Central Processing Unit »), des unités de
10 traitement graphique (GPU pour « Graphic Processing Unit »), des réseaux de portes
programmables (FPGA pour « Field Programmable Gate Arrays »), des accélérateurs de
réseaux neuronaux et des ressources mémoire partagées.

Ces circuits électroniques sont généralement reliés entre eux à l'aide de
fils/connecteurs métalliques pour former une unité de traitement multi-cœurs atteignant
15 la puissance de calcul souhaitée. Ce type d'assemblage limite néanmoins la bande passante
et la densité de puissance.

La photonique constitue une technologie prometteuse pour assurer des
communications optiques intra- ou inter-puce qui puissent permettre de surmonter les
limitations des interconnexions électriques.

20 L'intégration 2,5D ou 3D permet ainsi d'associer une partie de circuit électronique
avec une interface photonique d'interconnexion. Une telle intégration nécessitant des
interposeurs photoniques et des interconnexions verticales en cuivre, les limitations
susmentionnées ne peuvent toutefois pas être pleinement surmontées.

C'est pourquoi on cherche à combiner électronique et photonique sur une même
25 puce alors même qu'une telle combinaison s'avère difficile en raison des exigences
antagonistes, notamment en termes de fabrication, de chacune de ces technologies.

On connaît ainsi par exemple de l'article de Sun, C., Wade, M., Lee, Y. et al. intitulé
« Single-chip microprocessor that communicates directly using light », Nature 528, 534–

538 (2015) une solution de co-intégration sur un même substrat silicium-sur-isolant (SOI pour « Silicon On Insulator ») d'un circuit électronique avec des dispositifs optiques assurant des fonctions d'interconnexion pour le circuit électronique au moyen de chemins optiques.

5 Cette solution consiste à fournir un substrat SOI qui comprend une couche mince superficielle de silicium séparée d'un substrat support par une couche d'oxyde enterrée et à structurer la couche mince superficielle de silicium pour former à la fois le corps des transistors électroniques et le cœur des guides d'ondes optiques. La couche d'oxyde enterrée du substrat SOI étant mince (<200 nm), la lumière se propageant dans les guides
10 d'ondes est toutefois susceptible de s'échapper de manière évanescente dans le substrat support, ce qui peut entraîner des pertes élevées dans les guides d'ondes. Pour résoudre ce problème, cette solution préconise de procéder à un enlèvement sélectif du substrat après l'encapsulation électrique de la puce afin d'éliminer par gravure le substrat support sous les régions comportant des dispositifs optiques.

15 Cet enlèvement sélectif post-encapsulation s'avère toutefois complexe à réaliser, rendant cette solution difficilement industrialisable.

EXPOSÉ DE L'INVENTION

 L'invention a pour objectif de proposer une solution plus simple pour une intégration monolithique sur un même substrat d'une partie de circuit électronique avec une interface
20 photonique d'interconnexion assurant une communication optique intra- ou inter-puce pour la partie de circuit électronique avec une quantité minimale d'interconnexions métalliques.

 A cet effet, l'invention propose selon un premier aspect une puce de circuit intégré photonique-électronique formée sur un substrat semiconducteur sur isolant, lequel
25 substrat silicium sur isolant comprend une couche diélectrique enterrée et une couche active de matériau semiconducteur. La puce comprend une partie de circuit électronique et une interface photonique d'interconnexion de la partie de circuit électronique co-intégrées dans la couche active. La partie de circuit électronique est formée dans une

région de la couche active dont l'épaisseur est plus importante que l'épaisseur d'une région de la couche active dans laquelle est formée ladite interface photonique.

Certains aspects préférés mais non limitatifs de cette puce sont les suivants :

- 5 - la région de la couche active dans laquelle ladite interface photonique est formée est prise en sandwich entre la couche diélectrique enterrée et une région diélectrique superficielle et la région de la couche active dans laquelle la partie de circuit électronique est formée est dépourvue d'une couche diélectrique superficielle ;
- l'épaisseur de la région de la couche active dans laquelle la partie de circuit électronique est formée est supérieure à $0,2\mu\text{m}$, de préférence supérieure à $0,5\mu\text{m}$;
- 10 - l'épaisseur de la région de la couche active dans laquelle ladite interface photonique est formée est comprise entre $0,2\mu\text{m}$ et $0,5\mu\text{m}$;
- la couche diélectrique enterrée présente une épaisseur supérieure à $1\mu\text{m}$, de préférence supérieure à $2\mu\text{m}$;
- l'interface photonique comprend au moins un guide d'ondes ;
- 15 - l'interface photonique comprend en outre une partie de circuit photonique actif.
- la partie de circuit électronique comprend un module logique à transistors ;
- les transistors sont de type FinFET ou GAAFET.

20 Selon un second aspect, l'invention porte sur un substrat semiconducteur sur isolant comprenant un substrat support, une couche diélectrique enterrée et une couche active de matériau semiconducteur séparée du substrat support par la couche d'oxyde enterrée. Une région de la couche active destinée à la formation d'une partie de circuit électronique est d'épaisseur plus importante que l'épaisseur d'une région de la couche active destinée à la formation d'une interface photonique d'interconnexion de la partie de circuit électronique.

25 Selon un troisième aspect, l'invention porte sur un procédé de fabrication d'un substrat semi-conducteur sur isolant selon le deuxième aspect, comprenant un transfert de la couche active d'un substrat donneur vers le substrat support, ledit transfert comprenant un collage du substrat donneur et du substrat support avec une couche d'oxyde à l'interface de collage.

Certains aspects préférés mais non limitatifs de ce procédé sont les suivants :

- il comprend en outre une gravure localisée de la couche active transférée pour former la région de la couche active destinée à la formation de l'interface photonique d'interconnexion ;
- 5 - il comprend en outre la formation d'une couche diélectrique en surface de la région de la couche active destinée à la formation de l'interface photonique d'interconnexion ;
- il comprend en outre la formation de la région de la couche active destinée à la formation de la partie de circuit électronique au moyen d'une épitaxie localisée.
- la formation de la région de la couche active destinée à la formation de la partie de
- 10 circuit électronique est précédée des étapes d'oxydation de la couche active transférée pour former une couche diélectrique et de retrait localisé de la couche diélectrique, la couche diélectrique restante après retrait localisé servant de masque pour l'épitaxie localisée ;
- il comprend la formation d'une couche diélectrique en surface d'une région de la
- 15 couche active n'ayant pas fait l'objet de l'épitaxie localisée.

Selon un quatrième aspect, l'invention porte sur un procédé de fabrication d'une puce de circuit intégré photonique-électronique, comprenant les étapes suivantes :

- fabrication d'un substrat semi-conducteur sur isolant conformément au procédé selon le troisième aspect ;
- 20 - formation d'une partie de circuit électronique dans la région de la couche active destinée à la formation d'une partie de circuit électronique ;
- formation d'une interface photonique d'interconnexion dans la région de la couche active destinée à la formation d'une interface photonique d'interconnexion de la partie de circuit électronique.

- 25 La fabrication du substrat semi-conducteur sur isolant comprend, avant ou après tout ou partie de la formation de l'interface photonique d'interconnexion, la formation d'une couche diélectrique en surface de la région de la couche active destinée à la formation de l'interface photonique d'interconnexion.

BRÈVE DESCRIPTION DES DESSINS

D'autres aspects, buts, avantages et caractéristiques de l'invention apparaîtront mieux à la lecture de la description détaillée suivante de formes de réalisation préférées de celle-ci, donnée à titre d'exemple non limitatif, et faite en référence aux dessins annexés sur lesquels :

La figure 1 est un schéma d'une puce de circuit intégré photonique-électronique conforme à l'invention ;

La figure 2 est une vue schématique en coupe d'un substrat donneur de Si monocristallin ;

La figure 3 est une vue schématique en coupe illustrant la formation d'une couche diélectrique en surface du substrat donneur de Si monocristallin ;

La figure 4 est une vue schématique en coupe illustrant la formation, par implantation d'espèces ioniques, d'un plan de fragilisation dans le substrat donneur de la figure 2 pour délimiter une couche active de Si monocristallin à transférer ;

La figure 5 est une vue schématique en coupe illustrant l'assemblage du substrat donneur de la figure 3 et d'un substrat support ;

La figure 6 est une vue schématique en coupe illustrant le détachement du substrat donneur le long du plan de fragilisation pour transférer la couche active de Si monocristallin sur le substrat support ;

La figure 7 est une vue schématique en coupe illustrant une gravure localisée de la couche active de Si monocristallin suite au détachement de la figure 6 ;

La figure 8 est une vue schématique en coupe illustrant une oxydation de la couche active de Si monocristallin suite à la gravure localisée de la figure 7 ;

La figure 9 est une vue schématique en coupe illustrant un retrait localisé de la couche d'oxyde formée par l'oxydation de la figure 8 ;

La figure 10 est une vue schématique en coupe illustrant une oxydation de la couche active de Si monocristallin suite au détachement de la figure 6 ;

La figure 11 est une vue schématique en coupe illustrant un retrait localisé de la couche d'oxyde formée par l'oxydation de la figure 10 ;

La figure 12 est une vue schématique en coupe illustrant une épitaxie localisée exploitant pour masque la couche d'oxyde restante suite à son retrait localisé de la figure 11.

5 EXPOSÉ DÉTAILLÉ DE MODES DE RÉALISATION PARTICULIERS

En référence à la figure 1, l'invention porte sur une puce de circuit intégré photonique-électronique formée sur un substrat semiconducteur sur isolant, lequel substrat silicium sur isolant comprend une couche diélectrique enterrée 11 et une couche active de matériau semiconducteur 12, par exemple du silicium monocristallin. La couche diélectrique enterrée 11 vient typiquement séparer la couche active de matériau semiconducteur 12 d'un substrat support 20.

La puce selon l'invention comprend, co-intégrées dans la couche active 12, une partie de circuit électronique CE1, CE2 et une interface photonique d'interconnexion IPI de la partie de circuit électronique. Dans l'exemple de la figure 1, l'interface photonique d'interconnexion IPI agit comme une interface intra-puce assurant l'interconnexion de deux parties de circuit électronique CE1 et CE2. L'invention s'étend également à une interface photonique d'interconnexion IPI agissant comme une interface inter-puce assurant l'interconnexion d'une partie de circuit électronique intégrée à la puce avec une partie de circuit électronique intégrée à une autre puce.

Chaque partie de circuit électronique CE1, CE2 peut comprendre un module logique à transistors, par exemple à base de transistors de type FinFET (« Fin Field-Effect Transistor ») ou GAAFET (« Gate-All-Around Field-Effect Transistor »).

L'interface photonique IPI comprend typiquement au moins un guide d'ondes. Elle peut également comprendre une partie de circuit photonique actif, comme par exemple un modulateur électro-optique ou encore un laser reporté sur l'interface IPI.

Selon l'invention, la partie de circuit électronique CE1, CE2 est formée dans une région de la couche active RE1, RE2 dont l'épaisseur est plus importante que l'épaisseur d'une région de la couche active RP dans laquelle est formée ladite interface photonique IPI.

L'épaisseur de la région de la couche active RE1, RE2 dans laquelle la partie de circuit électronique CE1, CE2 est formée peut être supérieure à 0,2 μ m, de préférence supérieure à 0,5 μ m.

5 L'épaisseur de la région de la couche active RP dans laquelle l'interface photonique IPI est formée peut quant à elle être comprise entre 0,2 μ m et 0,5 μ m.

La couche diélectrique enterrée peut présenter une épaisseur supérieure à 200nm, par exemple une épaisseur supérieure à 1 μ m, de préférence supérieure à 2 μ m.

10 Dans un mode de réalisation privilégié, la région de la couche active RP dans laquelle ladite interface photonique IPI est formée est prise en sandwich entre la couche diélectrique enterrée 11 et une région diélectrique superficielle 21 et la région de la couche active RE1, RE2 dans laquelle la partie de circuit électronique CE1, CE2 est formée est dépourvue d'une couche diélectrique superficielle. L'épaisseur de la région diélectrique superficielle 21 correspond typiquement à la différence d'épaisseur entre la région de la couche active RP dans laquelle ladite interface photonique IPI est formée et la région de la

15 couche active RE1, RE2 dans laquelle la partie de circuit électronique CE1, CE2 est formée.

La puce selon l'invention est ainsi fabriquée sur un substrat semi-conducteur sur isolant présentant une couche d'oxyde enterrée épaisse. La région de la couche active destinée à la formation de la partie de circuit électronique est suffisamment épaisse pour ce que le fonctionnement de cette partie ne soit pas influencée de manière délétère par la

20 couche d'oxyde enterrée. Et la région de la couche active destinée à la formation de l'interface photonique d'interconnexion présente quant à elle une épaisseur et un confinement optique optimisés pour la formation dans un plan horizontal d'interconnexions optiques de qualité.

Selon un autre aspect, l'invention porte sur un substrat semiconducteur sur isolant

25 comprenant une couche diélectrique enterrée 11 et une couche active de matériau semiconducteur 12. Dans ce substrat, une région de la couche active RE1, RE2 destinée à la formation d'une partie de circuit électronique CE1, CE2 est d'épaisseur plus importante que l'épaisseur d'une région de la couche active RP destinée à la formation d'une interface photonique d'interconnexion IPI de la partie de circuit électronique.

L'invention porte également sur un procédé de fabrication d'un tel substrat semi-conducteur sur isolant, ce procédé comprenant un transfert de la couche active d'un substrat donneur vers un substrat support. Un tel transfert comprend typiquement le collage du substrat donneur et du substrat support avec une couche d'oxyde à l'interface de collage et peut s'opérer conformément à la technologie BESOI par amincissement en face arrière du substrat donneur ou conformément à la technologie Smart Cut™ par détachement au niveau d'un plan de fragilisation préalablement formé par implantation d'espèces ioniques dans le substrat donneur.

On décrit dans ce qui suit différents exemples d'un tel procédé de fabrication exploitant la technologie Smart Cut™. En référence à la figure 2, un tel procédé peut débuter par la fourniture d'un substrat donneur 10 dont une portion superficielle au moins est en matériau semiconducteur. Sur les figures, on a représenté un substrat massif 10 de Si monocristallin. En référence à la figure 3, le procédé comprend une étape de formation d'une couche d'oxyde 11 sur le substrat donneur 10, cette couche d'oxyde étant destinée à former tout ou partie de la couche diélectrique enterrée 11 précédemment mentionnée.

Selon un autre mode de réalisation, le procédé comprend une étape de formation de la couche d'oxyde 11 sur le substrat support 20.

En référence à la figure 4, le procédé comprend en outre une implantation d'espèces ioniques dans le substrat donneur 10 de sorte à former un plan de fragilisation 13 délimitant une couche active de Si monocristallin à transférer 12. Les espèces implantées comprennent typiquement de l'hydrogène et/ou de l'hélium. L'homme du métier est à même de définir l'énergie et la dose d'implantation requises.

Lorsque la couche d'oxyde est formée sur le substrat support 20, du fait de l'absence d'une telle couche d'oxyde sur le substrat donneur, le plan de fragilisation 13 peut être formé plus en profondeur dans le substrat donneur ce qui permet *in fine* de transférer une couche active 12 plus épaisse.

En référence à la figure 5, le procédé comprend, après ladite implantation, le collage du substrat donneur 10 et d'un substrat support 20. Le collage est un collage direct obtenu par adhésion moléculaire des surfaces mises en contact. En référence à la figure 6, le procédé comprend ensuite le détachement du substrat donneur 10 le long du plan de

fragilisation 13 de sorte à transférer la couche active de Si monocristallin 12 sur le substrat support 20. De manière connue, ce détachement peut être provoqué par un traitement thermique, une action mécanique, ou une combinaison de ces moyens. Le reliquat 10' du substrat donneur peut éventuellement être recyclé en vue d'une autre utilisation.

5 Une ou plusieurs opérations de finition peuvent ensuite être appliquées à la couche active de Si monocristallin transférée 12. Il est par exemple possible de réaliser un lissage, un nettoyage ou encore un polissage, par exemple par un polissage mécano-chimique (CMP, acronyme du terme anglo-saxon « Chemical Mechanical Polishing »), pour retirer les défauts liés à l'implantation des espèces ioniques et réduire la rugosité de la couche active
10 de Si monocristallin transférée 12.

Dans un mode de réalisation possible, l'énergie d'implantation est telle que l'épaisseur de la couche active transférée 12 convient à la réalisation d'une partie de circuit électronique, cette épaisseur étant par exemple supérieure à 0,2µm, de préférence supérieure à 0,5µm. Dans un tel cas de figure, tel que représenté sur la figure 7, le procédé
15 peut comprendre une gravure localisée de la couche active transférée 12 pour former une région de la couche active RP destinée à la formation d'une interface photonique d'interconnexion. Une région non gravée permet quant à elle de former une région de la couche active RE1, RE2 destinée à la formation d'une partie de circuit électronique. Le procédé peut se poursuivre avec la formation d'une couche diélectrique 21 en surface de
20 la région de la couche active destinée à la formation de l'interface photonique d'interconnexion. Cette formation peut comprendre, comme représenté sur les figures 8 et 9, une oxydation thermique de la couche active 12 suivie d'un retrait localisé de la couche d'oxyde ainsi formée au niveau de la ou des régions de la couche active destinées à la formation d'une partie de circuit électronique. Dans une variante de réalisation, cette
25 formation peut comprendre une oxydation localisée de la couche active, réalisée au niveau de la ou des régions de la couche active destinées à la formation d'une interface photonique d'interconnexion en exploitant un masquage des autres régions de la couche active, par exemple avec un masque à base de nitrure.

Dans une autre variante de réalisation, suite à la gravure localisée illustrée par la
30 figure 7, le procédé peut comprendre la formation de tout ou partie de l'interface

photonique d'interconnexion avant la formation de la couche diélectrique 21. Par exemple, le procédé peut comprendre le façonnage d'un guide d'ondes dans la région gravée RP avant de procéder à la formation de la couche diélectrique 21 sur le guide d'ondes. Ce guide d'ondes se retrouve ainsi bien confiné dans la couche diélectrique, ce qui permet de minimiser davantage les pertes optiques.

Dans un autre mode de réalisation possible, l'énergie d'implantation est telle que l'épaisseur de la couche active transférée 12 ne convient pas directement à la réalisation d'une partie de circuit électronique. Dans un tel cas de figure, le procédé comprend la formation de la région de la couche active destinée à la formation de la partie de circuit électronique au moyen d'une épitaxie.

Dans une première variante de cet autre mode de réalisation, le procédé comprend suite au détachement illustré à la figure 6, une étape consistant comme représenté par la figure 10 à former, par exemple au moyen d'une oxydation thermique, une couche diélectrique 14 sur la couche active transférée 12 puis une étape consistant comme représenté par la figure 11 à réaliser un retrait localisé de la couche diélectrique 14 au niveau de la ou des régions de la couche active destinées à la formation d'une partie de circuit électronique, le diélectrique restant formant la couche superficielle 21 recouvrant la région de la couche active destinée à la formation d'une interface photonique. Comme représenté sur la figure 12, une épitaxie localisée servant à épaissir la couche active au niveau de la ou des régions de la couche active destinées à la formation d'une partie de circuit électronique est ensuite réalisée, la couche diélectrique restante 21 après son retrait localisé pouvant servir de masque pour l'épitaxie localisée.

Dans une deuxième variante, la formation de la région de la couche active destinée à la formation de la partie de circuit électronique comprend une épitaxie localisée qui est réalisée directement à l'issue du détachement illustré à la figure 6. Cette épitaxie localisée est suivie d'une oxydation permettant de former la couche superficielle 21 recouvrant la région de la couche active destinée à la formation d'une interface photonique. Cette oxydation peut être une oxydation localisée venant former une couche diélectrique en surface d'une région de la couche active n'ayant pas fait l'objet de l'épitaxie localisée. Alternativement, il peut s'agir d'une oxydation pleine plaque qui est ensuite suivie d'un

retrait localisé pour ne conserver que la couche superficielle 21 recouvrant la région de la couche active destinée à la formation d'une interface photonique.

5 Dans une troisième variante de réalisation, une épitaxie pleine plaque est réalisée suite au détachement illustré à la figure 6. Cette épitaxie est suivie d'une gravure localisée et d'une oxydation permettant de venir former la couche superficielle 21 recouvrant la région de la couche active destinée à la formation d'une interface photonique.

L'invention porte également sur un procédé de fabrication d'une puce de circuit intégré photonique-électronique telle que précédemment décrite notamment en lien avec la figure 1. Ce procédé comprend les étapes suivantes :

- 10 - fabrication d'un substrat semi-conducteur sur isolant conformément au procédé dont différentes variantes ont été exposées ci-dessus ;
- formation d'une partie de circuit électronique dans la région de la couche active destinée à la formation d'une partie de circuit électronique ;
- 15 - formation d'une interface photonique d'interconnexion dans la région de la couche active destinée à la formation d'une interface photonique d'interconnexion de la partie de circuit électronique.

Dans ce procédé, la fabrication du substrat semi-conducteur sur isolant peut comprendre, avant ou après tout ou partie de la formation de l'interface photonique d'interconnexion, la formation de la couche diélectrique 21 en surface de la région de la

20 couche active destinée à la formation de l'interface photonique d'interconnexion.

REVENDICATIONS

1. Puce de circuit intégré photonique-électronique formée sur un substrat
semiconducteur sur isolant, lequel substrat semiconducteur sur isolant comprend une
5 couche diélectrique enterrée (11) et une couche active de matériau semiconducteur (12),
ladite puce comprenant une partie de circuit électronique (CE1, CE2) et une interface
photonique d'interconnexion (IPI) de la partie de circuit électronique co-intégrées dans la
couche active et étant caractérisée en ce que la partie de circuit électronique (CE1, CE2)
est formée dans une région de la couche active (RE1, RE2) dont l'épaisseur est plus
10 importante que l'épaisseur d'une région de la couche active (RP) dans laquelle est formée
ladite interface photonique (IPI).

2. Puce selon la revendication 1, dans laquelle la région de la couche active (RP) dans
laquelle ladite interface photonique est formée est prise en sandwich entre la couche
15 diélectrique enterrée (11) et une région diélectrique superficielle (21) et la région de la
couche active dans laquelle la partie de circuit électronique est formée est dépourvue
d'une couche diélectrique superficielle.

3. Puce selon l'une des revendications 1 et 2, dans laquelle l'épaisseur de la région de
20 la couche active (RE1, RE2) dans laquelle la partie de circuit électronique est formée est
supérieure à $0,2\mu\text{m}$, de préférence supérieure à $0,5\mu\text{m}$.

4. Puce selon l'une des revendications 1 à 3, dans laquelle l'épaisseur de la région de la
couche active (RP) dans laquelle ladite interface photonique est formée est comprise entre
25 $0,2\mu\text{m}$ et $0,5\mu\text{m}$.

5. Puce selon l'une des revendications 1 à 4, dans laquelle la couche diélectrique
enterrée (11) présente une épaisseur supérieure à $1\mu\text{m}$, de préférence supérieure à $2\mu\text{m}$.

6. Puce selon l'une des revendications 1 à 5, dans laquelle l'interface photonique comprend au moins un guide d'ondes et, de préférence, une partie de circuit photonique actif.

5 7. Puce selon l'une des revendications 1 à 6, dans laquelle la partie de circuit électronique comprend un module logique à transistors, les transistors étant par exemple de type FinFET ou GAAFET.

10 8. Substrat semiconducteur sur isolant comprenant un substrat support (20), une couche diélectrique enterrée (11) et une couche active de matériau semiconducteur (12) séparée du substrat support par la couche d'oxyde enterrée, caractérisé en ce qu'une région de la couche active (RP) destinée à la formation d'une partie de circuit électronique est d'épaisseur plus importante que l'épaisseur d'une région de la couche active (RE1, RE2) destinée à la formation d'une interface photonique d'interconnexion de la partie de circuit
15 électronique.

20 9. Procédé de fabrication d'un substrat semi-conducteur sur isolant selon la revendication 8, comprenant un transfert de la couche active (12) d'un substrat donneur (10) vers le substrat support (20), ledit transfert comprenant un collage du substrat donneur et du substrat support avec une couche d'oxyde à l'interface de collage.

25 10. Procédé selon la revendication 9, comprenant en outre une gravure localisée de la couche active transférée pour former la région de la couche active destinée à la formation de l'interface photonique d'interconnexion.

11. Procédé selon la revendication 10, comprenant en outre la formation d'une couche diélectrique en surface de la région de la couche active destinée à la formation de l'interface photonique d'interconnexion.

12. Procédé selon la revendication 9, comprenant en outre la formation de la région de la couche active destinée à la formation de la partie de circuit électronique au moyen d'une épitaxie localisée.

5 13. Procédé selon la revendication 12, dans lequel la formation de la région de la couche active destinée à la formation de la partie de circuit électronique est précédée des étapes d'oxydation de la couche active transférée pour former une couche diélectrique (14) et de retrait localisé de la couche diélectrique, la couche diélectrique restante (21) après retrait localisé servant de masque pour l'épitaxie localisée.

10

14. Procédé selon la revendication 12, comprenant la formation d'une couche diélectrique (21) en surface d'une région de la couche active n'ayant pas fait l'objet de l'épitaxie localisée.

15 15. Procédé de fabrication d'une puce de circuit intégré photonique-électronique, comprenant les étapes suivantes :

- fabrication d'un substrat semi-conducteur sur isolant conformément au procédé selon la revendication 9 ;
- formation d'une partie de circuit électronique dans la région de la couche active destinée à la formation d'une partie de circuit électronique ;
- formation d'une interface photonique d'interconnexion dans la région de la couche active destinée à la formation d'une interface photonique d'interconnexion de la partie de circuit électronique.

20

25 16. Procédé selon la revendication 15, dans lequel la fabrication du substrat semi-conducteur sur isolant comprend, avant ou après tout ou partie de la formation de l'interface photonique d'interconnexion, la formation d'une couche diélectrique en surface de la région de la couche active destinée à la formation de l'interface photonique d'interconnexion.