(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété Intellectuelle
Bureau international

(43) Date de la publication internationale
9 juin 2011 (09.06.2011)

PCT

(10) Numéro de publication internationale
WO 2011/067394 A1

(51) Classification internationale des brevets : *H01L 21/762* (2006.01)

(21) Numéro de la demande internationale : PCT/EP2010/068883

(22) Date de dépôt international : 3 décembre 2010 (03.12.2010)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité : 0958658 4 décembre 2009 (04.12.2009) FR

(71) Déposant *(pour tous les États désignés sauf US)* : **S.O.I.TEC SILICON ON INSULATOR TECHNOLOGIES** [FR/FR]; Parc Technologique des Fontaines, Chemin des Franques, F-38190 Bernin (FR).

(72) Inventeurs; et

(75) Inventeurs/Déposants *(pour US seulement)* : **REYNAUD, Patrick** [FR/FR]; Chemin de la Briot, F-38420 Murianette (FR). **KERDILES, Sébastien** [FR/FR]; 281, Impasse de Pageonnière, F-38330 Saint-ismier (FR). **DELPRAT, Daniel** [FR/FR]; 19 Impasse des Courlis, F-38920 Crolles (FR).

(74) Mandataire : **BRANGER, Jean-Yves**; Cabinet Regimbeau, Espace Performance Bâtiment K, F-35769 Saint Gregoire Cedex (FR).

(81) États désignés *(sauf indication contraire, pour tout titre de protection nationale disponible)* : AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) États désignés *(sauf indication contraire, pour tout titre de protection régionale disponible)* : ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasien (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), européen (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

**Déclarations en vertu de la règle 4.17** :

— *relative au droit du déposant de demander et d'obtenir un brevet (règle 4.17.ii))*

— *relative au droit du déposant de revendiquer la priorité de la demande antérieure (règle 4.17.iii))*

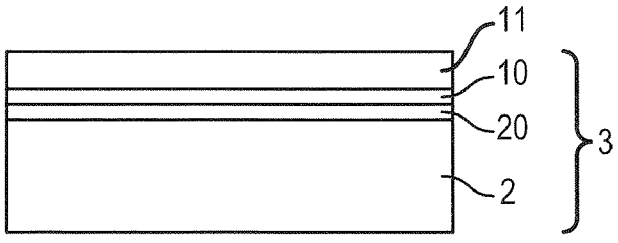
— *relative à la qualité d'inventeur (règle 4.17.iv))*

*[Suite sur la page suivante]*

(54) **Title** : METHOD FOR MANUFACTURING A SEMICONDUCTOR-ON-INSULATOR STRUCTURE HAVING LOW ELECTRICAL LOSSES, AND CORRESPONDING STRUCTURE

(54) **Titre** : PROCEDE DE FABRICATION D'UNE STRUCTURE DE TYPE SEMI-CONDUCTEUR SUR ISOLANT, A PERTES ELECTRIQUES DIMINUEES ET STRUCTURE CORRESPONDANTE

FIG. 1G




(57) **Abstract** : The present invention relates to a method for manufacturing a SOI structure having low electrical losses and consecutively including a silicon-holding substrate (2), an oxide layer (10), and a semiconductor material thin film (11). A polycrystalline silicon layer is inserted between the holding substrate and the oxide layer, said method including the following steps: a) oxidizing a semiconductor material donor substrate (1) so as to form, on the surface thereof, an oxide layer (10); b) implanting ions into the donor substrate so as to form a weakening area thereon; c) adhering the donor substrate (1) onto the holding substrate (2), said holding substrate (2) having undergone heat treatment capable of imparting high resistivity thereto, the upper surface thereof receiving the donor substrate (1) and being coated with said polycrystalline silicon layer (20); d) fracturing the donor substrate (1) along the weakening area so as to transfer a semiconductor material thin film (11) onto the holding substrate (2); and e) implementing at least one thermal stabilization for said thus-created structure (3). Said method is characterized in that said treatment capable of imparting high resistivity to said holding substrate (2) is implemented before the formation of the polycrystalline silicon layer (20) and in that Step e) comprises at least one long thermal step that is implemented for at least 10 minutes at a temperature not exceeding 950° C.

(57) **Abrégé** :

*[Suite sur la page suivante]*

WO 2011/067394 A1