

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 1 月 3 日(03.01.2014)



(10) 国際公開番号

WO 2014/002913 A1

- (51) 国際特許分類:
G11C 16/06 (2006.01) G11C 16/02 (2006.01)
- (21) 国際出願番号: PCT/JP2013/067146
- (22) 国際出願日: 2013 年 6 月 21 日(21.06.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-146954 2012 年 6 月 29 日(29.06.2012) JP
- (71) 出願人: 株式会社フローディア(FLOADIA CORPORATION) [JP/JP]; 〒1870031 東京都小平市小川東町 1 丁目 2 9 番 9 号 Tokyo (JP).
- (72) 発明者: 葛西 秀男(KASAI Hideo); 〒1870031 東京都小平市小川東町 1 丁目 2 9 番 9 号 株式会社フローディア内 Tokyo (JP). 品川 裕(SHIN-AGAWA Yutaka); 〒1870031 東京都小平市小川東町 1 丁目 2 9 番 9 号 株式会社フローディア内 Tokyo (JP). 谷口 泰弘(TANIGUCHI Yasuhiro); 〒1870031 東京都小平市小川東町 1 丁目 2 9 番 9 号 株式会社フローディア内 Tokyo (JP).
- (74) 代理人: 吉田 正義(YOSHIDA Tadanori); 〒1600023 東京都新宿区西新宿六丁目 1 5 番 1 号 ラ・トゥール新宿 3 0 4 号 Tokyo (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

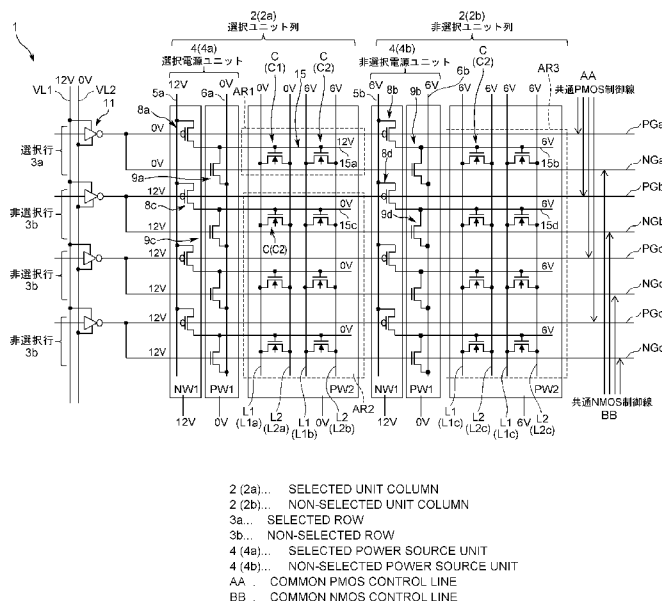
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: NON-VOLATILE SEMICONDUCTOR STORAGE DEVICE

(54) 発明の名称: 不揮発性半導体記憶装置

[図1]



(57) Abstract: Proposed is a non-volatile semiconductor storage device with which, while effecting miniaturization, it is possible to suppress a disturb occurrence better than before. In a non-volatile semiconductor storage device, forming a plurality of words in a matrix, disposing a power source unit for each word line column (memory well), imparting a different unit voltage to each power source unit corresponding to whether a selected memory well is present in a given word line column, switching on a word line unit basis a switch mechanism of each power source unit according to a control line voltage value, and individually imparting to each word line either a charge storage gate voltage or a charge storage interdiction gate voltage, it is possible to freely set for each word line column a charge storage interdiction gate voltage value or a bit line voltage value which is capable of suppressing a disturb occurrence. A plurality of power source units are connected to a common control line in the row direction, obviating the need for a separate address decoder for each word column line, and allowing effecting miniaturization.

(57) 要約:

[続葉有]



小型化を図りつつ、ディスタープの発生を従来よりも抑止し得る不揮発性半導体記憶装置を提案する。不揮発性半導体記憶装置に行列状に複数のワード線を形成し、ワード線列（メモリウェル）毎に電源ユニットを設け、該ワード線列に選択メモリセルがあるか否かに応じて電源ユニット毎に異なるユニット電圧を印加し、制御線の電圧値に応じて各電源ユニットの切替機構をワード線単位で切り替え、ワード線毎に個別に電荷蓄積ゲート電圧又は電荷蓄積禁止ゲート電圧を印加することで、電荷蓄積禁止ゲート電圧値やビット線電圧値をディスタープの発生を抑止し得る値にワード線列毎に自由に設定できる。複数の電源ユニットが共通の行方向の制御線に接続されており、ワード線列毎に独立した行方向アドレスデコーダが不要になり小型化を図ることができる。