

明 細 書

発明の名称：半導体記憶装置及びメモリシステム

技術分野

[0001] 実施形態は、概して半導体記憶装置に関する。

背景技術

[0002] データを不揮発に記憶することが可能なNAND型フラッシュメモリが知られている。

先行技術文献

特許文献

[0003] 特許文献1：日本国特許第6158960号公報
特許文献2：米国特許第9431078号明細書
特許文献3：米国特許第9564185号明細書

発明の概要

発明が解決しようとする課題

[0004] メモリシステムにおいて高速通信を行うこと。

課題を解決するための手段

[0005] 実施形態の半導体記憶装置は、第1ピンと、第1受信回路と、第1終端回路とを備える。第1ピンは第1信号及び第1信号よりも小さい振幅を有する第2信号を受信する。第1受信回路は、第1ピンに接続され、第1信号と第1電圧との比較に基づいて、第3信号を出力する。また、第1受信回路は、第2信号と第2電圧との比較に基づいて、第3信号よりも小さい振幅を有する第4信号を出力する。第1終端回路は、第1ピンに接続され、第1ピンが第1信号を受信する場合はディセーブル状態になり、第2信号を受信する場合はイネーブル状態になる。

図面の簡単な説明

[0006] [図1]図1は、第1実施形態に係るシステムを概略的に示すブロック図である

。

[図2]図2は、第1実施形態に係る半導体記憶装置200の構成例を示すブロック図である。

[図3]図3は、第1実施形態のNANDチップA200Aの機能ブロック、及び関連する要素を示す。

[図4]図4は、第1実施形態に係る半導体記憶装置200の備えるメモリセルアレイ10の回路構成の一例を示す。

[図5]図5は、第1実施形態に係るメモリコントローラ300の構成例を示すブロック図である。

[図6]図6は、第1実施形態に係る半導体記憶装置200における入出力回路12の構成例を示すブロック図である。

[図7]図7は、第1実施形態に係る半導体記憶装置200における終端回路203及び303の構成例を示す回路図である。

[図8]図8は、第1実施形態に係る終端回路203及び303によって終端したノードDQ0の電圧振幅を示す波形図である。

[図9]図9は、第1実施形態に係る半導体記憶装置200における送信部302の構成例を示す回路図である。

[図10]図10は、第1実施形態に係る半導体記憶装置200における送信部202の構成例を示す回路図である。

[図11]図11は、第1実施形態に係る半導体記憶装置200における送信部の構成例を示す回路図である。

[図12]図12は、第1実施形態に係る半導体記憶装置200における送信部の構成例を示す回路図である。

[図13]図13は、第1実施形態に係る半導体記憶装置200における受信部301の構成例を示す回路図である。

[図14]図14は、第1実施形態に係る半導体記憶装置200における受信部201の構成例を示す回路図である。

[図15]図15は、第1実施形態に係る受信部201における差動増幅回路2

01Aの構成例を示す回路図である。

[図16]図16は、第1実施形態に係る半導体記憶装置200における受信部の構成例を示す回路図である。

[図17]図17は、第1実施形態に係る半導体記憶装置200における受信部201、ラッチ回路206、及び差動増幅回路207の構成例を示す回路図である。

[図18]図18は、第1実施形態に係る半導体記憶装置200及びメモリコントローラに300における信号DQの終端方法を示す。

[図19]図19は、信号DQ、DQS、及びREの送受信方法及び終端方法の一例である。

[図20]図20は、第1実施形態に係るメモリシステム100における信号のタイミングチャートの一例である。

[図21]図21は、第1実施形態に係るメモリシステム100における信号のタイミングチャートの一例である。

[図22]図22は、第1実施形態に係るメモリシステム100における信号のタイミングチャートの一例である。

[図23]図23は、第2実施形態に係る半導体記憶装置200における送信部202__Bの構成例を示す回路図である。

[図24]図24は、第2実施形態に係る半導体記憶装置200における受信部301__Bの構成例を示す回路図である。

[図25]図25は、第2実施形態に係る半導体記憶装置200及びメモリコントローラに300における信号DQの終端方法を示す。

[図26]図26は、信号DQ、DQS、及びREの送受信方法及び終端方法の一例である。

[図27]図27は、第2実施形態に係るメモリシステム100における信号のタイミングチャートの一例である。

[図28]図28は、第3実施形態に係る半導体記憶装置200における送信部302__Cの構成例を示す回路図である。

[図29]図29は、第3実施形態に係る半導体記憶装置200における受信部201__Cの構成例を示す回路図である。

[図30]図30は、第3実施形態に係る半導体記憶装置200及びメモリコントローラに300における信号DQの終端方法を示す。

[図31]図31は、信号DQ、DQS、及びREの送受信方法及び終端方法の一例である。

[図32]図32は、第3実施形態に係るメモリシステム100における信号のタイミングチャートの一例である。

[図33]図33は、第3実施形態に係るメモリシステム100における信号のタイミングチャートの一例である。

[図34]図34は、第3実施形態に係るメモリシステム100における信号のタイミングチャートの一例である。

[図35]図35は、第3実施形態に係るメモリシステム100における信号のタイミングチャートの一例である。

[図36]図36は、第4実施形態に係る半導体記憶装置200及びメモリコントローラに300における信号DQの終端方法を示す。

[図37]図37は、信号DQ、DQS、及びREの送受信方法及び終端方法の一例である。

[図38]図38は、第4実施形態に係るメモリシステム100における信号のタイミングチャートの一例である。

[図39]図39は、第4実施形態に係るメモリシステム100における信号のタイミングチャートの一例である。

[図40]図40は、第4実施形態に係るメモリシステム100における信号のタイミングチャートの一例である。

[図41]図41は、第5実施形態に係る半導体記憶装置200及びメモリコントローラに300における信号DQの終端方法を示す。

[図42]図42は、信号DQ、DQS、及びREの送受信方法及び終端方法の一例である。

[図43]図43は、第5実施形態に係るメモリシステム100における信号のタイミングチャートの一例である。

[図44]図44は、第6実施形態に係る半導体記憶装置200及びメモリコントローラに300における信号DQの終端方法を示す。

[図45]図45は、信号DQ、DQS、及びREの送受信方法及び終端方法の一例である。

[図46]図46は、第6実施形態に係るメモリシステム100における信号のタイミングチャートの一例である。

[図47]図47は、第6実施形態に係るメモリシステム100における信号のタイミングチャートの一例である。

[図48]図48は、第6実施形態に係るメモリシステム100における信号のタイミングチャートの一例である。

[図49]図49は、第6実施形態に係るメモリシステム100における信号のタイミングチャートの一例である。

発明を実施するための形態

[0007] 以下に実施形態が図面を参照して記述される。各実施形態は、発明の技術的思想を具体化するための装置や方法を例示している。図面は模式的又は概念的なものであり、各図面の寸法及び比率等は必ずしも現実のものと同一とは限らない。ある実施形態についての記述は全て、明示的に又は自明的に排除されない限り、別の実施形態の記述としても当てはまる。本発明の技術的思想は、構成要素の形状、構造、配置等によって特定されるものではない。

[0008] 尚、以下の記述において、略同一の機能及び構成を有する構成要素については、同一の符号が付される。参照符号を構成する文字の後の数字は、同じ文字を含んだ参照符号によって参照され、且つ同様の構成を有する要素同士を区別するために使用される。同じ文字を含んだ参照符号で示される要素を相互に区別する必要がない場合、これらの要素はそれぞれ文字のみを含んだ参照符号により参照される。

[0009] [1] 第1実施形態

[1 - 1] 構成 (構造)

以下、実施形態に係るメモリコントローラ 300 及び半導体記憶装置 200 について説明される。

[0010] [1 - 1 - 1] メモリシステムの構成

図 1 は、第 1 実施形態に係るシステムを概略的に示すブロック図である。図 1 に示されるように、メモリシステム 100 は、例えばメモリコントローラ 300、及び半導体記憶装置 200 を含む。メモリシステム 100 は、ホストデバイス 400 により制御される。メモリシステム 100 は、例えば、SSD (solid state drive)、USB メモリ、SD カードなどのメモリカードである。

[0011] 半導体記憶装置 200 は、1 個に限定されるものではなく、2 個以上であってもよい。半導体記憶装置 200 は、データを不揮発に記憶することが可能な NAND 型フラッシュメモリである。半導体記憶装置 200 は、メモリコントローラ 300 によって制御される。

[0012] メモリコントローラ 300 は、ホストデバイス 400 からホストバスを介して要求信号を受け取る。ホストバスのタイプ及びホストバスを介して伝送される要求信号は、半導体記憶装置 200 が適用されるアプリケーションに依存する。メモリシステム 100 が SSD である場合、ホストバスとして、SAS (Serial Attached SCSI)、SATA (Serial ATA)、PCIe™ (Programmable Communications Interface Express) が用いられる。メモリシステム 100 が USB (Universal Serial Bus) メモリである場合、ホストバスとして USB が用いられる。メモリシステム 100 が MMC (Multi-Media Card) の場合、ホストバスとして eMMC 規格のインターフェイスが用いられる。メモリシステム 100 が SD カードの場合、ホストバスとして SD メモリ規格のインターフェイスが用いられる。

[0013] メモリコントローラ 300 は、ホストデバイス 400 から受信した要求信号に応じて、半導体記憶装置 200 を制御する。そのために、メモリコントローラ 300 は、NAND バスを介して半導体記憶装置 200 と接続されて

いる。NANDバスは、複数の制御信号及び8ビットの幅の入出力信号DQを送送する。制御信号は、信号CEn、CLE、ALE、WE_n、RE_n、RE、WP_n、RB_n、DQS、及びDQS_nを含む。NANDバスは、信号CEn、CLE、ALE、WE_n、RE_n、RE、WP_n、RB_n、DQS、及びDQS_nをそれぞれ伝送するための複数の配線を含む。信号の名称の後の記号「_n」は、記号「_n」を伴わない名称の信号の反転論理を示し、記号「_n」を伴う信号がローレベルの場合にアサートされていることを意味する。これらの信号の詳細については後述される。

[0014] メモリコントローラ300は、ホストインターフェイス350、メモリインターフェイス320、ROM (read only memory) 360、CPU (central processing unit) 370、及びRAM (random access memory) 380を含む。ROM360に格納されていてRAM380上にロードされたファームウェア（プログラム）がCPU370によって実行されることによって、メモリコントローラ300は種々の動作、及びホストインターフェイス350並びにメモリインターフェイス320の機能の一部を実行する。ファームウェアは、メモリコントローラ300に、各実施形態として記述される動作を行わせることができるように構成されている。

[0015] ホストインターフェイス350は、ホストバスを介してホストデバイス400と接続され、メモリコントローラ300とホストデバイス400との通信を司る。メモリインターフェイス320は、NANDバスを介して半導体記憶装置200と接続され、メモリコントローラ300と半導体記憶装置200との通信を司る。

[0016] 例えば、メモリコントローラ300は、ホストデバイス400から受けた要求信号に応じて、半導体記憶装置200にデータを書き込む場合、データを、入出力信号DQを送送する配線を介して半導体記憶装置200に供給する。また、メモリコントローラ300は、ホストデバイス400から受けた要求信号に対するホストデバイス400へのレスポンスとして、半導体記憶装置200に対してデータの読み出しを行う場合、半導体記憶装置200が

ら読み出されたデータを、入出力信号DQを伝送する配線を介して受け取る。

[0017] 図2は、第1実施形態に係る半導体記憶装置200の構成例を示すブロック図である。図2に示されるように、半導体記憶装置200は、例えばI/Fチップ250、NANDチップA200A、NANDチップB200B、NANDチップC200C、及びNANDチップD200Dを含む。NANDチップは、4個に限定されるものではなく、4個より少なくても、4個以上であってもよい。NANDチップA200A、NANDチップB200B、NANDチップC200C、及びNANDチップD200Dは、共通のデータバスDBに接続される。NANDチップは、必ずしも共通のデータバスにより接続される必要はなく、1つのデータバスDBに複数のNANDチップが接続された構成であればよい。

[0018] 信号CEnは、例えば信号CEn1及び信号CEn2の2個を含む。信号CEnは、2個に限定されるものではなく、2個より少なくても、2個以上であってもよい。信号RBnは、例えば信号RBn1及び信号RBn2の2個を含む。信号RBnは、2個に限定されるものではなく、2個より少なくても、2個以上であってもよい。

[0019] I/Fチップ250は、信号CEn1及びCEn2、CLE、ALE、WEn、REn、RE、WPn、DQS、DQSn、並びにDQをメモリコントローラ300から受信する。I/Fチップ250は、受信した信号CLE、ALE、WEn、REn、RE、WPn、DQS、DQSn、並びにDQをNANDチップA200A、NANDチップB200B、NANDチップC200C、及びNANDチップD200Dに送信する。I/Fチップ250は、受信した信号CEn1を、NANDチップA200A及びNANDチップB200Bに送信する。I/Fチップ250は、受信した信号CEn2を、NANDチップC200C及びNANDチップD200Dに送信する。

[0020] NANDチップA200A及びNANDチップB200Bは、信号RBn1を、メモリコントローラ300に送信する。NANDチップC及びNAN

DチップDは、信号RB_{n2}を、メモリコントローラ300に送信する。

[0021] アサートされている信号CE_{n1}は、NANDチップA200A及びNANDチップB200Bをイネーブルにする。信号CE_{n1}とNANDチップを選択するアドレスADDにより、NANDチップA200A及びNANDチップB200Bのうち的一方が選択される。アサートされている信号CE_{n2}は、NANDチップC200C及びNANDチップD200Dをイネーブルにする。信号CE_{n2}とNANDチップを選択するアドレスADDにより、NANDチップC200C及びNANDチップD200Dのうち的一方が選択される。NANDチップA200A、NANDチップB200B、NANDチップC200C、及びNANDチップD200Dのうち、選択された1つにデータが書き込まれる。又は、NANDチップA200A、NANDチップB200B、NANDチップC200C、及びNANDチップD200Dのうち、選択された1つからデータが読み出される。

[0022] NANDチップA200A、NANDチップB200B、NANDチップC200C、及びNANDチップD200Dは、それぞれ後述する終端回路を含んでいる。メモリコントローラ300とNANDチップとの間の通信において、あるNANDチップが選択された場合、選択されたNANDチップの終端回路がイネーブルされてもよいし、非選択のNANDチップの終端回路がイネーブルされてもよい。また、選択NANDチップの終端回路と非選択NANDチップの終端回路が共にイネーブルされてもよい。また、メモリコントローラ300は、複数存在する非選択NANDチップの、どの非選択NANDチップの終端回路をイネーブルするかを選択することが可能である。選択NANDチップに対して、どのNANDチップが有する終端回路をイネーブルとするかは、例えば事前に行われるテストにより信号特性が良好となる選択NANDチップと非選択NANDチップの組み合わせに基づいて定めることが出来る。

[0023] 本明細書中において、“選択NANDチップ”とは、メモリコントローラ300とNANDチップとの間の通信において、メモリコントローラ300

と通信を行っているNANDチップを指す。“非選択NANDチップ”とは、メモリコントローラ300とNANDチップとの間の通信において、メモリコントローラ300と通信を行っていないNANDチップを指す。

[0024] [1-1-2] NANDチップの構成

図3は、第1実施形態のNANDチップA200Aの機能ブロック、及び関連する要素を示す。以下、NANDチップA200Aについて説明するが、NANDチップB200B、NANDチップC200C、及びNANDチップD200Dも同じ構成を有する。また、図3では、I/Fチップ250は省略されている。しかしながら、以下の説明におけるNANDチップとメモリコントローラ300の間の通信は、I/Fチップ250を介して行われている。図3以降の図についても、I/Fチップ250は省略されている場合がある。

[0025] 図2で述べられたように、NANDチップA200Aは、メモリコントローラ300によって制御される。NANDチップA200Aは、メモリセルアレイ11、入出力回路12、シーケンサ（制御回路）13、電位生成回路14、ドライバ15、ロウデコーダ16、及びセンスアンプ17等の要素を含む。

[0026] メモリセルアレイ11は複数のメモリブロックBLK（BLK0、BLK1、…）を含む。メモリブロックは、以下、単にブロックと称される。各ブロックBLK中のデータは一括して消去される。1つのブロックBLKより小さい単位（例えばブロックBLKの半分）でデータが消去されてもよい。各ブロックBLKは複数のストリングユニットSU（SU0、SU1、…）の集合である。各ストリングユニットSUは複数のNANDストリング（ストリング）STR（STR0、STR1、…）の集合である。ストリングSTRは、複数のメモリセルトランジスタMTを含む。

[0027] メモリセルアレイ11はさらに、図示せぬ種々の配線を含む。そのような種々の配線は、ソース線CELSRC、ワード線WL、及びビット線BLを含む。

- [0028] メモリコントローラ300と入出力回路12は、信号DQ、DQS、DQSnを互いに送受信する。信号DQは8ビットの信号であり、情報を伝送する。信号DQは、情報としてコマンド(CMD)、アドレス(ADD)、書き込みデータ又は読み出しデータ(DAT)、ステータスデータ(STA)等を伝送する。信号DQS及びDQSnはデータストロブ信号であり、DQが取り込まれるべきタイミングを示す。信号DQSnは信号DQSのハイレベルとローレベルを反転させた信号である。
- [0029] メモリコントローラ300は、入出力回路12へ、信号CEn1、CLE、ALE、WEn、REn、RE、及びWPnを送信する。アサートされている信号CEn1は、NANDチップA200Aをイネーブルにする。アサートされている信号CLEは、アサートされている信号CLEと並行して送信されている信号DQがコマンドCMDであることを入出力回路12に通知する。アサートされている信号ALEは、アサートされている信号ALEと並行して送信されている信号DQがアドレスADDであることを入出力回路12に通知する。アサートされている信号WEnは、アサートされている信号WEnと並行して送信されている信号DQを、入出力回路12に取り込ませることを指示する。アサートされている信号REn及びREは、入出力回路12に、信号DQを出力することを指示する。信号REは信号REnのハイレベルとローレベルを反転させた信号である。アサートされている信号WPnは、アサートされている信号WPnを受け取っている間、データの書き込み及び消去の実行を禁止することを入出力回路12に指示する。
- [0030] メモリコントローラ300は、入出力回路12から、信号RBn1を受信する。信号RBn1は、NANDチップA200Aがレディー状態であるか、ビジー状態であることを示す。RBn1がハイレベルのとき、NANDチップA200Aはレディー状態である。NANDチップA200Aは、レディー状態においてメモリコントローラ300からの命令を受け付ける。NANDチップA200Aは、ビジー状態においてメモリコントローラ300からの命令を受け付けない。

- [0031] シーケンサ 13 は入出力回路 12 からコマンド CMD と、アドレス ADD を受け取る。シーケンサ 13 はコマンド CMD 及びアドレス ADD に基づいて、電位生成回路 14、ドライバ 15、ロウデコーダ 16、及びセンスアンプ 17 を制御する。
- [0032] 電位生成回路 14 は NAND チップ A200A の外部から電源電位を受け、電源電位から種々の電位を生成する。生成された電位は、メモリセルアレイ 11、ドライバ 15、及びセンスアンプ 17 等の要素に供給される。電位生成回路 14 からメモリセルアレイ 11 へ供給される電位は、例えば、ソース線 CELSRC に印加される電位を含む。電位生成回路 14 からドライバ 15 へ供給される電位は、例えば、ドライバ 15 を介してワード線 WL に印加される。電位生成回路 14 からセンスアンプ 17 へ供給される電位は、例えば、ビット線 BL に印加される。
- [0033] ドライバ 15 は電位生成回路 14 から複数の電位を受け取る。受け取った電位は、シーケンサ 13 からの制御信号に従い、ロウデコーダ 16 に供給される。
- [0034] ロウデコーダ 16 は入出力回路 12 からアドレス ADD を受け取る。ロウデコーダ 16 はドライバ 15 から、ドライバ 15 によって選択された種々の電位を受け取る。ロウデコーダ 16 はシーケンサ 13 から、アドレス ADD を含む制御信号を受け取る。ロウデコーダ 16 は受け取ったアドレス ADD に基づいて 1 つのブロック BLK を選択し、選択されたブロック BLK にドライバ 15 から受け取った電位を転送する。
- [0035] センスアンプ 17 はメモリセルアレイ 11 に含まれるメモリセルトランジスタ MT の状態をセンスし、センスされた状態に基づいて読出しデータ DAT を生成し、入出力回路 12 に送信する。また、センスアンプ 17 は入出力回路 12 より受け取った書込みデータ DAT を、メモリセルトランジスタ MT に送信する。センスアンプ 17 は、電位生成回路 14 からある電位を受け取り、書込みデータ DAT に基づいて選択されたビット線 BL に供給する。
- [0036] [1-1-3] メモリシステムの回路構成

図4は、第1実施形態に係る半導体記憶装置200の備えるメモリセルアレイ10の回路構成の一例を、メモリセルアレイ10に含まれた複数のブロックBLKのうち1つのブロックBLKを抽出して示している。例えば、その他のブロックBLKも、全て図4に示される要素及び接続から構成される。メモリセルアレイ10内のブロックBLK数、1ブロックBLK内のストリングユニットSU数は、任意の数に設定できる。以下の記述は、1ブロックBLKが4つのストリングユニットSU0～SU3を含む例に基づく。

[0037] 各ストリングユニットSUは、ビット線BL0～BLm（mは1以上の整数）にそれぞれ関連付けられた複数のNANDストリングNSの集合である。各NANDストリングNSは、例えばメモリセルトランジスタMT0～MT7、並びに選択トランジスタST1及びST2を含んでいる。メモリセルトランジスタMTは、制御ゲート及び電荷蓄積層を含み、データを不揮発に保持する。選択トランジスタST1及びST2のそれぞれは、各種動作時におけるストリングユニットSUの選択に使用される。

[0038] 各NANDストリングNSにおいて、メモリセルトランジスタMT0～MT7は、直列接続される。選択トランジスタST1のドレインは、関連付けられたビット線BLに接続され、選択トランジスタST1のソースは、直列接続されたメモリセルトランジスタMT0～MT7の組の一端に接続される。選択トランジスタST2のドレインは、直列接続されたメモリセルトランジスタMT0～MT7の組の他端に接続される。選択トランジスタST2のソースは、ソース線SLに接続される。

[0039] 同一のブロックBLKにおいて、メモリセルトランジスタMT0～MT7の制御ゲートは、それぞれワード線WL0～WL7に共通に接続される。ストリングユニットSU0～SU3内の選択トランジスタST1のゲートは、それぞれ選択ゲート線SGD0～SGD3に共通に接続される。選択トランジスタST2のゲートは、選択ゲート線SGSに共通に接続される。

[0040] 各ストリングユニットSUの1つのNANDストリングNSが1つのビット線BLに接続される。ソース線SLは、例えば複数のブロックBLK間で

共有される。

- [0041] 1つのストリングユニットSU内で共通のワード線WLに接続された複数のメモリセルトランジスタMTの集合は、例えばセルユニットCUと称される。例えば、それぞれが1ビットデータを記憶するメモリセルトランジスタMTを含むセルユニットCUの記憶容量が、「1ページデータ」として定義される。セルユニットCUは、メモリセルトランジスタMTが記憶するデータのビット数に応じて、2ページデータ以上の記憶容量を有し得る。
- [0042] 尚、第1実施形態に係るNANDチップA200Aが備えるメモリセルアレイ10の回路構成は、以上で説明した構成に限定されない。例えば、各NANDストリングNSが含むメモリセルトランジスタMT並びに選択トランジスタST1及びST2の個数は、それぞれ任意の個数に設計され得る。
- [0043] 図5は、第1実施形態に係るメモリコントローラ300の構成例を示すブロック図である。図5は、8ビット幅の入出力信号DQのうちの1ビットを伝送する配線に関する構成のみを代表として示す。残りの7ビットをそれぞれ伝送する配線についても、図5に示される構成と同様の構成が設けられる。以下、8ビット幅の入出力信号のうち、図5に示される構成が扱う1ビットの信号を単に、信号DQと称する。また、NANDバス中の配線のうち、DQ信号を伝送する配線をDQ配線と称する。
- [0044] 以下の説明において、トランジスタの第1端はソース及びドレインの一方を示し、第2端はソース及びドレインの他方を示す。また、トランジスタの制御端子は、ゲートを示す。
- [0045] メモリコントローラ300は、前述の通りホストデバイス400から要求信号を受信する。メモリコントローラ300は、受信部301、306、及び307、送信部302、309～311、及び314、終端回路303、312、及び313、イネーブル信号生成回路304、並びに参照電圧生成回路305を含む。
- [0046] イネーブル信号生成回路304は、例えば、CPU370によって実行されるプログラムに従ってLVSTLイネーブル信号LVSTL__EN1を生

成する。イネーブル信号生成回路304は、生成したLVSTLイネーブル信号LVSTL__EN1を終端回路303及び参照電圧生成回路305に送信する。また、イネーブル信号生成回路304は、イネーブル信号OUTEN1及びOUTEN2を生成する。イネーブル信号生成回路304は、生成したイネーブル信号OUTEN1及びOUTEN2を送信部302に送信する。さらに、イネーブル信号生成回路304は、イネーブル信号INEN1及びINEN2を生成する。イネーブル信号生成回路304は、生成したイネーブル信号INEN1及びINEN2を受信部301に送信する。

[0047] 参照電圧生成回路305は、受信した信号LVSTL__EN1に基づいて参照電圧VREFq1及びVREFq2を生成する。参照電圧生成回路305は、LVSTLイネーブル信号LVSTL__EN1に応じて、複数種類の参照電圧VREFq1及びVREFq2を自ら生成して供給してもよい、外部から供給された複数種類の参照電圧VREFq1及びVREFq2を選択して供給してもよい。参照電圧VREFq1及びVREFq2の詳細は後述する。

[0048] 受信部301は、参照電圧VREFq1及びVREFq2を受け取る。受信部301は、ノードDQ0と接続されている。受信部301は、ノードDQ0を介して入出力回路12（後述）から信号DQを受信する。受信部301は、イネーブル信号生成回路304から、イネーブル信号INEN1及びINEN2を受け取る。受信部301は、信号DQの受信に関する動作を行う。受信部301は、例えば、受け取ったイネーブル信号INEN1及びINEN2に基づいて、信号DQのレベルを判断する。受信部301は、受信した信号DQによって伝送される情報の種類に応じて、異なる動作をしてもよい。受信部301は、受け取った信号DQに基づく信号をメモリコントローラ300中の図示せぬ別の要素へ出力する。受信部301の詳細は後述される。受信部306及び307は、それぞれ信号DQS及びDQSnの受信に関する動作を行う。受信部306及び307は、受信部301と同様の構成及び機能であるため、説明は省略される。例えば、受信部306及び30

7とイネーブル信号生成回路304とを繋ぐ配線等、図5の配線の一部は省略されている。

[0049] 終端回路303は、ノードDQOと接続されている。終端回路303は、ノードDQOを任意に終端できる。すなわち、終端回路303は、ノードDQOを終端することも出来るし、終端しないことも出来る。終端回路303がノードDQOを終端するか否かは、受信した信号DQの種類によって選択されても良い。終端回路303は、イネーブル信号生成回路304から受信したLVSTイネーブル信号LVSTL__EN1を用いて終端を行う。終端回路303の詳細は後述される。終端回路312及び313は、それぞれノードDQS0及びDQSn0を任意に終端できる。終端回路312及び313は、終端回路303と同様の構成及び機能であるため、説明は省略される。例えば、終端回路312及び313とイネーブル信号生成回路304とを繋ぐ配線等、図5の配線の一部は省略されている。

[0050] 送信部302は、メモリコントローラ300中の図示せぬ別の要素から信号DQとして伝送される信号を受け取る。送信部302は、イネーブル信号生成回路304から、イネーブル信号OUTEN1及びOUTEN2を受け取る。送信部302は、受け取ったイネーブル信号OUTEN1及びOUTEN2に基づいて、受信した信号DQを出力する。送信部302は、ノードDQOに接続される。送信部302は、ノードDQOを介して信号DQを入出力回路12に送信する。送信部302は、信号DQとして伝送される信号に基づいてノードDQOの電圧を制御する。送信部302の詳細は後述される。送信部309～311、及び314は、それぞれ信号DQS、DQSn、REn、及びREを入出力回路12に送信する。送信部309～311、及び314は、送信部302と同様の構成及び機能であるため、説明は省略される。例えば、送信部309～311、及び314とイネーブル信号生成回路304とを繋ぐ配線等、図5の配線の一部は省略されている。

[0051] 信号DQは、電圧の大きさを用いて信号を伝達する。また、メモリコントローラ300は、生成した信号CEn1、CLE、ALE、WEn、及びW

P_nを、NANDバス中のこれらの信号を伝送するための配線を介して入出力回路12に送信する。

[0052] 図6は、第1実施形態に係る半導体記憶装置200における入出力回路12の構成例を示すブロック図である。図6は、図5と同様に8ビット幅の入出力信号DQのうちの1ビットを伝送する配線に関する構成のみを代表として示す。残りの7ビットをそれぞれ伝送する配線についても、図6に示される構成と同様の構成が設けられる。

[0053] 入出力回路12は、受信部201、212～214、及び221、送信部202、215、及び216、終端回路203、218～220、及び222、イネーブル信号生成回路204、参照電圧生成回路205、ラッチ回路206、差動増幅回路207及び223、並びに入出力ピン208～211及び224を含む。

[0054] 入出力ピン208は、DQ配線と接続されている。入出力ピン208は、ノードDQ_lと接続されている。入出力ピン209は、メモリコントローラ300のデータストローブ信号DQ_Sを伝送する配線と接続されている。入出力ピン209は、ノードDQ_{S_l}と接続されている。入出力ピン210は、メモリコントローラ300のデータストローブ信号DQ_{S_n}を伝送する配線と接続されている。入出力ピン210は、ノードDQ_{S_{n_l}}と接続されている。入出力ピン211は、メモリコントローラ300の信号R_{E_n}を受信する配線と接続されている。入出力ピン211は、ノードR_{E_{n_l}}と接続されている。入出力ピン224は、メモリコントローラ300の信号R_Eを受信する配線と接続されている。入出力ピン224は、ノードR_{E_l}と接続されている。

[0055] イネーブル信号生成回路204は、メモリコントローラ300から受信した信号C_{E_{n1}}、C_{LE}、A_{LE}、W_{E_n}、及びW_{P_n}に応じて、LVSTLイネーブル信号LVSTL__E_{N2}を生成する。イネーブル信号生成回路204は、生成したLVSTLイネーブル信号LVSTL__E_{N2}を終端回路203及び参照電圧生成回路205に供給する。また、イネーブル信号生

成回路204は、イネーブル信号OUTEN1及びOUTEN2を生成する。イネーブル信号生成回路204は、生成したイネーブル信号OUTEN1及びOUTEN2を送信部202に送信する。さらに、イネーブル信号生成回路204は、イネーブル信号INEN1及びINEN2を生成する。イネーブル信号生成回路204は、生成したイネーブル信号INEN1及びINEN2を受信部201に送信する。

[0056] 参照電圧生成回路205は、受信した信号LVSTL_EN2に基づいて参照電圧VREFq1及びVREFq2を生成する。参照電圧生成回路205は、LVSTLイネーブル信号LVSTL_EN2に応じて、複数種類の参照電圧VREFq1及びVREFq2を自ら生成して供給してもよいし、外部から供給された複数種類の参照電圧VREFq1及びVREFq2を選択して供給してもよい。

[0057] 受信部201は、参照電圧VREFq1及びVREFq2を受け取る。受信部201は、ノードDQ1と接続されている。受信部201は、ノードDQ1から信号DQを受信する。受信部201は、イネーブル信号生成回路204から、イネーブル信号INEN1及びINEN2を受け取る。受信部201は、信号DQの受信に関する動作を行う。受信部201は、例えば、受け取ったイネーブル信号INEN1及びINEN2に基づいて、信号DQのレベルを判断する。受信部201は、受信した信号DQによって伝送される情報の種類に応じて、異なる動作をしても良い。受信部201は、受け取った信号DQに基づく信号をラッチ回路206へ出力する。受信部201の詳細は後述される。受信部212～214、及び221は、それぞれ信号DQS、DQSn、REn、及びREの受信に関する動作を行う。受信部212～214、及び221は、受信部201と同様の構成及び機能であるため、説明は省略される。例えば、受信部212～214、及び221とイネーブル信号生成回路204とを繋ぐ配線等、図6の配線の一部は省略されている。

[0058] 終端回路203は、ノードDQ1と接続されている。終端回路203は、

ノードDQ1を任意に終端できる。すなわち、終端回路203は、ノードDQ1を終端することもできるし、終端しないこともできる。終端回路203がノードDQ1を終端するか否かは、受信した信号DQの種類によって選択されても良い。終端回路203は、イネーブル信号生成回路204から受信したLVSTイネーブル信号LVSTL__EN2を用いて終端を行う。終端回路203の詳細は後述される。終端回路218~220及び222は、それぞれノードDQS1、DQSn1、REn1、及びRE1を任意に終端できる。終端回路218~220、及び222は、終端回路203と同様の構成及び機能であるため、説明は省略される。例えば、終端回路218~220、及び222とイネーブル信号生成回路204とを繋ぐ配線等、図6の配線の一部は省略されている。

[0059] ラッチ回路206は、受信部201から信号DQに基づく信号を受信し、受信した信号DQに基づく信号を保持する。ラッチ回路206は、送信部202に、メモリコントローラ300に送信される信号DQを送信する。ラッチ回路206の詳細は後述される。

[0060] 送信部202は、ラッチ回路206から信号DQとして送信される信号を受信する。送信部202は、イネーブル信号生成回路204から、イネーブル信号OUTEN1及びOUTEN2を受け取る。送信部202は、受け取ったイネーブル信号OUTEN1及びOUTEN2に基づいて、受信した信号DQを出力する。送信部202は、ノードDQ1に接続される。送信部202は、ノードDQ1及び入出力ピン208を介して信号DQをメモリコントローラ300に送信する。送信部202は、信号DQとして伝送される信号に基づいてノードDQ1の電圧を制御する。送信部302の詳細は後述される。送信部215及び216は、それぞれ信号DQS及びDQSnをメモリコントローラ300に送信する。送信部215及び216は、送信部202と同様の構成及び機能であるため、説明は省略される。例えば、送信部215及び216とイネーブル信号生成回路204とを繋ぐ配線等、図6の配線の一部は省略されている。

- [0061] 差動増幅回路207は、受信部212及び213に接続されている。差動増幅回路207は、受信部212から信号DQSに基づく信号を受信する。差動増幅回路207は、受信部213から信号DQSnに基づく信号を受信する。差動増幅回路207は、受信した信号DQS及びDQSnを元に、ラッチ回路206を制御する。差動増幅回路207の詳細は後述される。
- [0062] 差動増幅回路223は、受信部214及び221に接続されている。差動増幅回路223は、受信部214から信号REnに基づく信号を受信する。差動増幅回路223は、受信部221から信号REに基づく信号を受信する。差動増幅回路223は、受信した信号REn及びREに基づいて、信号REni及びREiを生成する。差動増幅回路223は、生成した信号REni及びREiを、入出力回路12中の図示せぬ別の要素へ出力する。
- [0063] 図7は、第1実施形態に係る半導体記憶装置200における終端回路203及び303の構成例を示す回路図である。図8は、第1実施形態に係る終端回路203及び303によって終端したノードDQOの電圧振幅を示す波形図である。図8を適宜引用し、図7について述べる。
- [0064] 図7は、図5及び6で述べられた終端回路203及び303の詳細な回路構造を示す。まず、終端回路303の回路構造について記述される。先述の通り、終端回路303は、ノードDQOを任意に終端する。終端回路303は、抵抗303A及びNMOSトランジスタ303Bを備える。抵抗303Aの第1端はノードDQOに電氣的に接続される。抵抗303Aの第2端はNMOSトランジスタ303Bの第1端に電氣的に接続される。NMOSトランジスタ303Bの第2端は、接地電圧VSSqのノードに電氣的に接続される。NMOSトランジスタ303Bの制御端子には、イネーブル信号生成回路304からLVSTLイネーブル信号LVSTL__EN1が供給される。
- [0065] NMOSトランジスタ303Bの制御端子にハイレベルのLVSTLイネーブル信号LVSTL__EN1が供給されることにより、NMOSトランジスタ303Bはオンする。NMOSトランジスタ303Bの制御端子にロー

レベルのLVSTLイネーブル信号LVSTL__EN1が供給されることにより、NMOSトランジスタ303Bはオフする。

[0066] NMOSトランジスタ303Bがオンしているとき、終端回路303は、ノードDQOを終端する。また、NMOSトランジスタ303Bがオフしているとき、終端回路303は、ノードDQOを終端しない。このように、終端回路303は、LVSTLイネーブル信号LVSTL__EN1のレベルを調整することにより、信号DQを終端するか否かを選択することができる。以下では、NMOSトランジスタ303Bがオンしていて、終端回路303がノードDQOを終端している状態のことは、「終端回路303がイネーブルしている」と表記される。同様に、NMOSトランジスタ303Bがオフしていて、終端回路303がノードDQOを終端していない状態のことは、「終端回路303がイネーブルしていない（ディセーブルしている）」と表記される。

[0067] 終端回路303がイネーブルしているとき、NMOSトランジスタ303Bのオン抵抗と抵抗303Aとは、ノードDQOが受信した信号DQの電圧を降下させる。終端回路303がノードDQOの電圧振幅に与える影響について、図8を用いて説明する。以下では、ノードDQOが、ハイレベル（ V_{CCq} ）又はローレベル（ V_{SSq} ）の間で周期的に振動する電圧を受信した場合について考える。

[0068] 終端回路303がイネーブルしていないとき、終端回路303は、ノードDQOの抵抗値を調整しない。この場合、図8の実線で示されるように終端回路303は、ノードDQOの信号DQの電圧振幅を調整しない。従って、ノードDQOは、受信部301に、電圧 V_{SSq} ～電圧 V_{CCq} の振幅を有する信号を供給する。

[0069] 終端回路303がイネーブルしているとき、NMOSトランジスタ303Bのオン抵抗と抵抗303Aとは、ノードDQOからの電圧 V_{CCq} を電圧 $V_{CCq} - \alpha$ に引き下げる。すなわち、図8の破線で示されるように、終端回路303は、NMOSトランジスタ303Bのオン抵抗と抵抗303Aと

の負荷抵抗により、ノードDQ0の電圧振幅を電圧 VSS_q ～電圧 $VCC_q - \alpha$ に調整する。従って、ノードDQ0は、受信部301に、電圧 VSS_q ～電圧 $VCC_q - \alpha$ の振幅を有する信号を供給する。

[0070] 終端回路303がイネーブルしている場合とイネーブルしていない場合とで、信号DQの最大値（すなわちハイレベル）の大きさが異なる。このため、終端回路303がイネーブルしている場合とイネーブルしていない場合とで、信号DQのレベルを判断するための参照電圧 $VREF_q$ の大きさが変更される。より具体的には、図8に示されるように、参照電圧生成回路305は、終端回路303がイネーブルしていない場合、電圧 VSS_q と電圧 VCC_q との間の参照電圧 $VREF_q1$ を供給する。参照電圧 $VREF_q1$ は、例えば、電圧 VSS_q と電圧 VCC_q との中間値、すなわち $(VCC_q + VSS_q) / 2$ である。一方、参照電圧生成回路305は、終端回路303がイネーブルしている場合、電圧 VSS_q と電圧 $VCC_q - \alpha$ との間の参照電圧 $VREF_q2$ を供給する。例えば参照電圧 $VREF_q2$ は、 $(VCC_q + VSS_q) / 2$ 未満であり、参照電圧 $VREF_q2$ が $(VCC_q + VSS_q) / 2$ 未満となる値は、 $(VCC_q + VSS_q) / 3$ 等であり、本明細書においてはこの値で記述されるが、本発明を限定するものではない。

[0071] 次に、再び図7を参照して、終端回路203の回路構造について記述される。前述の通り、終端回路203は、ノードDQ1を任意に終端する。終端回路203は、終端回路303と同様の構造及び機能を有する。終端回路203は、抵抗203A及びNMOSトランジスタ203Bを備える。抵抗203Aの第1端はノードDQ1に電氣的に接続される。抵抗203Aの第2端はNMOSトランジスタ203Bの第1端に電氣的に接続される。NMOSトランジスタ203Bの第2端は、接地電圧 VSS_q のノードに電氣的に接続される。NMOSトランジスタ203Bの制御端子には、イネーブル信号生成回路204からLVSTLイネーブル信号LVSTL_EN2が供給される。

[0072] NMOSトランジスタ203Bの制御端子にハイレベルのLVSTLイネ

ーブル信号LVSTL_EN2が供給されることにより、NMOSトランジスタ203Bはオンする。NMOSトランジスタ203Bの制御端子にローレベルのLVSTLイネーブル信号LVSTL_EN2が供給されることにより、NMOSトランジスタ203Bはオフする。

[0073] NMOSトランジスタ303Bがオンしているとき、終端回路203は、ノードDQ1を終端する。また、NMOSトランジスタ203Bがオフしているとき、終端回路203は、ノードDQ1を終端しない。このように、終端回路203は、LVSTLイネーブル信号LVSTL_EN2のレベルを調整することにより、信号DQを終端するか否かを選択することができる。以下では、終端回路303と同様に、NMOSトランジスタ203Bがオンしていて、終端回路203がノードDQ1を終端している状態のことは、「終端回路203がイネーブルしている」と表記される。同様に、NMOSトランジスタ203Bがオフしていて、終端回路203がノードDQ0を終端していない状態のことは、「終端回路203がイネーブルしていない（ディセーブルしている）」と表記される。

[0074] 終端回路203は、終端回路303と同様に、NMOSトランジスタ203Bのオン抵抗と抵抗203Aとの負荷抵抗により、ノードDQ1の電圧振幅を電圧VSSq～電圧VCCq- α に調整する（図8の破線）。従って、ノードDQ1は、受信部201に、電圧VSSq～電圧VCCq- α の振幅を有する電圧を供給する。終端回路303と同様に、参照電圧生成回路205は、終端回路203がイネーブルしていない場合、参照電圧VREFq1（例えば、 $VREFq1 = (VCCq + VSSq) / 2$ ）を供給する。一方、参照電圧生成回路205は、終端回路203がイネーブルしている場合、電圧VSSqと電圧VCCq- α との中間値である参照電圧VREFq2（ $VREFq2 < (VCCq + VSSq) / 2$ ）を供給する。終端回路218～220、222、312、及び313は、終端回路203及び303と同様の構成及び機能であるため、説明は省略される。

[0075] 図9は、第1実施形態に係る半導体記憶装置200における送信部302

の構成例を示す回路図である。図9は、図5で述べられた送信部302の詳細な回路構造を示す。前述の通り、送信部302は、信号DQとして伝送される信号に基づいてノードDQOの電圧を制御する。以下、送信部302によって信号DQとして伝送される信号は、信号IN1と称される。

[0076] 送信部302は、Legacy送信部302X及び、LVSTL (low voltage swing terminated logic) 送信部302Yを含む。送信部302は、受信した信号IN1の種類に基づいて、Legacy送信部302Xを使用して信号DQを送信するか、LVSTL送信部302Yを使用して信号DQを送信するか、選択することができる。信号DQの種類と、使用される送信部(Legacy送信部302X又はLVSTL送信部302Y)の詳細については後述される。

[0077] Legacy送信部302Xを選択する場合、イネーブル信号生成回路304は、ハイレベルのイネーブル信号OUTEN1及びローレベルのイネーブル信号OUTEN2を、送信部302に送信する。また、LVSTL送信部302Yを選択する場合、イネーブル信号生成回路304は、ローレベルのイネーブル信号OUTEN1及びハイレベルのイネーブル信号OUTEN2を、送信部302に送信する。

[0078] Legacy送信部302Xは、例えば、CTT (center tapped termination) 方式やPOD (pseudo open drain) 方式による終端回路に対応した送信方式で、信号DQを送信する。Legacy送信部302Xは、PMOSトランジスタ302A、NMOSトランジスタ302B、否定論理積(NAND)ゲート302C、インバータ302D、及び否定論理和(NOR)ゲート302Eを備える。Legacy送信部302Xは、図9に示した論理回路構成に限定されない。同様の信号の論理が得られるものであれば、例示された論理ゲートに加えて(代えて)、論理積(AND)ゲート、否定論理積(NAND)ゲート、論理和(OR)ゲート、否定論理和(NOR)ゲート、排他的論理和(XOR)ゲート、否定排他的論理和(XNOR)ゲート、インバータ等の論理回路を適宜組み合わせることによって実現してもよい。

。

- [0079] PMOSトランジスタ302Aの第1端は、電源電圧VCCq（ハイレベル）のノードに電氣的に接続される。電源電圧VCCqは、信号IN1の振幅（又はハイレベル）の電圧よりも低い。PMOSトランジスタ302Aの第2端は、ノードDQOに接続される。
- [0080] NMOSトランジスタ302Bの第1端は、ノードDQOに接続される。NMOSトランジスタ302Bの第2端は、接地電圧VSSqのノードに電氣的に接続される。
- [0081] NANDゲートは、第1入力端、第2入力端、及び出力端を有する。NANDゲートは、第1入力端で受信される信号のレベルと、第2入力端で受信される信号のレベルの否定論理積を出力端から出力する。NANDゲート302Cの第1入力端は、イネーブル信号生成回路304から、イネーブル信号OUTEN1を受信する。NANDゲート302Cの第2入力端は、メモリコントローラ300中の図示せぬ別の要素から信号IN1を受信する。NANDゲート302Cの出力端は、PMOSトランジスタ302Aの制御端子に接続される。NANDゲート302Cは、第1入力端から受信した信号と、第2入力端から受信した信号の否定論理積を出力端からPMOSトランジスタ302Aの制御端子に送信する。
- [0082] インバータは、入力端及び出力端を有する。インバータは、入力端で受信される信号のレベルの論理反転を出力する。インバータ302Dの入力端は、イネーブル信号生成回路304から、イネーブル信号OUTEN1を受信する。インバータ302Dは、受信した信号OUTEN1の論理反転を出力端からNORゲート302Eの第1入力端に送信する。
- [0083] NORゲートは、第1入力端、第2入力端、及び出力端を有する。NORゲートは、第1入力端で受信される信号のレベルと、第2入力端で受信される信号のレベルの否定論理和を出力端から出力する。NORゲート302Eの第1入力端は、インバータ302Dの出力端に接続されている。NORゲート302Eの第2入力端は、メモリコントローラ300中の図示せぬ別の

要素から信号 I N 1 を受信する。N O R ゲート 3 0 2 E の出力端は、N M O S トランジスタ 3 0 2 B の制御端子に接続される。N O R ゲート 3 0 2 E は、第 1 入力端から受信した信号と、第 2 入力端から受信した信号の否定論理和を出力端から N M O S トランジスタ 3 0 2 B の制御端子に送信する。

[0084] L V S T L 送信部 3 0 2 Y は、例えば、L V S T L (low voltage swing terminated logic) 方式による終端回路に対応した送信方式で、信号 D Q を送信する。L V S T L 送信部 3 0 2 Y は、N M O S トランジスタ 3 0 2 F 及び 3 0 2 G、論理積 (A N D) ゲート 3 0 2 H、インバータ 3 0 2 I、及び N O R ゲート 3 0 2 J を備える。L V S T L 送信部 3 0 2 Y は、同様の信号の論理が得られるものであれば、例えば N A N D ゲート、インバータ等の論理回路等を更に有していてもよく、図 9 の構造に限定されない。

[0085] N M O S トランジスタ 3 0 2 F の第 1 端は、電源電圧 V C C q のノードに電氣的に接続される。N M O S トランジスタ 3 0 2 F の第 2 端は、ノード D Q O に接続される。

[0086] N M O S トランジスタ 3 0 2 G の第 1 端は、ノード D Q O に接続される。N M O S トランジスタ 3 0 2 G の第 2 端は、接地電圧 V S S q のノードに電氣的に接続される。

[0087] A N D ゲートは、第 1 入力端、第 2 入力端、及び出力端を有する。A N D ゲートは、第 1 入力端で受信される信号のレベルと、第 2 入力端で受信される信号のレベルの論理積を出力端から出力する。A N D ゲート 3 0 2 H の第 1 入力端は、イネーブル信号生成回路 3 0 4 から、イネーブル信号 O U T E N 2 を受信する。A N D ゲート 3 0 2 H の第 2 入力端は、メモリコントローラ 3 0 0 中の図示せぬ別の要素から信号 I N 1 を受信する。A N D ゲート 3 0 2 H の出力端は、N M O S トランジスタ 3 0 2 F の制御端子に接続される。A N D ゲート 3 0 2 H は、第 1 入力端から受信した信号と、第 2 入力端から受信した信号の論理積を出力端から N M O S トランジスタ 3 0 2 F の制御端子に送信する。

[0088] インバータ 3 0 2 I の入力端は、イネーブル信号生成回路 3 0 4 から、イ

ネーブル信号OUTEN2を受信する。インバータ302Iは、受信した信号OUTEN2の論理反転を出力端からNORゲート302Jの第1入力端に送信する。

[0089] NORゲート302Jの第1入力端は、インバータ302Iの出力端に接続されている。NORゲート302Jの第2入力端は、メモリコントローラ300中の図示せぬ別の要素から信号IN1を受信する。NORゲート302Jの出力端は、NMOSトランジスタ302Gの制御端子に接続される。NORゲート302Jは、第1入力端から受信した信号と、第2入力端から受信した信号の否定論理和を出力端からNMOSトランジスタ302Gの制御端子に送信する。

[0090] このように送信部302は、信号DQによって伝送される情報の種類に応じて、Legacy送信部302XとLVSTL送信部302YのどちらでDQ信号を生成するか切り替えを行う。切り替えを行うためには、イネーブル信号OUTEN1及びOUTEN2のローレベルとハイレベルの調整を行っている。言い換えると、送信部302は、送信方法を2種類有しており、どの送信方法が選択されるかは、信号DQの種類によって決定される。

[0091] また、以下では区別のために、イネーブル信号OUTEN1に基づいて送信された信号DQ（信号IN1からLegacy送信部302Xで生成された信号DQ）は、信号Legacy__IN1と称される。イネーブル信号OUTEN2に基づいて送信された信号DQ（信号IN1からLVSTL送信部302Yで生成された信号DQ）は、信号LVSTL__IN1と称される。

[0092] LVSTL送信部302Yが使用される場合、電圧VCCqは、NMOSトランジスタ302Fを介して転送されるため、転送される電圧は、NMOSトランジスタ302Fの閾値電圧の分、電圧VCCqより低い。このため、信号LVSTL__IN1の振幅は、信号Legacy__IN1の振幅より小さい。すなわち、LVSTL送信部302Yが使用されることにより、Legacy送信部302Xが使用される場合よりも小さい振幅の信号DQが

送信されることが可能である。

[0093] 次に、送信部202の回路構造について記述される。図10は、第1実施形態に係る半導体記憶装置200における送信部202の構成例を示す回路図である。図10は、図6で述べられた送信部202の詳細な回路構造を示す。先述の通り、送信部202は、信号DQとして伝送される信号に基づいてノードDQ1の電圧を制御する。送信部202は、送信部302と同様の構造及び機能を有する。以下、送信部202に信号DQとして伝送される信号は、信号IN2と称される。

[0094] 送信部202は、Legacy送信部202X及び、LVSTL送信部202Yを含む。送信部202は、受信した信号IN2の種類に基づいて、Legacy送信部202Xを使用して信号を送信するか、LVSTL送信部202Yを使用して信号IN2を送信するか、選択することができる。信号DQの種類と、使用される送信部（Legacy送信部202X又はLVSTL送信部202Y）の詳細については後述される。

[0095] Legacy送信部202Xを選択する場合、イネーブル信号生成回路204は、ハイレベルのイネーブル信号OUTEN1及びローレベルのイネーブル信号OUTEN2を、送信部202に送信する。また、LVSTL送信部202Yを選択する場合、イネーブル信号生成回路204は、ローレベルのイネーブル信号OUTEN1及びハイレベルのイネーブル信号OUTEN2を、送信部202に送信する。

[0096] Legacy送信部202Xは、PMOSTランジスタ202A、NMOSTランジスタ202B、NANDゲート202C、インバータ202D、及びNORゲート202Eを備える。Legacy送信部202Xは、同様の信号の論理が得られるものであれば、例えばNANDゲート、インバータ等の論理回路等を更に有していてもよく、図10の構造に限定されない。

[0097] PMOSTランジスタ202Aの第1端は、電源電圧VCCqのノードに電氣的に接続される。PMOSTランジスタ202Aの第2端は、ノードDQ1に接続される。

- [0098] NMOSトランジスタ202Bの第1端は、ノードDQ1に接続される。NMOSトランジスタ202Bの第2端は、接地電圧VSSqのノードに電氣的に接続される。
- [0099] NANDゲート202Cの第1入力端は、イネーブル信号生成回路204から、イネーブル信号OUTEN1を受信する。NANDゲート202Cの第2入力端は、ラッチ回路206から信号IN2を受信する。NANDゲート202Cの出力端は、PMOSトランジスタ202Aの制御端子に接続される。NANDゲート202Cは、第1入力端から受信した信号と、第2入力端から受信した信号の否定論理積を出力端からPMOSトランジスタ302Aの制御端子に送信する。
- [0100] インバータ202Dの入力端は、イネーブル信号生成回路204から、イネーブル信号OUTEN1を受信する。インバータ202Dは、受信した信号OUTEN1の論理反転を出力端からNORゲート202Eの第1入力端に送信する。
- [0101] NORゲート202Eの第1入力端は、インバータ202Dの出力端に接続されている。NORゲート202Eの第2入力端は、ラッチ回路206から信号IN2を受信する。NORゲート202Eの出力端は、NMOSトランジスタ202Bの制御端子に接続される。NORゲート202Eは、第1入力端から受信した信号と、第2入力端から受信した信号の否定論理和を出力端からNMOSトランジスタ202Bの制御端子に送信する。
- [0102] LVSTL送信部202Yは、NMOSトランジスタ202F及び202G、ANDゲート202H、インバータ202I、及びNORゲート202Jを備える。LVSTL送信部202Yは、同様の信号の論理が得られるものであれば、例えばNANDゲート、インバータ等の論理回路等を更に有していてもよく、図10の構造に限定されない。
- [0103] NMOSトランジスタ202Fの第1端は、電源電圧VCCqのノードに電氣的に接続される。NMOSトランジスタ202Fの第2端は、ノードDQ1に接続される。

- [0104] NMOSトランジスタ202Gの第1端は、ノードDQ1に接続される。NMOSトランジスタ202Gの第2端は、接地電圧VSSqのノードに電氣的に接続される。
- [0105] ANDゲート202Hの第1入力端は、イネーブル信号生成回路204から、イネーブル信号OUTEN2を受信する。ANDゲート202Hの第2入力端は、ラッチ回路206から信号IN2を受信する。ANDゲート202Hの出力端は、NMOSトランジスタ202Fの制御端子に接続される。ANDゲート202Hは、第1入力端から受信した信号と、第2入力端から受信した信号の論理積を出力端からNMOSトランジスタ202Fの制御端子に送信する。
- [0106] インバータ202Iの入力端は、イネーブル信号生成回路204から、イネーブル信号OUTEN2を受信する。インバータ202Iは、受信した信号OUTEN2の論理反転を出力端からNORゲート202Jの第1入力端に送信する。
- [0107] NORゲート202Jの第1入力端は、インバータ202Iの出力端に接続されている。NORゲート202Jの第2入力端は、ラッチ回路206から信号IN2を受信する。NORゲート202Jの出力端は、NMOSトランジスタ202Gの制御端子に接続される。NORゲート202Jは、第1入力端から受信した信号と、第2入力端から受信した信号の否定論理和を出力端からNMOSトランジスタ202Gの制御端子に送信する。
- [0108] このように送信部202は、送信部302と同様に、信号DQによって伝送される情報の種類に応じて、Legacy送信部202XとLVSTL送信部202YのどちらでDQ信号を生成するか切り替えを行う。切り替えを行うためには、イネーブル信号OUTEN1及びOUTEN2のローレベルとハイレベルの調整を行っている。言い換えると、送信部202は、送信方法を2種類有しており、どの送信方法が選択されるかは、信号DQの種類によって決定される。
- [0109] また、以下では区別のために、イネーブル信号OUTEN1に基づいて送

信された信号DQ（信号IN2からLegacy送信部202Xで生成された信号DQ）は、信号Legacy__IN2と称される。イネーブル信号OUTEN2に基づいて送信された信号DQ（信号IN2からLVSTL送信部202Yで生成された信号DQ）は、信号LVSTL__IN2と称される。

[0110] LVSTL送信部202Yが使用される場合、電圧VCCqは、NMOSトランジスタ202Fを介して転送されるため、転送される電圧は、NMOSトランジスタ202Fの閾値電圧の分、電圧VCCqより低い。このため、信号LVSTL__IN2の振幅は、信号Legacy__IN2の振幅より小さい。すなわち、LVSTL送信部202Yが使用されることにより、Legacy送信部202Xが使用される場合よりも小さい振幅の信号DQが送信されることが可能である。送信部215、216、309～311、及び314は、送信部202及び302と同様の構成及び機能であるため、説明は省略される。ここで、Legacy__In1及びLVSTL__IN1と同様に、送信部309から送信され、受信部212が受信する信号は、信号Legacy__DQS1又はLVSTL__DQS1と称される。送信部215から送信され、受信部306が受信する信号は、信号Legacy__DQS2又はLVSTL__DQS2と称される。信号LVSTL__DQS1及びLVSTL__DQS2は、それぞれ信号Legacy__DQS1及びLegacy__DQS2と比較して、小さい振幅を有する。

[0111] 送信部314から送信され、受信部221が受信する信号は、信号Legacy__RE1又はLVSTL__RE1と称される。信号LVSTL__RE1は、信号Legacy__RE1と比較して、小さい振幅を有する。

[0112] 図9及び図10に示された送信部302及び送信部202の回路図は、構成の一例である。そのため送信部302及び送信部202は、図9及び図10で述べられたものと同様の機能を有するものであれば、回路構成はその他の構造を有していても良い。ここで、第1実施形態に係るメモリシステム100における送信部が有する機能は、送信方法を2種類有すること、どの送

信方法が選択されるかは信号DQの種類によって決定されること、を含む。

[0113] 図11及び12に、図9及び図10の構成以外に適用されることが可能な構成についての具体例を記載する。図11及び12は、第1実施形態に係る半導体記憶装置200における送信部の構成例を示す回路図である。図9で述べられたように、送信部202と、送信部302とは、同様の構造及び機能を有する。このため、以下では代表例として送信部202についてのみ記載する。

[0114] 送信部202の構成の一例が図11に示される。図11に示される送信部202は、図10の送信部202と区別するために、送信部1202と称される。以下では、送信部1202について、送信部202と異なる点について主に説明される。

[0115] 送信部1202は、送信部202と同様に、送信方法を2種類有していて、受信した信号DQの種類に基づいて、送信方法を選択する。送信方法の選択は、イネーブル信号OUTEN1又はOUTEN2のレベルに基づく。ここで、信号OUTEN1に基づいて送信部1202によって信号IN2から生成された信号DQは、信号Legacy__IN2と称される。信号OUTEN2に基づいて送信部1202によって信号IN2から生成された信号DQは、信号LVSTL__IN2と称される。

[0116] 送信部1202は、送信部202の構成から、NMOSトランジスタ202B、インバータ202D、及びNORゲート202Eを除いた構成を有する。除かれたNMOSトランジスタ202B、インバータ202D、及びNORゲート202Eの機能については、それぞれNMOSトランジスタ202G、インバータ202I、及びNORゲート202Jが補っている。

[0117] 具体的には、送信部1202は、PMOSトランジスタ1202A、NANDゲート1202C、NMOSトランジスタ1202F及び1202G、ANDゲート1202H、インバータ1202I、及びNORゲート1202Jを備える。送信部1202は、同様の信号の論理が得られるものであれば、例えばNANDゲート、インバータ等の論理回路等を更に有していても

よく、図11の構造に限定されない。送信部1202のPMOSTランジスタ1202A、NANDゲート1202C、NMOSTランジスタ1202F及び1202G、ANDゲート1202H、インバータ1202I、並びにNORゲート1202Jはそれぞれ、送信部202のPMOSTランジスタ202A、NANDゲート202C、NMOSTランジスタ202F及び202G、ANDゲート202H、インバータ202I、並びにNORゲート202Jと同様の構成及び機能を有する。

[0118] 送信部1202は、信号LVSTL__IN2を送信する場合は、送信部202と同様に、NMOSTランジスタ1202F及び1202G、ANDゲート1202H、インバータ1202I、及びNORゲート1202Jを使用する。これに対して、送信部1202は、信号Legacy__IN2を送信する場合は、PMOSTランジスタ1202A、NMOSTランジスタ1202G、NANDゲート1202C、インバータ1202I、及びNORゲート1202Jを使用する。すなわち、NMOSTランジスタ1202G、インバータ1202I、及びNORゲート1202Jは、信号LVSTL__IN2を送信する場合だけでなく、信号Legacy__IN2を送信する場合でも共通で使用される。

[0119] インバータ1202Iは、イネーブル信号生成回路204から、信号OUTEN1だけでなく信号OUTEN2も受信する。前述の通り、信号OUTEN1がハイレベルであるとき、信号OUTEN2はローレベルであり、信号OUTEN1がローレベルであるとき、信号OUTEN2はハイレベルである。信号OUTEN1及び信号OUTEN2が同時にハイレベルとなることは無い為、インバータ1202Iは、信号OUTEN1及び信号OUTEN2を両方受信することが出来る。すなわち、インバータ1202Iは、信号Legacy__IN2を送信する場合と信号LVSTL__IN2を送信する場合の両方において、共通に使用することが可能である。

[0120] 同様に、インバータ1202Iに接続されたNORゲート1202J及びNORゲート1202Jに接続されたNMOSTランジスタ1202Gにつ

いても、信号Legacy__IN2を送信する場合と信号LVSTL__IN2を送信する場合の両方において、共通に使用することが可能である。

[0121] 以上をまとめると、送信部202は、信号Legacy__IN2を送信する場合はLegacy送信部202Xを使用し、信号LVSTL__IN2を送信する場合はLVSTL送信部202Yを使用するといったように、信号によって使用する構成要素を完全に分けていた。これに対して、送信部1202は、LVSTL送信部202Yの構成要素を一部共通で使用することで、Legacy送信部202Xの構成要素を簡略化している。構成要素を一部除くことができるため、送信部1202は、送信部202よりも回路面積を縮小させることが可能である。

[0122] 送信部202の構成の一例が図12に示される。図12に示される送信部202は、図10の送信部202と区別するために、送信部2202と称される。以下では、送信部2202について、送信部202及び送信部1202と異なる点について主に説明される。

[0123] 送信部2202は、送信部202と同様に、送信方法を2種類有していて、受信した信号DQの種類に基づいて、送信方法を選択する。送信方法の選択は、イネーブル信号OUTEN1又はOUTEN2のレベルに基づく。ここで、イネーブル信号OUTEN1に基づいて送信部2202から送信された信号IN2は、信号Legacy__IN2と称される。イネーブル信号OUTEN2に基づいて送信部2202から送信された信号IN2は、信号LVSTL__IN2と称される。

[0124] 送信部2202は、送信部1202の構造から、PMOSTランジスタ1202A及びNANDゲート1202Cを除いた構成を有する。除かれたPMOSTランジスタ1202A及びNANDゲート1202Cの機能については、それぞれNMOSTランジスタ1202F及びANDゲート1202Hが補っている。

[0125] 具体的には、送信部2202は、NMOSTランジスタ2202F及び2202G、ANDゲート2202H、インバータ2202I、並びにNOR

ゲート2202Jを備える。送信部2202は、同様の信号の論理が得られるものであれば、例えばNANDゲート、インバータ等の論理回路等を更に有していてもよく、図12の構造に限定されない。送信部2202のNMOSトランジスタ2202F及び2202G、ANDゲート2202H、インバータ2202I、並びにNORゲート2202Jはそれぞれ、送信部1202のNMOSトランジスタ1202F及び1202G、ANDゲート1202H、インバータ1202I、並びにNORゲート1202Jと同様の構成及び機能を有する。ただし、ANDゲート2202Hは、以下の点において、ANDゲート202Hと異なる。

[0126] すなわち、ANDゲート2202Hは、電圧 V_{CCq} 及び電圧 $V_{CCq} + \alpha$ のうちの動的に選択される方を受け取る。少なくとも、ANDゲート2202Hを構成するMOSトランジスタのうちで、ANDゲート2202Hの出力端と第1端に接続されているとともに出力端の電圧を駆動するPMOSトランジスタの第2端が、電圧 V_{CCq} 及び電圧 $V_{CCq} + \alpha$ のうちの動的に選択される方を受け取る。以下、このPMOSトランジスタは、出力用PMOSFETと称される。

[0127] 出力用PMOSFETが電圧 V_{CCq} を受けているとともにオンしている場合、ANDゲート2202Hの出力は、電圧 V_{CCq} に基づく電圧で駆動される。一方、出力用PMOSFETが電圧 $V_{CCq} + \alpha$ を受けているとともにオンしている場合、ANDゲート2202Hの出力は、電圧 $V_{CCq} + \alpha$ に基づく電圧で駆動される。電圧 $V_{CCq} + \alpha$ に基づく電圧は、電圧 V_{CCq} に基づく電圧より高い。このため、電圧 $V_{CCq} + \alpha$ が使用されているとともに出力用PMOSFETがオンしている場合のANDゲート2202Hの出力（電圧 $V_{CCq} + \alpha$ でのHレベル）は、電圧 V_{CCq} が使用されているとともに出力用PMOSFETがオンしている場合のANDゲート2202Hの出力（電圧 V_{CCq} でのHレベル）より高い。よって、NMOSトランジスタ2202Fは、ゲートにおいて、電圧 $V_{CCq} + \alpha$ でのHレベルを受け取っている場合、電圧 V_{CCq} でのHレベルを受け取っている場合よ

りも強くオンする。したがって、出力される信号の振幅は、電圧 $V_{CCq} + \alpha$ が使用されている場合において、電圧 V_{CCq} が使用されている場合より大きい。

[0128] 送信部2202は、信号 $LVSTL_IN2$ を送信する場合は、送信部1202と同様に、NMOSトランジスタ2202F及び2202G、ANDゲート2202H、インバータ2202I、及びNORゲート2202Jを使用する。ただし、これに加えて、ANDゲート2202Hに電圧 V_{CCq} が供給される。これに対して、送信部2202は、信号 $Legacy_IN2$ を送信する場合も、NMOSトランジスタ2202F及び2202G、ANDゲート2202H、インバータ2202I、及びNORゲート2202Jを使用する。ただし、これに加えて、ANDゲート2202Hに電圧 $V_{CCq} + \alpha$ が供給される。すなわち、送信部2202の構成要素は、信号 $LVSTL_IN2$ を送信する場合だけでなく、信号 $Legacy_IN2$ を送信する場合でも共通で使用される。

[0129] ANDゲート2202Hは、イネーブル信号生成回路204から、信号 $OUTEN1$ だけで無く信号 $OUTEN2$ も受信する。前述の通り、信号 $OUTEN1$ がハイレベルであるとき、信号 $OUTEN2$ はローレベルであり、信号 $OUTEN1$ がローレベルであるとき、信号 $OUTEN2$ はハイレベルである。信号 $OUTEN1$ 及び信号 $OUTEN2$ が同時にハイレベルとなることは無い為、インバータ202Iは、信号 $OUTEN1$ 及び信号 $OUTEN2$ を両方受信することが出来る。すなわち、ANDゲート2202Hは、信号 $Legacy_IN2$ を送信する場合と信号 $LVSTL_IN2$ を送信する場合の両方において、共通に使用することが可能である。

[0130] 以上をまとめると、送信部2202は、 $LVSTL$ 送信部202Yの構成要素の全てを共通で使用することで、 $Legacy$ 送信部202Xを無くしている。 $Legacy$ 送信部202Xを除くことができるため、送信部2202は、送信部202及び送信部1202よりも回路面積を縮小させることが可能である。

- [0131] 図13は、第1実施形態に係る半導体記憶装置200における受信部301の構成例を示す回路図である。図13は、図5で述べられた受信部301の詳細な回路構造を示す。先述の通り、受信部301は、イネーブル信号INEN1及びINEN2に基づいて、信号DQの受信に関する動作を行う。受信部301は、送信部202から送信された信号Legacy__IN2又は信号LVSTL__IN2を受信する。送信部202が信号Legacy__IN2を送信した場合、イネーブル信号生成回路304は、ハイレベルのイネーブル信号INEN1及びローレベルのイネーブル信号INEN2を、受信部301に送信する。また、送信部202が信号LVSTL__IN2を送信した場合、イネーブル信号生成回路304は、ローレベルのイネーブル信号INEN1及びハイレベルのイネーブル信号INEN2を、受信部301に送信する。
- [0132] 受信部301は、Legacy受信部301X、LVSTL受信部301Y、及びセクタ301Cを含む。受信部301は、送信部202から受信した信号の種類に基づいて、Legacy受信部301Xを使用するか、LVSTL受信部301Yを使用するか、選択することができる。具合的には、送信部202が信号Legacy__IN2を送信したとき、受信部301は、Legacy受信部301Xを使用して信号Legacy__IN2を受信する。また、送信部202が信号LVSTL__IN2を送信したとき、受信部301は、LVSTL受信部301Yを使用して信号LVSTL__IN2を受信する。
- [0133] Legacy受信部301Xは、差動増幅回路301Aを備える。差動増幅回路301Aは、第1入力端から信号Legacy__IN2を受信する。差動増幅回路301Aの第2入力端には、参照電圧VREFq1が印加される。差動増幅回路301Aは、イネーブル信号生成回路304から、イネーブル信号INEN1を受信する。イネーブル信号INEN1がハイレベルであるとき、差動増幅回路301Aはイネーブル状態となる。差動増幅回路301Aは、受信した信号Legacy__IN2と参照電圧VREFq1を差

動増幅して信号Legacy__OUT2を生成する。差動増幅回路301Aの出力端は、信号Legacy__OUT2をセクタ301Cに送信する。差動増幅回路301Aの詳細は後述される。

[0134] LVSTL受信部301Yは、差動増幅回路301Bを備える。差動増幅回路301Bは、第1入力端から信号LVSTL__IN2を受信する。差動増幅回路301Bの第2入力端には、参照電圧VREFq2が印加される。差動増幅回路301Bは、イネーブル信号生成回路304から、イネーブル信号INEN2を受信する。イネーブル信号INEN2がハイレベルであるとき、差動増幅回路301Bはイネーブル状態となる。差動増幅回路301Bは、受信した信号LVSTL__IN2と参照電圧VREFq2を差動増幅して信号LVSTL__OUT2を生成する。差動増幅回路301Bの出力端は、信号LVSTL__OUT2をセクタ301Cに送信する。差動増幅回路301Bの詳細は後述される。

[0135] セクタ301Cは、信号Legacy__OUT2と信号LVSTL__OUT2とを受信する。セクタ301Cは、イネーブル信号生成回路304から、イネーブル信号INEN1及びINEN2を受信する。セクタ301Cは、イネーブル信号INEN1がハイレベルであるとき、受信した信号Legacy__OUT2をメモリコントローラ300中の別の要素へ出力する。セクタ301Cは、イネーブル信号INEN2がハイレベルであるとき、受信した信号LVSTL__OUT2をメモリコントローラ300中の別の要素へ出力する。

[0136] このように受信部301は、送信部202が送信した信号DQの種類に応じて、Legacy受信部301XとLVSTL受信部301YのどちらでDQ信号を生成するか切り替えを行う。切り替えを行うためには、イネーブル信号INEN1及びINEN2のローレベルとハイレベルの調整を行っている。言い換えると、受信部301は、受信方法を2種類有しており、どの受信方法が選択されるかは、信号DQの種類によって決定される。

[0137] LVSTL受信部301Yが使用される場合の出力信号LVSTL__OU

T2は、信号LVSTL__IN2に基づく信号であるため、Legacy受信部301Xが使用される場合の出力信号Legacy__OUT2（信号Legacy__IN2に基づく信号）よりも小さい振幅を有する。

[0138] 次に、受信部201の回路構造について記述される。図14は、第1実施形態に係る半導体記憶装置200における受信部201の構成例を示す回路図である。図14は、図5で述べられた受信部201の詳細な回路構造を示す。先述の通り、受信部201は、イネーブル信号INEN1及びINEN2に基づいて、信号DQの受信に関する動作を行う。受信部201は、受信部301と同様の構造及び機能を有する。

[0139] 受信部201は、送信部302から送信された信号Legacy__IN1又は信号LVSTL__IN1を受信する。送信部302が信号Legacy__IN1を送信した場合、イネーブル信号生成回路204は、ハイレベルのイネーブル信号INEN1及びローレベルのイネーブル信号INEN2を、受信部201に送信する。また、送信部302が信号LVSTL__IN1を送信した場合、イネーブル信号生成回路204は、ローレベルのイネーブル信号INEN1及びハイレベルのイネーブル信号INEN2を、受信部201に送信する。

[0140] 受信部201は、Legacy受信部201X、LVSTL受信部201Y、及びセクタ201Cを含む。受信部201は、送信部302から受信した信号の種類に基づいて、Legacy受信部201Xを使用するか、LVSTL受信部201Yを使用するか、選択することができる。具合的には、送信部302が信号Legacy__IN1を送信したとき、受信部201は、Legacy受信部201Xを使用して信号Legacy__IN1を受信する。また、送信部302が信号LVSTL__IN1を送信したとき、受信部201は、LVSTL受信部201Yを使用して信号LVSTL__IN1を受信する。

[0141] Legacy受信部201Xは、差動増幅回路201Aを備える。差動増幅回路201Aは、第1入力端から信号Legacy__IN1を受信する。

差動増幅回路201Aの第2入力端には、参照電圧VREFq1が印加される。差動増幅回路201Aは、イネーブル信号生成回路204から、イネーブル信号INEN1を受信する。イネーブル信号INEN1がハイレベルであるとき、差動増幅回路201Aはイネーブル状態となる。差動増幅回路201Aは、受信した信号Legacy__IN1と参照電圧VREFq1を差動増幅して信号Legacy__OUT1を生成する。差動増幅回路201Aの出力端は、信号Legacy__OUT1をセクタ201Cに送信する。差動増幅回路201Aの詳細は後述する。

[0142] LVSTL受信部201Yは、差動増幅回路201Bを備える。差動増幅回路201Bは、第1入力端から信号LVSTL__IN1を受信する。差動増幅回路201Bの第2入力端には、参照電圧VREFq2が印加される。差動増幅回路201Bは、イネーブル信号生成回路204から、イネーブル信号INEN2を受信する。イネーブル信号INEN2がハイレベルであるとき、差動増幅回路201Bはイネーブル状態となる。差動増幅回路201Bは、受信した信号LVSTL__IN1と参照電圧VREFq2を差動増幅して信号LVSTL__OUT1を生成する。差動増幅回路201Bの出力端は、信号LVSTL__OUT1をセクタ201Cに送信する。差動増幅回路201Bの詳細は後述する。

[0143] セクタ201Cは、信号Legacy__OUT1と信号LVSTL__OUT1とを受信する。セクタ201Cは、イネーブル信号生成回路204から、イネーブル信号INEN1及びINEN2を受信する。セクタ201Cは、イネーブル信号INEN1がハイレベルであるとき、受信した信号Legacy__OUT1をラッチ回路206へ出力する。セクタ201Cは、イネーブル信号INEN2がハイレベルであるとき、受信した信号LVSTL__OUT1をラッチ回路206へ出力する。

[0144] このように受信部201は、送信部302が送信した信号DQの種類に応じて、Legacy受信部201XとLVSTL受信部201YのどちらでDQ信号を受信するか切り替えを行う。切り替えを行うためには、イネーブ

ル信号 I N E N 1 及び I N E N 2 のローレベルとハイレベルの調整を行っている。言い換えると、受信部 2 0 1 は、受信方法を 2 種類有しており、どの受信方法が選択されるかは、信号 D Q の種類によって決定される。

[0145] L V S T L 受信部 2 0 1 Y が使用される場合の出力信号 L V S T L _ O U T 1 は、信号 L V S T L _ I N 1 に基づく信号であるため、L e g a c y 受信部 2 0 1 X が使用される場合の出力信号 L e g a c y _ O U T 1 (信号 L e g a c y _ I N 1 に基づく信号) よりも小さい振幅を有する。受信部 2 1 2 ~ 2 1 4、2 2 1、3 0 6、及び 3 0 7 は、受信部 2 0 1 及び 3 0 1 と同様の構成及び機能であるため、説明は省略される。

[0146] 図 1 4 に示された受信部 3 0 1 及び受信部 2 0 1 の回路図は、構成の一例である。そのため受信部 3 0 1 及び受信部 2 0 1 は、図 1 4 で述べられたものと同様の機能を有するものであれば、回路構成はその他の構造を有していても良い。ここで、第 1 実施形態に係る半導体記憶装置 2 0 0 における受信部が有する機能は、受信方法を 2 種類有すること、どの受信方法が選択されるかは信号 D Q の種類によって決定されること、を含む。

[0147] 図 1 5 は、第 1 実施形態に係る受信部 2 0 1 における差動増幅回路 2 0 1 A の構成例を示す回路図である。図 1 5 は、図 1 4 で述べられた差動増幅回路 2 0 1 A の詳細な回路構造を示す。図 1 3 で述べられた差動増幅回路 3 0 1 A 及び 3 0 1 B、並びに図 1 4 で述べられた差動増幅回路 2 0 1 B は全て、差動増幅回路 2 0 1 A と同様の構成及び機能を有する。このため、以下では代表例として差動増幅回路 2 0 1 A についてのみ記載する。

[0148] 先述の通り、差動増幅回路 2 0 1 A は、イネーブル信号 I N E N 1 に基づいて、信号 L e g a c y _ I N 1 と参照電圧 V R E F q 1 とを差動増幅して、信号 L e g a c y _ O U T 1 として出力する。差動増幅回路 2 0 1 A は、P M O S トランジスタ 2 0 1 a、2 0 1 b、2 0 1 c、及び 2 0 1 d、N M O S トランジスタ 2 0 1 e、2 0 1 f、及び 2 0 1 g、並びにインバータ回路群 2 0 1 h を備える。差動増幅回路 2 0 1 A は、同様の信号の論理が得られるのであれば、N A N D ゲート、インバータ等の論理回路等を更に有して

いてもよい。

- [0149] PMOSトランジスタ201a及び201bの第1端は、電源電圧VCCqのノードに電氣的に接続される。PMOSトランジスタ201a及び201bの制御端子はイネーブル信号生成回路204に接続され、イネーブル信号INEN1を受信する。
- [0150] PMOSトランジスタ201a及び201bの第2端は、それぞれPMOSトランジスタ201c及び201dの第1端に接続される。PMOSトランジスタ201cの制御端子はPMOSトランジスタ201dの制御端子に接続される。PMOSトランジスタ201c及び201dの制御端子は、PMOSトランジスタ201cの第2端に接続される。PMOSトランジスタ201cの第2端は、NMOSトランジスタ201eの第1端に接続される。PMOSトランジスタ201dの第2端は、NMOSトランジスタ201fの第1端に接続される。NMOSトランジスタ201eの制御端子には参照電圧生成回路205が接続され、参照電圧VREFq1が印加される。NMOSトランジスタ201fの制御端子はノードDQ1に接続され、信号Legacy__IN1を受信する。
- [0151] NMOSトランジスタ201e及び201fの第2端は、NMOSトランジスタ201gの第1端に接続される。NMOSトランジスタ201gの制御端子には、バイアス電圧Vbiasが印加される。バイアス電圧Vbiasは、NMOSトランジスタ201gをオンさせる電圧である。NMOSトランジスタ201gの第2端子は接地電圧VSSqのノードに接続される。PMOSトランジスタ201dの第2端及びNMOSトランジスタ201fの第1端は、インバータ回路群201hの入力端に接続される。インバータ回路群201hの出力端はラッチ回路206に接続され、信号Legacy__OUT1を送信する。
- [0152] 差動増幅回路201Aは、ハイレベルのイネーブル信号INEN1を受信することによりイネーブル状態となり、信号Legacy__IN1と参照電圧VREFq1とを差動増幅する。インバータ回路群201hは、差動増幅

された信号の波形を整形し、信号Legacy__OUT1を出力する。

[0153] 図16に、図13及び図14の構成以外に適用されることが可能な構成についての具体例を記載する。図16は、第1実施形態に係る半導体記憶装置200における受信部の構成例を示す回路図である。図14で述べられたように、受信部201と、受信部301とは、同様の構造及び機能を有する。このため、以下では代表例として受信部201についてのみ記載する。

[0154] 受信部201の構成の一例が図16に示される。図16に示される受信部201は、図14の受信部201と区別するために、受信部1201と称される。以下では、受信部1201について、受信部201と異なる点について主に説明される。

[0155] 受信部1201は、受信部201と同様に、受信方法を2種類有していて、受信した信号DQの種類に基づいて、受信方法を選択する。受信方法の選択は、イネーブル信号INEN1又はINEN2のレベルに基づく。ここで、イネーブル信号INEN1に基づいて受信部1201から出力された信号Legacy__IN1は、信号Legacy__OUT1と称される。イネーブル信号INEN2に基づいて受信部1201から出力された信号LVSTL__IN1は、信号LVSTL__OUT1と称される。

[0156] 受信部1201は、送信部302から送信された信号Legacy__IN1又は信号LVSTL__IN1を受信する。送信部302が信号Legacy__IN1を送信した場合、イネーブル信号生成回路204は、ハイレベルのイネーブル信号INEN1及びローレベルのイネーブル信号INEN2を、受信部201に送信する。また、送信部302が信号LVSTL__IN1を送信した場合、イネーブル信号生成回路204は、ローレベルのイネーブル信号INEN1及びハイレベルのイネーブル信号INEN2を、受信部201に送信する。

[0157] 受信部1201は、差動増幅回路1201A及びセクタ1201Bを含む。差動増幅回路1201Aは、差動増幅回路201Aと同様の構造及び機能を有するため、詳細は割愛する。セクタ1201Bは、参照電圧VRE

Fq1と参照電圧VREFq2とを受信する。セクタ1201Bは、イネーブル信号生成回路204から、イネーブル信号INEN1及びINEN2を受信する。セクタ1201Bは、イネーブル信号INEN1がハイレベルであるとき、受信した参照電圧VREFq1を差動増幅回路1201Aの第2入力端子へ出力する。セクタ1201Bは、イネーブル信号INEN2がハイレベルであるとき、受信した参照電圧VREFq2を差動増幅回路1201Aの第2入力端へ出力する。

[0158] 差動増幅回路1201Aは、第1入力端から信号Legacy__IN1又は信号LVSTL__IN1を受信する。差動増幅回路1201Aの第2入力端には、参照電圧VREFq1又は参照電圧VREFq2が印加される。差動増幅回路1201Aは、イネーブル信号生成回路204から、イネーブル信号INEN1及びINEN2を受信する。

[0159] 差動増幅回路1201Aが信号Legacy__IN1を受信するとき、イネーブル信号INEN1はハイレベルであり、イネーブル信号INEN2はローレベルである。イネーブル信号INEN1がハイレベルであるとき、差動増幅回路1201Aの第2入力端には、参照電圧VREFq1が印加される。このとき差動増幅回路1201Aは、受信した信号Legacy__IN1と参照電圧VREFq1を差動増幅して信号Legacy__OUT1を生成する。差動増幅回路1201Aの出力端は、信号Legacy__OUT1をラッチ回路206に送信する。

[0160] 差動増幅回路1201Aが信号LVSTL__IN1を受信するとき、イネーブル信号INEN2はハイレベルであり、イネーブル信号INEN1はローレベルである。イネーブル信号INEN2がハイレベルであるとき、差動増幅回路1201Aの第2入力端には、参照電圧VREFq2が印加される。このとき差動増幅回路1201Aは、受信した信号LVSTL__IN1と参照電圧VREFq2を差動増幅して信号LVSTL__OUT1を生成する。差動増幅回路1201Aの出力端は、信号LVSTL__OUT1をラッチ回路206に送信する。

- [0161] このように受信部1201は、送信部302が送信した信号DQの種類に応じて、信号Legacy__OUT1と信号LVSTL__OUT1のどちらの信号を生成するか切り替えを行う。切り替えを行うためには、イネーブル信号INEN1及びINEN2のローレベルとハイレベルの調整を行っている。言い換えると、受信部201は、受信方法を2種類有しており、どの受信方法が選択されるかは、信号DQの種類によって決定される。
- [0162] 出力信号LVSTL__OUT1は、信号LVSTL__IN1に基づく信号であるため、信号Legacy__IN1に基づく信号である出力信号Legacy__OUT1よりも小さい振幅を有する。
- [0163] 受信部201は、差動増幅回路を2つ有しており、信号Legacy__IN1を受信した場合は差動増幅回路201Aを使用し、信号LVSTL__IN1を受信した場合は差動増幅回路201Bを使用するといったように、信号によって使用する差動増幅回路を分けていた。これに対して、受信部1201は、信号Legacy__IN1を受信した場合と信号LVSTL__IN1を受信した場合で差動増幅回路1201Aを共通で使用するにより、構成要素を簡略化している。受信部201が信号Legacy__IN1を受信するとき、イネーブル信号INEN1はハイレベルであり、信号LVSTL__IN1を受信するとき、イネーブル信号INEN2はハイレベルであることから、使用する参照電圧を選択することが出来る。イネーブル信号INENによって参照電圧を選択することが出来る為、受信部1201は、信号Legacy__IN1を受信した場合と信号LVSTL__IN1を受信した場合とで差動増幅回路1201Aを共通で使用する事が可能である。このように構成要素を一部除くことができるため、受信部1201は、受信部201よりも回路面積を縮小させることが可能である。
- [0164] 図17は、第1実施形態に係る半導体記憶装置200における受信部201、ラッチ回路206、及び差動増幅回路207の構成例を示す回路図である。図17は、図6で述べられたラッチ回路206、及び差動増幅回路207の詳細な回路構造を示す。先述の通り、ラッチ回路206は、受信部20

1 から受信した信号 D Q を保持する。ラッチ回路 206 は、送信部 202 に、信号 D Q を送信する。また、差動増幅回路 207 は、受信部 212 及び 213 から受信した信号 D Q S 及び D Q S n を元に、ラッチ回路 206 を制御する。

[0165] まず、差動増幅回路 207 の構成例について記述される。差動増幅回路 207 は、第 1 差動増幅回路 207 A と第 2 差動増幅回路 207 B とを備える。差動増幅回路 207、第 1 差動増幅回路 207 A、及び第 2 差動増幅回路 207 B は、同様の信号の論理が得られるものであれば、例えば N A N D ゲート、インバータ等の論理回路等を更に有していてもよく、図 17 の構造に限定されない。

第 1 差動増幅回路 207 A は、信号 D Q S と参照電圧 V R E F とを差動増幅して、信号 D Q S i としてラッチ回路 206 に出力する。参照電圧 V R E F は、信号 D Q S の基準となる電圧である。

[0166] 第 1 差動増幅回路 207 A は、P M O S トランジスタ 207 a 及び 207 b、N M O S トランジスタ 207 c、207 d、及び 207 e、並びにインバータ回路群 207 f を備える。第 1 差動増幅回路 207 A は、同様の信号の論理が得られるのであれば、N A N D ゲート、インバータ等の論理回路等を更に有していてもよい。

[0167] P M O S トランジスタ 207 a 及び 207 b の第 1 端は、電源電圧 V C C q のノードに電氣的に接続される。P M O S トランジスタ 207 a の制御端子は P M O S トランジスタ 207 b の制御端子に接続される。P M O S トランジスタ 207 a 及び 207 b の制御端子は、P M O S トランジスタ 207 a の第 2 端に接続される。P M O S トランジスタ 207 a の第 2 端は、N M O S トランジスタ 207 c の第 1 端に接続される。P M O S トランジスタ 207 b の第 2 端は、N M O S トランジスタ 207 d の第 1 端に接続される。N M O S トランジスタ 207 c の制御端子には、参照電圧 V R E F が印加される。N M O S トランジスタ 207 d の制御端子は受信部 212 に接続され、信号 D Q S を受信する。

- [0168] NMOSトランジスタ207c及び207dの第2端は、NMOSトランジスタ207eの第1端に接続される。NMOSトランジスタ207eの制御端子には、バイアス電圧 V_{bias} が印加される。バイアス電圧 V_{bias} は、NMOSトランジスタ207eをオンさせる電圧である。NMOSトランジスタ207eの第2端は接地電圧 V_{SSq} のノードに接続される。PMOSトランジスタ207bの第2端及びNMOSトランジスタ207dの第1端は、インバータ回路群207fの入力端に接続される。インバータ回路群207fの出力端はラッチ回路206に接続され、信号 DQS_i を送信する。
- [0169] 第1差動増幅回路207Aは、バイアス電圧 V_{bias} を与えられることによりイネーブルな状態となり、信号 DQS と参照電圧 V_{REF} とを差動増幅する。インバータ回路群207fは、差動増幅された信号の波形を整形し、信号 DQS_i をラッチ回路206に出力する。
- [0170] 次に、第2差動増幅回路207Bは、信号 $DQSn$ と参照電圧 V_{REF} とを差動増幅して、信号 $DQSn_i$ としてラッチ回路206に出力する。参照電圧 V_{REF} は、信号 $DQSn$ の基準となる電圧である。第2差動増幅回路207Bは、第1差動増幅回路207Aと同様の構造及び機能を有する。
- [0171] 第2差動増幅回路207Bは、PMOSトランジスタ207g及び207h、NMOSトランジスタ207i、207j、及び207k、並びにインバータ回路群207lを備える。第2差動増幅回路207Bは、同様の信号の論理が得られるのであれば、NANDゲート、インバータ等の論理回路等を更に有していてもよい。
- [0172] PMOSトランジスタ207g及び207hの第1端は、電源電圧 V_{CCq} のノードに電氣的に接続される。PMOSトランジスタ207gの制御端子はPMOSトランジスタ207hの制御端子に接続される。PMOSトランジスタ207g及び207hの制御端子は、PMOSトランジスタ207gの第2端に接続される。PMOSトランジスタ207gの第2端は、NMOSトランジスタ207iの第1端に接続される。PMOSトランジスタ2

07hの第2端は、NMOSトランジスタ207jの第1端に接続される。NMOSトランジスタ207iの制御端子には、参照電圧VREFが印加される。NMOSトランジスタ207jの制御端子は受信部213に接続され、信号DQSnを受信する。

[0173] NMOSトランジスタ207i及び207jの第2端は、NMOSトランジスタ207kの第1端に接続される。NMOSトランジスタ207kの制御端子には、バイアス電圧Vbiasが印加される。バイアス電圧Vbiasは、NMOSトランジスタ207kをオンさせる電圧である。NMOSトランジスタ207kの第2端は接地電圧VSSqのノードに接続される。PMOSトランジスタ207hの第2端及びNMOSトランジスタ207jの第1端は、インバータ回路群207lの入力端に接続される。インバータ回路群207lの出力端はラッチ回路206に接続され、信号DQSnを送信する。ここで、信号DQSnは信号DQSのハイレベルとローレベルを反転させた信号であることから、信号DQSnは信号DQSiのハイレベルとローレベルを反転させた信号である。

[0174] 第2差動増幅回路207Bは、バイアス電圧Vbiasを与えられることによりイネーブルな状態となり、信号DQSnと参照電圧VREFとを差動増幅する。インバータ回路群207lは、差動増幅された信号の波形を整形し、信号DQSnをラッチ回路206に出力する。

[0175] 次に、ラッチ回路206の構成例について記述される。ラッチ回路206は、インバータINV1及びINV2、並びに第1ラッチ回路L1及び第2ラッチ回路L2を備える。ラッチ回路206は、同様の信号の論理が得られるものであれば、例えばNANDゲート、インバータ等の論理回路等を更に有していてもよく、図17の構造に限定されない。

[0176] インバータINV1は、PMOSトランジスタ206a及び206b、並びにNMOSトランジスタ206c及び206dを有する。PMOSトランジスタ206a及び206b、並びにNMOSトランジスタ206c及び206dは直列に接続されている。PMOSトランジスタ206aの第1端は

電源電圧 V_{CCq} のノードに接続されている。PMOSトランジスタ206bの第1端はPMOSトランジスタ206aの第2端に接続されている。NMOSトランジスタ206cの第1端はPMOSトランジスタ206bの第2端に接続されている。NMOSトランジスタ206dの第1端はNMOSトランジスタ206cの第2端に接続されている。NMOSトランジスタ206dの第2端は接地電圧 V_{SSq} のノードに接続されている。PMOSトランジスタ206bの第2端及びNMOSトランジスタ206cの第1端は、第1ラッチ回路L1に接続される。

[0177] PMOSトランジスタ206a及びNMOSトランジスタ206dの制御端子は、受信部201に接続され、信号Legacy__OUT1又は信号LVSTL__OUT1を受信する。PMOSトランジスタ206bの制御端子は、第2差動増幅回路207Bのインバータ回路群207Iの出力端に接続され、信号DQS_{ni}を受信する。NMOSトランジスタ206cの制御端子は、第1差動増幅回路207Aのインバータ回路群207fの出力端に接続され、信号DQS_iを受信する。

[0178] 第1ラッチ回路L1は、インバータ206e及びクロックドインバータ206fを有する。インバータ206e及びクロックドインバータ206fは交差接続して形成される。インバータ206eの入力端及びクロックドインバータ206fの出力端は、インバータINV1の出力端に接続される。インバータ206eの出力端は、クロックドインバータ206fの入力端に接続される。クロックドインバータ206fは、信号DQS_i及びDQS_{ni}に応じて、インバータ出力状態と、インバータ出力停止状態とが切り替えられる。クロックドインバータ206fがインバータ出力状態のときは、入力端に入力された信号の反転論理レベルの信号が出力端から出力される。クロックドインバータ206fがインバータ出力停止状態のときは、入力端に入力された信号の論理レベルにかかわらず、出力端からは信号が出力されない。

[0179] インバータINV2は、PMOSトランジスタ206g及び206h、並

びにNMOSトランジスタ206i及び206jを有する。PMOSトランジスタ206g及び206h、並びにNMOSトランジスタ206i及び206jは直列に接続されている。PMOSトランジスタ206gの第1端は電源電圧VCCqのノードに接続されている。PMOSトランジスタ206hの第1端はPMOSトランジスタ206gの第2端に接続されている。NMOSトランジスタ206iの第1端はPMOSトランジスタ206hの第2端に接続されている。NMOSトランジスタ206jの第1端はNMOSトランジスタ206iの第2端に接続されている。NMOSトランジスタ206jの第2端は接地電圧VSSqのノードに接続されている。PMOSトランジスタ206hの第2端及びNMOSトランジスタ206iの第1端は、第2ラッチ回路L2に接続される。

[0180] PMOSトランジスタ206g及びNMOSトランジスタ206jの制御端子は、受信部201に接続され、信号Legacy_OUT1又は信号VSTL_OUT1を受信する。PMOSトランジスタ206hの制御端子は、第1差動増幅回路207Aのインバータ回路群207fの出力端に接続され、信号DQS_iを受信する。NMOSトランジスタ206iの制御端子は、第2差動増幅回路207Bのインバータ回路群207lの出力端に接続され、信号DQS_{n_i}を受信する。

[0181] 第2ラッチ回路L2は、インバータ206k及びクロックドインバータ206lを有する。インバータ206k及びクロックドインバータ206lは交差接続して形成される。インバータ206kの入力端及びクロックドインバータ206lの出力端は、インバータINV2の出力端に接続される。インバータ206kの出力端は、クロックドインバータ206lの入力端に接続される。クロックドインバータ206lは、クロックドインバータ206fと同様の機能を有する。

[0182] 例えば信号DQS_iがハイレベルであるときのラッチ回路206の挙動について記述される。信号DQS_iの反転信号である信号DQS_{n_i}はローレベルである。このとき、NMOSトランジスタ206c及びPMOSトラン

ジスタ206hの制御端子は、ハイレベルの信号DQS_iを受信する。PMOSTランジスタ206b及びNMOSTランジスタ206iの制御端子は、ローレベルの信号DQS_{n_i}を受信する。このためインバータINV1のPMOSTランジスタ206b及びNMOSTランジスタ206cはオン状態となり、PMOSTランジスタ206b及びNMOSTランジスタ206cが受信した信号Legacy__OUT1又は信号LVSTL__OUT1は、インバータINV1を通過する。インバータINV1を通過した信号は、第1ラッチ回路L1に保持される。

[0183] また、インバータINV2のPMOSTランジスタ206h及びNMOSTランジスタ206iはオフ状態となり、PMOSTランジスタ206g及びNMOSTランジスタ206jが受信した信号Legacy__IN1又は信号LVSTL__OUT1は、インバータINV2を通過出来ない。

[0184] 一方、例えば信号DQS_iがローレベルであるときのラッチ回路206の挙動について記述される。信号DQS_iの反転信号である信号DQS_{n_i}はハイレベルである。このとき、NMOSTランジスタ206c及びPMOSTランジスタ206hの制御端子は、ローレベルの信号DQS_iを受信する。PMOSTランジスタ206b及びNMOSTランジスタ206iの制御端子は、ハイレベルの信号DQS_{n_i}を受信する。このためインバータINV2のPMOSTランジスタ206h及びNMOSTランジスタ206iはオン状態となり、PMOSTランジスタ206g及びNMOSTランジスタ206jが受信した信号Legacy__OUT1又は信号LVSTL__OUT1は、インバータINV2を通過する。インバータINV2を通過した信号は、第2ラッチ回路L2に保持される。

[0185] また、インバータINV1のPMOSTランジスタ206b及びNMOSTランジスタ206cはオフ状態となり、PMOSTランジスタ206a及びNMOSTランジスタ206dが受信した信号Legacy__OUT1又は信号LVSTL__OUT1は、インバータINV1を通過出来ない。

[0186] このように、及びラッチ回路206は、差動増幅回路207によって整形

された信号DQS_i及びDQS_n_iに基づいて、信号LVSTL__OUT1又は信号Legacy__OUT1を保持することが出来る。

[0187] [1-2] 動作

これまで半導体記憶装置200の送受信方法及び終端方法は、半導体記憶装置200に含まれるNANDチップA200A(図2にて記載)を例に記述されてきたが、NANDチップB200B、NANDチップC200C、及びNANDチップD200Dも同様の送受信方法及び終端方法を有する。

[0188] 前述の通り、NANDチップA200Aが選択された場合(NANDチップA200Aが選択NANDチップである場合)、NANDチップA200Aの終端回路がイネーブルされてもよいし、非選択NANDチップの終端回路がイネーブルされてもよい。第1実施形態では、選択NANDチップがNANDチップA200Aであり、NANDチップA200Aの終端回路をイネーブルさせる場合の例について記載される。

[0189] ここでNANDチップA200A及びNANDチップB200Bは、チップイネーブル信号CE_n1を受信し、信号RB_n1を送信するチップである。NANDチップC200C及びNANDチップD200Dは、チップイネーブル信号CE_n2を受信し、信号RB_n2を送信するチップである。

[0190] 第1実施形態に係る半導体記憶装置200及びメモリコントローラ300が、DQ信号を受信する際の終端方法について述べる。図18は、第1実施形態に係る半導体記憶装置200及びメモリコントローラに300おける信号DQの終端方法を示す。図18に示されるように、終端回路303は、受信部301が信号LVSTL__IN2を受信するとき、ノードDQ0を終端する。終端回路303は、受信部301が信号Legacy__IN2を受信するとき、ノードDQ0を終端していない。

[0191] また、終端回路203は、受信部201が信号LVSTL__IN1を受信するとき、ノードDQ1を終端する。終端回路203は、受信部201が信号Legacy__IN1を受信するとき、ノードDQ1を終端していない。

[0192] ここまで述べられたように、第1実施形態に係る半導体記憶装置200

は、信号DQ、DQS、及びDQSnの送信方法をそれぞれ2種類、信号DQ、DQS、DQSn、REn、及びREの受信方法をそれぞれ2種類有し、どの送受信方法が選択されるかは、信号DQの種類によって決定される。また、半導体記憶装置200は、送受信方法に応じて終端方法を選択できる。ノードDQ1の終端には、NANDチップA200Aの終端回路203が用いられる。同様に、第1実施形態に係るメモリコントローラ300は、信号DQ、DQS、DQSn、REn、及びREの送信方法をそれぞれ2種類、信号DQ、DQS、及びDQSnの受信方法をそれぞれ2種類有し、どの送受信方法が選択されるかは、信号DQの種類によって決定される。また、メモリコントローラ300は、送受信方法に応じて終端方法を選択できる。

[0193] ここで、信号DQの種類は、一例として、コマンド又はアドレス、ステータス、パラレルステータス、FeatureData、DataOutput、及びDataInputの6種類が考えられる。ステータスは、ステータスリードコマンドに応答して送信され、半導体記憶装置200の特定のステータスについての情報である。パラレルステータスは、パラレルステータスリードコマンドに応答して送信され、複数のNANDチップの各々のステータスについての情報である。FeatureDataは、NANDチップの内部の設定パラメータについての情報である。設定パラメータとしてのFeatureDataは、SetFeatureコマンドとともに送信される。以下では、これらの6種類の信号DQが送受信される場合における、信号DQ、DQS、DQSn、REn、及びREの送受信方法及び終端方法について記述される。

[0194] 図19は、信号DQ、DQS、及びREの送受信方法及び終端方法の一例である。図19は、信号DQS及びDQSnのうちの信号DQSについて示すが、信号DQSnは、信号DQSの反転論理の信号であり、よって、信号DQSと同じである。また、図19は、信号REn及びREのうちの信号REについて示すが、信号REnは、信号REの反転論理の信号であり、よって、信号REと同じである。図18で述べられたように、第1実施形態では

、半導体記憶装置200において、終端回路は、選択NANDチップであるNANDチップA200Aが有する終端回路203、218、219、220、及び（又は）222のみを使用する。図19に示されるように、信号DQの種類がコマンド又はアドレスであるとき、信号DQとして、信号Legacy__IN1がメモリコントローラ300から送信され、NANDチップA200A及びNANDチップB200Bによって受信される。また、信号DQS及びREとしてメモリコントローラ300から送信される信号は、ローレベルに固定されている。

[0195] 次に、信号DQの種類がステータスであるとき、信号DQとして、信号Legacy__IN2がNANDチップA200Aから送信され、メモリコントローラ300によって受信される。また、信号DQSとして信号Legacy__DQS2がNANDチップA200Aから送信され、メモリコントローラ300によって受信される。また、信号REとして、信号Legacy__RE1がメモリコントローラ300から送信され、NANDチップA200Aによって受信される。

[0196] 次に、信号DQの種類がパラレルステータスであるとき、信号DQとして、信号Legacy__IN2がNANDチップA200A及びNANDチップB200Bから送信され、メモリコントローラ300によって受信される。また、信号DQSとして、信号Legacy__DQS2がNANDチップA200A及びNANDチップB200Bから送信され、メモリコントローラ300によって受信される。また、信号REとして、信号Legacy__RE1がメモリコントローラ300から送信され、NANDチップA200A及びNANDチップB200Bによって受信される。

[0197] 次に、信号DQの種類がFeatureDataであるとき、信号DQとして、信号LVSTL__IN1がメモリコントローラ300から送信され、NANDチップA200Aによって受信される。このときNANDチップA200Aの終端回路203はノードDQ1を終端する。また、信号DQSとして、信号LVSTL__DQS1がメモリコントローラ300から送信され

、NANDチップA200Aによって受信される。このときNANDチップA200Aの終端回路218及び219はノードDQS₁及びDQS_{n1}を終端する。また、信号REとしてメモリコントローラ300から送信される信号は、ローレベルに固定されている。

[0198] 次に、信号DQの種類がDataOutputであるとき、信号DQとして、信号LVSTL__IN2がNANDチップA200Aから送信され、メモリコントローラ300によって受信される。このときメモリコントローラ300の終端回路303はノードDQ0を終端する。また、信号DQSとして、信号LVSTL__DQS2がNANDチップA200Aから送信され、メモリコントローラ300によって受信される。このときメモリコントローラ300の終端回路312及び313はノードDQS0及びDQS_{n0}を終端する。また、信号REとして、信号LVSTL__RE1がメモリコントローラ300から送信され、NANDチップA200Aによって受信される。このときNANDチップA200Aの終端回路220及び222はノードRE_{n1}及びRE1を終端する。

[0199] 次に、信号DQの種類がDataInputであるとき、信号DQとして、信号LVSTL__IN1がメモリコントローラ300から送信され、NANDチップA200Aによって受信される。このときNANDチップA200Aの終端回路203はノードDQ1を終端する。また、信号DQSとして、信号LVSTL__DQS1がメモリコントローラ300から送信され、NANDチップA200Aによって受信される。このときNANDチップA200Aの終端回路218及び219はノードDQS₁及びDQS_{n1}を終端する。また、信号REとしてメモリコントローラ300から送信される信号は、ローレベルに固定されている。

[0200] 図19で述べられたように、第1実施形態に係るメモリコントローラ300及び（又は）半導体記憶装置200は、信号DQの種類がFeatureData、DataOutput、及びDataInputであるとき、各ノードの終端を行う。以下では終端回路がイネーブルになるタイミングにつ

いて述べる。

[0201] 図20は、第1実施形態に係るメモリシステム100における信号のタイミングチャートの一例である。図20は、信号DQの種類がFeature Dataであるとき、終端回路がイネーブルになるタイミングを示している。図20には、信号CEn1、CEn2、CLE、ALE、WE_n、RE_n、RE、DQS、DQSn、及びDQのタイミングチャートが示されている。図20及びこれ以降の図面において、信号RE_n及びDQSは実線で示され、信号RE及びDQSnは破線で示されている。なお、図中の斜線部分（shaded area）は、特に定義されていない“ドントケア（Don't care）”の値であることを示している。

[0202] 時刻t1において、メモリコントローラ300は、信号CEn1をローレベルにする。これにより、NANDチップA200A及びNANDチップB200Bがイネーブルになる。時刻t2を含む期間に亘って、メモリコントローラ300は、信号CLEをハイレベルにするとともに、信号DQとしてSetFeatureコマンドD5hを送信する。SetFeatureコマンドD5hの送信に伴って、時刻t2において、メモリコントローラ300は、信号WE_nをハイレベルにする。

[0203] 時刻t3及び時刻t4を含む期間に亘って、メモリコントローラ300は、信号ALEをハイレベルにするとともに、信号DQとしてSetFeatureコマンドの対象を指定するアドレスADDを例えば2サイクルに亘って送信する。アドレスADDの送信に伴って、時刻t3及び時刻t4において、メモリコントローラ300は、信号WE_nをハイレベルにする。時刻t5において、メモリコントローラ300は、信号DQSをローレベルにする。

[0204] 時刻t6、t7、t8、及びt9をそれぞれ含む複数の期間に亘って、メモリコントローラ300は、信号DQとしてのFeatureDataによって設定されるパラメータW-B0、W-B1、W-B2、及びW-B3を送信する。パラメータW-B0、W-B1、W-B2、及びW-B3の送信

に伴って、時刻 t_6 、 t_7 、 t_8 、及び t_9 において、メモリコントローラ 300 は、信号 DQS をハイレベルにする。

[0205] 時刻 t_{10} において、メモリコントローラ 300 は、信号 CEn_1 をハイレベルにする。これにより、NANDチップ A200A 及び NANDチップ B200B はディセーブルになる。

[0206] NANDチップ A200A は、時刻 t_5 において、NANDチップ A200A の終端回路 203、218、及び 219 をイネーブルにし、時刻 t_{10} において、終端回路 203、218、及び 219 をディセーブルにする。言い換えると、終端回路 203、218、及び 219 がそれぞれノード DQI 、 DQS_I 、及び DQS_nI を終端する、すなわち終端回路 203、218、及び 219 がイネーブルになる時間は、時刻 t_5 から時刻 t_{10} までの間である。例えば、NANDチップ A200A は、信号 CEn_1 がローレベルの間に、Set Feature コマンド $D5h$ 及び後続のアドレス ADD を受け取ると、信号 ALE がローレベルになったことに基づいて、終端回路 203、218、及び 219 をイネーブルにする。さらに、NANDチップ A200A は、パラメータ WB_0 、 WB_1 、 WB_2 、及び WB_3 の受信後に、信号 CEn_1 がハイレベルになったことに基づいて、終端回路 203、218、及び 219 をディセーブルにする。

[0207] 図 21 は、第 1 実施形態に係るメモリシステム 100 における信号のタイミングチャートの一例である。図 21 は、信号 DQ の種類が $DataOutput$ であるとき、終端回路がイネーブルになるタイミングを示している。図 21 には、信号 CEn_1 、 CEn_2 、 CLE 、 ALE 、 WEn 、 REn 、 RE 、 DQS 、 DQS_n 、及び DQ のタイミングチャートが示されている。

[0208] 時刻 t_1 において、メモリコントローラ 300 は、信号 CEn_1 をローレベルにする。これにより、NANDチップ A200A 及び NANDチップ B200B がイネーブルになる。時刻 t_2 を含む期間に亘って、メモリコントローラ 300 は、信号 CLE をハイレベルにするとともに、信号 DQ として読出しコマンド $00h$ を送信する。読出しコマンド $00h$ の送信に伴って、

時刻 t_2 において、メモリコントローラ 300 は、信号 WE_n をハイレベルにする。

[0209] 時刻 $t_3 \sim t_7$ を含む期間に亘って、メモリコントローラ 300 は、信号 ALE をハイレベルにする。また、時刻 $t_3 \sim t_7$ をそれぞれ含む複数の期間に亘って、メモリコントローラ 300 は、信号 DQ としてアドレス ADD を送信する。アドレス ADD は、データ読み出しの対象を指定する。アドレス ADD の送信に伴って、メモリコントローラ 300 は、時刻 $t_3 \sim t_7$ において、信号 WE_n をハイレベルにする。

[0210] t_8 を含む期間に亘って、メモリコントローラ 300 は、信号 CLE をハイレベルにするとともに、信号 DQ として読出し実行コマンド $30h$ を送信する。これにより、読出しが開始する。読出し実行コマンド $30h$ の送信に伴って、時刻 t_8 において、メモリコントローラ 300 は、信号 WE_n をハイレベルにする。

[0211] 読出しの開始に伴い、時刻 t_9 において、メモリコントローラ 300 は、信号 REN をローレベルにする。その後、メモリコントローラ 300 は、信号 REN を周期的にローレベルにし、これに応答して、半導体記憶装置 200 は、信号 DQ として読出しデータ D を出力する。半導体記憶装置 200 は、読出しデータ D の出力と並行して、信号 DQS を周期的にハイレベルにする。

[0212] 読出しデータの出力が完了すると、時刻 t_{10} において、メモリコントローラ 300 は、信号 $CEN1$ をハイレベルにする。これにより、NAND チップ $A200A$ 及び NAND チップ $B200B$ はディセーブルになる。

[0213] メモリコントローラ 300 は、時刻 t_9 において、メモリコントローラ 300 の終端回路 303、312、及び 313 をイネーブルにし、時刻 t_{10} において、終端回路 303、312、及び 313 をディセーブルにする。言い換えると、終端回路 303、312、及び 313 がそれぞれノード DQO 、 $DQSO$ 、及び $DQSnO$ を終端する、すなわち終端回路 303、312、及び 313 がイネーブルになる時間は、時刻 t_9 から時刻 t_{10} までの間

である。例えば、メモリコントローラ300は、読出し実行コマンド30hの送信後に信号RENをローレベルにすることに合わせて、終端回路303、312、及び313をイネーブルにする。さらに、メモリコントローラ300は、読出しデータDの受信の完了後に信号CEN1をハイレベルにすることに合わせて、終端回路303、312、及び313をディセーブルにする。

[0214] NANDチップA200Aは、時刻t9において、終端回路220及び222をイネーブルにし、時刻t10において、終端回路220及び222をディセーブルにする。言い換えると、NANDチップA200Aの終端回路220及び222がそれぞれノードREN1及びRE1を終端する、すなわちNANDチップA200Aの終端回路220及び222がイネーブルになる時間は、時刻t9から時刻t10までの間である。例えば、NANDチップ200Aは、信号CEN1がローレベルの間に、読出し実行コマンド30hの受信後に信号RENがローレベルになったことに基づいて、終端回路220及び222をイネーブルにする。さらに、NANDチップ200Aは、信号CEN1がハイレベルになったことに基づいて、終端回路220及び222をディセーブルにする。

[0215] 図22は、第1実施形態に係るメモリシステム100における信号のタイミングチャートの一例である。図22は、信号DQの種類がDataInputであるとき、終端回路がイネーブルになるタイミングを示している。図22には、信号CEN1、CEN2、CLE、ALE、WEN、REN、RE、DQS、DQSn、及びDQのタイミングチャートが示されている。

[0216] 時刻t1において、メモリコントローラ300は、信号CEN1をローレベルにする。これにより、NANDチップA200A及びNANDチップB200Bがイネーブルになる。時刻t2を含む期間に亘って、メモリコントローラ300は、信号CLEをハイレベルにするとともに、信号DQとして書込みコマンド80hを送信する。書込みコマンド80hの送信に伴って、時刻t2において、メモリコントローラ300は、信号WENをハイレベル

にする。

[0217] 時刻 $t_3 \sim t_7$ を含む期間に亘って、メモリコントローラ 300 は、信号 ALE をハイレベルにする。また、時刻 $t_3 \sim t_7$ をそれぞれ含む複数の期間に亘って、メモリコントローラ 300 は、信号 DQ としてアドレス ADD を送信する。アドレス ADD は、データが書き込まれる先を指定する。アドレス ADD の送信に伴って、メモリコントローラ 300 は、時刻 $t_3 \sim t_7$ において、信号 WE_n をハイレベルにする。

[0218] 時刻 t_8 において、メモリコントローラ 300 は、信号 DQS をローレベルにする。その後、メモリコントローラ 300 は、信号 DQ として書込みデータ D を送信する。メモリコントローラ 300 は、書込みデータ D の送信と並行して、信号 DQS を周期的にハイレベルにする。書込みデータの送信が完了すると、メモリコントローラ 300 は、時刻 t_9 において、信号 CLE をハイレベルにし、その後、信号 DQ として書込み実行コマンド $10h$ を送信する。ステータスデータ（ステータス） $Status_Out$ を送信する
時刻 t_{10} において、メモリコントローラ 300 は、信号 CEn_1 をハイレベルにする。これにより、NANDチップ $A200A$ 及び NANDチップ $B200B$ はディセーブルになる。

[0219] NANDチップ $A200A$ は、時刻 t_8 において、NANDチップ $A200A$ の終端回路 203 、 218 、及び 219 をイネーブルにし、時刻 t_9 において、終端回路 203 、 218 、及び 219 をディセーブルにする。言い換えると、終端回路 203 、 218 、及び 219 がそれぞれノード DQ_1 、 DQS_1 、及び DQS_n を終端する、すなわち終端回路 203 、 218 、及び 219 がイネーブルになる時間は、時刻 t_8 から時刻 t_9 までの間である。例えば、NANDチップ $A200A$ は、信号 CEn_1 がローレベルの間に、書込みコマンド $80h$ 及び全てのアドレス ADD を受け取った後に信号 DQS がローレベルになったことに基づいて、終端回路 203 、 218 、及び 219 をイネーブルにする。さらに、NANDチップ $A200A$ は、全ての書込みデータ D の受信後に信号 CLE がハイレベルになったことに基づい

て、終端回路203、218、及び219をディセーブルにする。

[0220] 以上のタイミングチャートより、第1実施形態に係るメモリシステム100における、終端回路がイネーブルになるタイミングについてまとめる。NANDチップA200Aの有する終端回路203、218、219、220、及び（又は）222をイネーブルにするタイミングは、メモリコントローラ300が、信号CEn1、CEn2、CLE、ALE、WEn、REn、RE、DQS、DQSn、及びDQの組み合わせによって決定し、NANDチップA200Aに指示を出している。このため、終端回路をイネーブルにするための専用のコマンド等是用いていない。

[0221] [1-3] 利点（効果）

以上で説明した第1実施形態に係るメモリシステム100によれば、半導体記憶装置200は、送信方法と受信方法とをそれぞれ2種類有し、メモリコントローラ300は、送信方法と受信方法とをそれぞれ2種類有している。メモリシステム100は、信号DQの種類に基づいて、より適切な送受信方法を選択できる。また、受信した信号のうち、振幅の小さい方の信号を終端することが可能である。以下に、第1実施形態に係るメモリシステム100の詳細な効果について説明する。

[0222] NANDにおいて、NANDバスを介するデータ転送を高速化するために、振幅の小さい信号を用いてデータを転送することが有用である。その方法の1つとして、LVSTLのような終端方法が用いられ得る。しかしながら、LVSTLのような終端方法を用いる場合、振幅の小さい信号を送受信することが可能な送信部及び受信部が必要である。一方、高速（高周波）での送受信が求められるDataOutput等の送受信には振幅の小さい信号を用いたが、それほど高速な送受信が求められないコマンド及びアドレス等の送受信には、振幅の大きい信号を用いて信号の信頼性を担保したいという要請もある。

[0223] これに対して、第1実施形態に係るメモリシステム100は、振幅の大きいDQ信号と、振幅の小さいDQ信号との両方を送受信できる送信部202

及び302並びに受信部201及び301を備えている。その結果、第1実施形態に係るメモリシステム100は、信号DQの種類によって、振幅の大きい信号で送受信を行うか、振幅の小さい信号で送受信を行うかを選択することが可能である。具体的には、メモリシステム100は、高速（高周波）での送受信が必要とされる種類の信号DQ（例えばFeature Data、Data Output、及びData Input）においては、振幅の小さい信号で送受信を行い、低速（低周波）でも支障の無い種類の信号DQ（例えばコマンド又はアドレス、ステータス、並びにパラレルステータス）においては、信頼性の高い、振幅の大きい信号で送受信を行う。

[0224] また、メモリシステム100は、振幅の小さい信号を送受信することが可能な送受信部を備えたことにより、LVSTLの終端回路を用いることが出来る。メモリシステム100は、振幅の小さい信号を受信する際には、LVSTLの終端回路をイネーブルすることによって、信号を受信するノードにおけるインピーダンスを調整することが出来る。メモリシステム100は、LVSTLの終端回路をイネーブルすることによって、信号の振幅を更に小さくすることが可能であり、更に高速な送受信を行うことが可能である。また、LVSTL（low voltage swing terminated logic）方式による終端回路は、終端での貫通電流を抑制することが出来るので、例えばCTT（center tapped termination）方式やPOD（pseudo open drain）方式のようなLegacy方式による終端回路と比較して、消費電力を抑制することが可能である。

[0225] [2] 第2実施形態

以下、第2実施形態に係るメモリコントローラ300及び半導体記憶装置200について説明される。

[0226] [2-1] 構成（構造）

前述の通り、第1実施形態に係るメモリコントローラ300は、送信方法と受信方法とをそれぞれ2種類有し、半導体記憶装置200は、送信方法と受信方法をそれぞれ2種類有している。これに対し、第2実施形態に係るメ

メモリコントローラ 300 は送信方法を 2 種類、受信方法を 1 種類有していて、半導体記憶装置 200 は、送信方法を 1 種類、受信方法を 2 種類有している。その他の点については、第 2 実施形態は、第 1 実施形態とほぼ同様である。

[0227] 具体的には、第 2 実施形態に係るメモリシステム 100 は、送信部 202、215、及び 216 並びに受信部 301、306、及び 307 の構成が第 1 実施形態と異なる。第 2 実施形態に係る送信部 202、215、及び 216 並びに受信部 301、306、及び 307 は、第 1 実施形態に係る送信部 202、215、及び 216 並びに受信部 301、306、及び 307 との区別のために、それぞれ送信部 202__B、215__B、及び 216__B 並びに受信部 301__B、306__B、及び 307__B と称される。第 2 実施形態に係るメモリシステム 100 における送信部 302、309～311、及び 314 並びに受信部 201、212～214、及び 221 の構成は第 1 実施形態と同様である為、説明は省略される。以下では、第 2 実施形態に係るメモリシステム 100 について、第 1 実施形態と異なる点について主に説明される。

[0228] [2-1-1] メモリシステムの回路構成

図 23 は、第 2 実施形態に係る半導体記憶装置 200 における送信部 202__B の構成例を示す回路図である。図 23 は、図 6 で述べられた送信部 202 の第 2 実施形態における詳細な回路構造を示す。送信部 202 と同様に、送信部 202__B は、信号 DQ として伝送される信号に基づいてノード DQ1 の電圧を制御する。以下、送信部 202__B に信号 DQ として伝送される信号は、信号 IN2 と称される。

[0229] 送信部 202__B は、送信部 202 と異なり、送信方法を 1 種類のみ有し、受信した信号 DQ の種類に依らず、振幅の小さい信号（後述）を送信する。従って、送信部 202__B がイネーブル信号生成回路 204 から受信するイネーブル信号も 1 種類であり、イネーブル信号 OUTEN に基づいて信号を送信する。ここで、イネーブル信号 OUTEN に基づいて送信部 202__

Bから送信された信号IN2は、信号LVSTL__IN2と称される。信号LVSTL__IN2は、例えば送信部302が送信する信号Legacy__IN1よりも小さい振幅を有する。

[0230] 送信部202__Bは、NMOSトランジスタ202F及び202G、ANDゲート202H、インバータ202I、並びにNORゲート202Jを備える。NMOSトランジスタ202Fの第1端は、電源電圧VCCqのノードに電氣的に接続される。NMOSトランジスタ202Fの第2端は、ノードDQ1に接続される。

[0231] NMOSトランジスタ202Gの第1端は、ノードDQ1に接続される。NMOSトランジスタ202Gの第2端は、接地電圧VSSqのノードに電氣的に接続される。ANDゲート202Hの第1入力端は、イネーブル信号生成回路204から、イネーブル信号OUTENを受信する。ANDゲート202Hの第2入力端は、ラッチ回路206から信号IN2を受信する。ANDゲート202Hの出力端は、NMOSトランジスタ202Fの制御端子に接続される。ANDゲート202Hは、第1入力端から受信した信号と、第2入力端から受信した信号の論理積を出力端からNMOSトランジスタ202Fの制御端子に送信する。

[0232] インバータ202Iの入力端は、イネーブル信号生成回路204から、イネーブル信号OUTENを受信する。インバータ202Iは、受信した信号OUTEN2の論理反転を出力端からNORゲート202Jの第1入力端に送信する。

[0233] NORゲート202Jの第1入力端は、インバータ202Iの出力端に接続されている。NORゲート202Jの第2入力端は、ラッチ回路206から信号IN2を受信する。NORゲート202Jの出力端は、NMOSトランジスタ202Gの制御端子に接続される。NORゲート202Jは、第1入力端から受信した信号と、第2入力端から受信した信号の否定論理和を出力端からNMOSトランジスタ202Gの制御端子に送信する。

[0234] このように送信部202__Bは、送信部202と異なり、送信方法を1種

類のみ有し、受信した信号DQの種類に依らず、信号LVSTL__IN2を送信する。信号LVSTL__IN2の振幅が小さくなるのは、電圧VCCqは、NMOSトランジスタ202Fを介して転送されるため、転送される電圧は、NMOSトランジスタ202Fの閾値電圧の分、電圧VCCqより低いためである。

[0235] 送信部215__B及び216__Bは、送信部202__Bと同様の構成及び機能であるため、説明は省略される。

[0236] 図23に示された送信部202__Bの回路図は、構成の一例である。そのため送信部202__Bは、図23で述べられたものと同様の機能を有するものであれば、回路構成はその他の構造を有していても良い。ここで、第2実施形態に係るメモリシステム100における送信部が有する機能は、メモリコントローラ300が送信方法を2種類、半導体記憶装置200が送信方法を1種類有すること、メモリコントローラ300の送信方法が信号DQの種類によって適切な方法が決定され、半導体記憶装置200の送信方法は信号DQの種類によらないこと、を含む。

[0237] 図24は、第2実施形態に係る半導体記憶装置200における受信部301__Bの構成例を示す回路図である。図24は、図5で述べられた受信部301の詳細な回路構造を示す。受信部301__Bは、受信部301と異なり、受信方法を1種類のみ有し、受信した信号DQの種類によらず、振幅の小さい信号（後述）を受信する。従って、受信部301__Bがイネーブル信号生成回路304から受信するイネーブル信号も1種類であり、イネーブル信号INENに基づいて、信号DQの受信に関する動作を行う。

[0238] 受信部301__Bは、送信部202__Bから送信された信号LVSTL__IN2を受信する。信号LVSTL__IN2は、例えば受信部201が受信するLegacy__IN1よりも小さい振幅を有する。

[0239] 受信部301__Bは、差動増幅回路301Bを備える。差動増幅回路301Bは、第1入力端から信号LVSTL__IN2を受信する。差動増幅回路301Bの第2入力端には、参照電圧VREFq2が印加される。

[0240] 差動増幅回路301Bは、イネーブル信号生成回路304から、イネーブル信号INENを受信する。イネーブル信号INENがハイレベルであるとき、差動増幅回路301Bはイネーブル状態となる。差動増幅回路301Bは、受信した信号LVSTL__IN2と参照電圧VREFq2を差動増幅して信号LVSTL__OUT2を生成し、メモリコントローラ300中の別の要素へ出力する。

[0241] このように受信部301__Bは、受信部301と異なり、受信方法を1種類のみ有し、受信した信号DQの種類によらず、信号LVSTL__OUT2を出力する。出力信号LVSTL__OUT2は、信号LVSTL__IN2に基づく信号であるため、例えば受信部201の出力信号Legacy__OUT2（信号Legacy__IN2に基づく信号）よりも小さい振幅を有する。

[0242] 受信部306__B及び307__Bは、受信部301__Bと同様の構成及び機能であるため、説明は省略される。ここで、信号LVSTL__IN2と同様に、送信部215__Bから送信され、受信部306__Bが受信する信号は、LVSTL__DQS2と称される。信号LVSTL__DQS2は、例えば受信部212が受信する信号Legacy__DQS1と比較して、小さい振幅を有する。

[0243] 図24に示された受信部301__Bの回路図は、構成の一例である。そのため受信部301__Bは、図24で述べられたものと同様の機能を有するものであれば、回路構成はその他の構造を有していても良い。ここで、第2実施形態に係るメモリシステム100における受信部が有する機能は、メモリコントローラ300が受信方法を1種類、半導体記憶装置200が、受信方法を2種類有すること、メモリコントローラ300の受信方法は信号DQの種類によらないこと、半導体記憶装置200の受信方法が信号DQの種類によって適切な方法が決定されること、を含む。

[0244] [2-2] 動作

第1実施形態と同様に、第2実施形態に係る半導体記憶装置200におい

て、NANDチップA200A（図2にて記載）の送受信方法及び終端方法と同様の送受信方法及び終端方法を、NANDチップB200B、NANDチップC200C、及びNANDチップD200Dも有する。

[0245] 第1実施形態において記述されるように、NANDチップA200Aが選択NANDチップである場合、NANDチップA200Aの終端回路がイネーブルされてもよいし、非選択NANDチップの終端回路がイネーブルされてもよい。第2実施形態では、選択NANDチップがNANDチップA200Aであり、NANDチップA200Aの終端回路をイネーブルさせる場合の例について記載される。

[0246] 第2実施形態に係る半導体記憶装置200及びメモリコントローラ300が、DQ信号を受信する際の終端方法について述べる。図25は、第2実施形態に係る半導体記憶装置200及びメモリコントローラに300における信号DQの終端方法を示す。図25に示されるように、メモリコントローラに300の終端回路303は、受信部301__Bが信号LVSTL__IN2を受信するとき、ノードDQ0を終端する。

[0247] また、NANDチップA200Aの終端回路203は、第1実施形態と同様に、受信部201が信号LVSTL__IN1を受信するとき、ノードDQ1を終端する。終端回路203は、受信部201が信号Legacy__IN1を受信するとき、ノードDQ1を終端していない。

[0248] 第2実施形態に係る半導体記憶装置200は、信号DQ、DQS、及びDQSnの送信方法をそれぞれ1種類、信号DQ、DQS、DQSn、REn、及びREの受信方法をそれぞれ2種類有し、どの受信方法が選択されるかは、信号DQの種類によって決定される。また、半導体記憶装置200は、送受信方法に応じて終端方法を選択できる。ノードDQ1の終端には、NANDチップA200Aの終端回路203が用いられる。また、第2実施形態に係るメモリコントローラ300は、信号DQ、DQS、DQSn、REn、及びREの送信方法をそれぞれ2種類、信号DQ、DQS、及びDQSnの受信方法をそれぞれ1種類有し、どの送信方法が選択されるかは、信号D

Qの種類によって決定される。また、メモリコントローラ300は、送受信方法に応じて終端方法を選択できる。

[0249] 以下では、コマンド又はアドレス、ステータス、パラレルステータス、FeatureData、DataOutput、及びDataInputの6種類の信号DQが送受信される場合における、信号DQ、DQS、DQSn、REn、及びREの送受信方法及び終端方法について記述される。

[0250] 図26は、信号DQ、DQS、及びREの送受信方法及び終端方法の一例である。図26は、信号DQS及びDQSnのうちの信号DQSについて示すが、信号DQSnは、信号DQSの反転論理の信号であり、よって、信号DQSと同じである。また、図26は、信号REn及びREのうちの信号REについて示すが、信号REnは、信号REの反転論理の信号であり、よって、信号REと同じである。図25で述べられたように、第2実施形態では、半導体記憶装置200において、終端回路として、選択NANDチップであるNANDチップA200Aが有する終端回路203、218、219、220、及び（又は）222のみが使用される。図26に示されるように、信号DQの種類がコマンド又はアドレスであるときには、第1実施形態（図19を参照）と同じである。

[0251] 次に、信号DQの種類がステータスであるとき、信号DQとして、信号LVSTL__IN2がNANDチップA200Aから送信され、メモリコントローラ300によって受信される。このときメモリコントローラ300の終端回路303はノードDQ0を終端する。また、信号DQSとして、信号LVSTL__DQS2がNANDチップA200Aから送信され、メモリコントローラ300によって受信される。このときメモリコントローラ300の終端回路312及び313はそれぞれノードDQS0及びDQSn0を終端する。また、信号REとして、信号LVSTL__RE1がメモリコントローラ300から送信され、NANDチップA200Aによって受信される。このときNANDチップA200Aの終端回路220及び222はノードREn1及びRE1を終端する。

- [0252] 次に、信号DQの種類がパラレルステータスであるとき、信号DQとして、信号LVSTL__IN2がNANDチップA200A及びNANDチップB200Bから送信され、メモリコントローラ300によって受信される。このときメモリコントローラ300の終端回路303はノードDQ0を終端する。また、信号DQSとして、信号LVSTL__DQS2がNANDチップA200A及びNANDチップB200Bから送信され、メモリコントローラ300によって受信される。このときメモリコントローラ300の終端回路312及び313はノードDQSO及びDQSnOを終端する。また、信号REとして、信号Legacy__RE1がメモリコントローラ300から送信されNANDチップA200A及びNANDチップB200Bによって受信される。
- [0253] また、信号DQの種類がFeatureDataであるとき、DataOutputであるとき、DataInputであるときについては、第1実施形態（図19を参照）と同じである。
- [0254] 図26で述べられたように、第2実施形態に係るメモリコントローラ300及び（又は）半導体記憶装置200は、信号DQの種類がステータス、パラレルステータス、FeatureData、DataOutput、及びDataInputであるとき、各ノードの終端を行う。以下では終端回路がイネーブルになるタイミングについて述べる。
- [0255] 図27は、第2実施形態に係るメモリシステム100における信号のタイミングチャートの一例である。図27は、信号DQの種類がステータス及びパラレルステータスであるとき、終端回路がイネーブルになるタイミングを示している。ステータスとパラレルステータスについては同様のタイミングチャートを有するため、どちらも図27を用いて説明される。図27には、信号CEn1、CEn2、CLE、ALE、WEn、REn、RE、DQS、DQSn、及びDQのタイミングチャートが示されている。
- [0256] 時刻t1において、メモリコントローラ300は、信号CEn1をローレベルにする。これにより、NANDチップA200A及びNANDチップB

200Bがイネーブルになる。時刻 t_2 を含む期間に亘って、メモリコントローラ300は、信号CLEをハイレベルにするとともに、信号DQとしてステータスリードコマンド70h又は78hを送信する。ステータスリードコマンド70h及び78hは、ステータスデータの出力を指示する。ステータスリードコマンド70h又は78hの送信に伴って、時刻 t_2 において、メモリコントローラ300は、信号WEnをハイレベルにする。

[0257] 時刻 t_3 において、メモリコントローラ300は、信号REnをローレベルにする。その後、信号DQとしてステータスStatus Outを送信する。

[0258] 時刻 t_4 において、メモリコントローラ300は、信号CEn1をハイレベルにする。これにより、NANDチップA200A及びNANDチップB200Bはディセーブルになる。

[0259] まず、信号DQの種類がステータスであるときの、終端回路がイネーブルになるタイミングについて述べる。メモリコントローラ300は、時刻 t_3 において、メモリコントローラ300の終端回路303、312、及び313をイネーブルにし、時刻 t_4 において、終端回路303、312、及び313をディセーブルにする。言い換えると、終端回路303、312、及び313がそれぞれノードDQ0、DQS0、及びDQSn0を終端する、すなわち終端回路303、312、及び313がイネーブルになる時間は、時刻 t_3 から時刻 t_4 までの間である。例えば、メモリコントローラ300は、ステータスリードコマンド70hの送信後に信号REnをローレベルにすることに合わせて、終端回路303、312、及び313をイネーブルにする。さらに、メモリコントローラ300は、ステータスStatus Outの受信の完了後に信号CEn1をハイレベルにすることに合わせて、終端回路303、312、及び313をディセーブルにする。

[0260] また、NANDチップA200Aは、時刻 t_3 において、NANDチップA200Aの終端回路220及び222をイネーブルにし、時刻 t_4 において、終端回路220及び222をディセーブルにする。言い換えると終端回

路 220 及び 222 がそれぞれノード REN 及び RE を終端する、すなわち終端回路 220 及び 222 がイネーブルになる時間は、時刻 t_3 から時刻 t_4 までの間である。

[0261] 例えば、NANDチップ 200Aは、信号 $CEN1$ がローレベルの間に、ステータスリードコマンド 70h の受信後に信号 REN がローレベルになったことに基づいて、終端回路 220 及び 222 をイネーブルにする。さらに、NANDチップ 200Aは、信号 $CEN1$ がハイレベルになったことに基づいて、終端回路 220 及び 222 をディセーブルにする。

[0262] 信号 DQ の種類がパラレルステータスであるときのタイミングチャート及び終端回路がイネーブルになるタイミングについては、ステータスデータの内容の違いのみで、図 27 を参照して、ここまで述べられたステータスであるときと同じである。

[0263] 信号 DQ の種類が $FeatureData$ 、 $DataOutput$ 、及び $DataInput$ であるときのタイミングチャート及び終端回路がイネーブルになるタイミングは、第 1 実施形態と同じである。すなわち、信号 DQ の種類が $FeatureData$ であるときのタイミングチャート及び終端回路がイネーブルになるタイミングは、図 20 に示されるタイミングと同じである。信号 DQ の種類が $DataOutput$ であるときのタイミングチャート及び終端回路がイネーブルになるタイミングは、図 21 に示されるタイミングと同じである。信号 DQ の種類が $DataInput$ であるときのタイミングチャート及び終端回路がイネーブルになるタイミングは、図 22 に示されるタイミングと同じである。

[0264] 以上より、第 1 実施形態と同様に、第 2 実施形態において、NANDチップ A200A の有する終端回路 203、218、219、220、及び（又は）222 をイネーブルにするタイミングは、メモリコントローラ 300 が、信号 $CEN1$ 、 $CEN2$ 、 CLE 、 ALE 、 WEN 、 REN 、 RE 、 DQS 、 $DQSn$ 、及び DQ の組み合わせによって決定し、NANDチップ A200A に指示を出している。このため、終端回路をイネーブルにするための

専用のコマンド等を用いていない。

[0265] [2-3] 利点 (効果)

以上で説明した第2実施形態に係るメモリシステム100によれば、第1実施形態に係るメモリシステム100と比較して、回路面積を削減すること、入出力ピンに寄生している容量を削減すること、制御に要する時間を削減すること等が可能である。また、第2実施形態に係るメモリシステム100は、第1実施形態と同様に、受信した信号のうち、振幅の小さい信号を終端することが可能である。以下、第2実施形態に係るメモリシステム100の詳細な効果について説明される。

[0266] 第2実施形態に係るメモリシステム100において、メモリコントローラ300は送信方法を2種類、受信方法を1種類有していて、半導体記憶装置200は、送信方法を1種類、受信方法を2種類有している。このため第2実施形態に係るメモリシステム100は、メモリコントローラ300及び半導体記憶装置200に送受信方法をそれぞれ2種類有している第1実施形態と比較して、送信部及び受信部の構成を簡略化することが可能である。送信部及び受信部の構成が簡略化することにより、第2実施形態に係るメモリシステム100は、第1実施形態に係るメモリシステム100と比較して、回路面積を削減することと、入出力ピンに寄生している容量を削減することが可能である。

[0267] また、第1実施形態に係るメモリシステム100は、メモリコントローラ300及び半導体記憶装置200に送受信方法をそれぞれ2種類有していることから、どの送受信方法を用いるかを制御するためにイネーブル信号を2種類使い、参照電圧を2種類使い、更に終端回路をイネーブルにするかどうかを使い分けている。

[0268] 第2実施形態に係るメモリシステム100において、送信部202__Bから送信され、受信部301__Bが受信する信号は信号LVSTL__OUT2の1種類のみである。このためイネーブル信号と参照電圧VREFqはそれぞれ1種類のみであり、終端回路も常にイネーブルであり、第1実施形態よ

りも制御が容易である。

[0269] さらに、第2実施形態に係るメモリシステム100は、振幅の大きいDQ信号と、振幅の小さいDQ信号との両方を送受信できる送信部302及び受信部201を備えている。その結果、第2実施形態に係るメモリシステム100は、メモリコントローラ300から半導体記憶装置200に信号を送信する場合において、信号DQの種類によって、振幅の大きい信号で送受信を行うか、振幅の小さい信号で送受信を行うかを選択することが可能である。具体的には、メモリシステム100は、例えばステータス、パラレルステータス、FeatureData、DataOutput、及びDataInputのような信号DQを送信する場合においては、振幅の小さい信号で送受信を行い、例えばコマンド又はアドレスのような信号DQを送信する場合においては、信頼性の高い、振幅の大きい信号で送受信を行うことが出来る。コマンド及びアドレス等の送受信には、振幅の大きい信号を用いて信号の信頼性を担保することが可能である。

[0270] また、第2実施形態に係るメモリシステム100は、第1実施形態に係るメモリシステム100と同様に、振幅の小さい信号を送受信することが可能な送受信部を備えていることにより、LVSTLの終端回路を用いることが出来る。このため、第2実施形態に係るメモリシステム100は、LVSTLの終端回路をイネーブルすることによって、信号の振幅を更に小さくすることが可能であり、更に高速な送受信を行うことが可能である。また、LVSTL方式による終端回路は、終端での貫通電流を抑制することが出来るので、例えばCTT方式やPOD方式のようなLegacy方式による終端回路と比較して、消費電力を抑制することが可能である。

[0271] [3] 第3実施形態

以下、第3実施形態に係るメモリコントローラ300及び半導体記憶装置200について説明される。

[0272] [3-1] 構成（構造）

前述の通り、第2実施形態に係るメモリコントローラ300は送信方法を

2種類、受信方法を1種類有していて、半導体記憶装置200は、送信方法を1種類、受信方法を2種類有している。これに対し、第3実施形態に係るメモリコントローラ300は、送信方法と受信方法とをそれぞれ1種類有し、半導体記憶装置200は、送信方法と受信方法をそれぞれ1種類有している。その他の点については、第3実施形態は、第2実施形態とほぼ同様である。

[0273] 具体的には、第3実施形態に係るメモリシステム100は、送信部302、309～311、及び314並びに受信部201、212～214、及び221の構成が第2実施形態と異なる。第3実施形態に係る送信部302、309～311、及び314並びに受信部201、212～214、及び221は、第2実施形態に係る送信部302、309～311、及び314並びに受信部201、212～214、及び221との区別のために、それぞれ送信部302__C、309__C～311__C、及び314__C並びに受信部201__C、212__C～214__C、及び221__Cと称される。第3実施形態に係るメモリシステム100における送信部202、215、及び216並びに受信部301、306、及び307の構成は第2実施形態の送信部202__B、215__B、及び216__B並びに受信部301__B、306__B、及び307__Bと同様である為、説明は省略される。しかしながら、第2実施形態と区別するために、第3実施形態における送信部202、215、及び216並びに受信部301、306、及び307は、それぞれ送信部202__C、215__C、及び216__C並びに受信部301__C、306__C、及び307__Cと称される。以下では、第3実施形態に係るメモリシステム100について、第2実施形態と異なる点について主に説明される。

[0274] [3-1-1] メモリシステムの回路構成

図28は、第3実施形態に係る半導体記憶装置200における送信部302__Cの構成例を示す回路図である。図28は、図5で述べられた送信部302の第3実施形態における詳細な回路構造を示す。送信部302と同様に

、送信部302__Cは、信号DQとして伝送される信号に基づいてノードDQOの電圧を制御する。送信部302__Cは、送信部202__Bと同様の構造及び機能を有する。以下、送信部302__Cに信号DQとして伝送される信号は、信号IN1と称される。

[0275] 送信部302__Cは、送信部302と異なり、送信方法を1種類のみ有し、受信した信号DQの種類に依らず、振幅の小さい信号（後述）を送信する。従って、送信部302__Cがイネーブル信号生成回路304から受信するイネーブル信号も1種類であり、イネーブル信号OUTENに基づいて信号を送信する。ここで、イネーブル信号OUTENに基づいて送信部302__Cから送信された信号IN1は、信号LVSTL__IN1と称される。信号LVSTL__IN1は、例えば送信部302が送信するLegacy__IN1よりも小さい振幅を有する。

[0276] 送信部302__Cは、NMOSトランジスタ302F及び302G、ANDゲート302H、インバータ302I、並びにNORゲート302Jを備える。NMOSトランジスタ302Fの第1端は、電源電圧VCCqのノードに電氣的に接続される。NMOSトランジスタ302Fの第2端は、ノードDQOに接続される。

[0277] NMOSトランジスタ302Gの第1端は、ノードDQOに接続される。NMOSトランジスタ302Gの第2端は、接地電圧VSSqのノードに電氣的に接続される。ANDゲート302Hの第1入力端は、イネーブル信号生成回路304から、イネーブル信号OUTENを受信する。ANDゲート302Hの第2入力端は、メモリコントローラ300中の図示せぬ別の要素から信号IN1を受信する。ANDゲート302Hの出力端は、NMOSトランジスタ302Fの制御端子に接続される。ANDゲート302Hは、第1入力端から受信した信号と、第2入力端から受信した信号の論理積を出力端からNMOSトランジスタ302Fの制御端子に送信する。

[0278] インバータ302Iの入力端は、イネーブル信号生成回路304から、イネーブル信号OUTENを受信する。インバータ302Iは、受信した信号

OUTEN1の論理反転を出力端からNORゲート302Jの第1入力端に送信する。

[0279] NORゲート302Jの第1入力端は、インバータ302Iの出力端に接続されている。NORゲート302Jの第2入力端は、メモリコントローラ300中の図示せぬ別の要素から信号IN1を受信する。NORゲート302Jの出力端は、NMOSトランジスタ302Gの制御端子に接続される。NORゲート302Jは、第1入力端から受信した信号と、第2入力端から受信した信号の否定論理和を出力端からNMOSトランジスタ302Gの制御端子に送信する。

[0280] このように送信部302__Cは、送信部302と異なり、送信方法を1種類のみ有し、受信した信号DQの種類に依らず、信号LVSTL__IN1を送信する。信号LVSTL__IN1の振幅が小さくなるのは、電圧VCCqは、NMOSトランジスタ302Fを介して転送されるため、転送される電圧は、NMOSトランジスタ302Fの閾値電圧の分、電圧VCCqより低いためである。

[0281] 送信部309__C～311__C及び314__Cは、送信部302__Cと同様の構成及び機能であるため、説明は省略される。

[0282] 図28に示された送信部302__Cの回路図は、構成の一例である。そのため送信部302__Cは、図28で述べられたものと同様の機能を有するものであれば、回路構成はその他の構造を有していても良い。ここで、第3実施形態に係るメモリシステム100における送信部が有する機能は、メモリコントローラ300が送信方法を1種類、半導体記憶装置200が、送信方法を1種類有すること、メモリコントローラ300及び半導体記憶装置200の送信方法は信号DQの種類によらないこと、を含む。

[0283] 図29は、第3実施形態に係る半導体記憶装置200における受信部201__Cの構成例を示す回路図である。図29は、図6で述べられた受信部201の詳細な回路構造を示す。受信部201__Cは、受信部201と異なり、受信方法を1種類のみ有し、受信した信号DQの種類に依らず、振幅の小

さい信号（後述）を受信する。従って、受信部201__Cがイネーブル信号生成回路204から受信するイネーブル信号も1種類であり、イネーブル信号INENに基づいて、信号DQの受信に関する動作を行う。

[0284] 受信部201__Cは、送信部302__Cから送信された信号LVSTL__IN1を受信する。信号LVSTL__IN1は、例えば受信部201が受信するLegacy__IN1よりも小さい振幅を有する。

[0285] 受信部201__Cは、差動増幅回路201Bを備える。差動増幅回路201Bは、第1入力端から信号LVSTL__IN1を受信する。差動増幅回路201Bの第2入力端には、参照電圧VREFq2が印加される。

[0286] 差動増幅回路201Bは、イネーブル信号生成回路204から、イネーブル信号INENを受信する。イネーブル信号INENがハイレベルであるとき、差動増幅回路201Bはイネーブル状態となる。差動増幅回路201Bは、受信した信号LVSTL__IN1と参照電圧VREFq2を差動増幅して信号LVSTL__OUT1を生成し、ラッチ回路206へ出力する。

[0287] このように受信部201__Cは、受信部201と異なり、受信方法を1種類のみ有し、受信した信号DQの種類に依らず、信号LVSTL__OUT1を出力する。出力信号LVSTL__OUT1は、信号LVSTL__IN1に基づく信号であるため、例えば受信部201の出力信号Legacy__OUT1（信号Legacy__IN1に基づく信号）よりも小さい振幅を有する。

[0288] 受信部212__C～214__C及び221__Cは、受信部201__Cと同様の構成及び機能であるため、説明は省略される。ここで、信号LVSTL__IN1と同様に、送信部309__Cから送信され、受信部212__Cが受信する信号は、信号LVSTL__DQS1と称される。信号LVSTL__DQS1は、例えば受信部212が受信する信号Legacy__DQS1と比較して、小さい振幅を有する。

[0289] 送信部314__Cから送信され、受信部221__Cが受信する信号は、信号LVSTL__RE1と称される。信号LVSTL__RE1は、例えば受信

部 2 2 1 が受信する Legacy__RE 1 と比較して、小さい振幅を有する。

[0290] 図 2 9 に示された受信部 2 0 1 __C の回路図は、構成の一例である。そのため受信部 2 0 1 __C は、図 2 9 で述べられたものと同様の機能を有するものであれば、回路構成はその他の構造を有していても良い。ここで、第 3 実施形態に係るメモリシステム 1 0 0 における受信部が有する機能は、メモリコントローラ 3 0 0 が受信方法を 1 種類、半導体記憶装置 2 0 0 が、受信方法を 1 種類有すること、メモリコントローラ 3 0 0 及び半導体記憶装置 2 0 0 の受信方法は信号 D Q の種類によらないこと、を含む。

[0291] [3-2] 動作

第 1 実施形態と同様に、第 3 実施形態に係る半導体記憶装置 2 0 0 において、NAND チップ A 2 0 0 A (図 2 にて記載) の送受信方法及び終端方法と同様の送受信方法及び終端方法を、NAND チップ B 2 0 0 B、NAND チップ C 2 0 0 C、及び NAND チップ D 2 0 0 D も有する。

[0292] 第 1 実施形態において記述されるように、NAND チップ A 2 0 0 A が選択 NAND チップである場合、NAND チップ A 2 0 0 A の終端回路がイネーブルされてもよいし、非選択 NAND チップの終端回路がイネーブルされてもよい。第 3 実施形態では、選択 NAND チップが NAND チップ A 2 0 0 A であり、NAND チップ A 2 0 0 A の終端回路をイネーブルさせる場合の例について記載される。

[0293] 第 3 実施形態に係る半導体記憶装置 2 0 0 及びメモリコントローラ 3 0 0 が、D Q 信号を受信する際の終端方法について述べる。図 3 0 は、第 3 実施形態に係る半導体記憶装置 2 0 0 及びメモリコントローラに 3 0 0 おける信号 D Q の終端方法を示す。図 3 0 に示されるように、終端回路 3 0 3 は、第 2 実施形態と同様に、受信部 3 0 1 __C が信号 LVSTL__IN 2 を受信するとき、ノード D Q O を終端する。

[0294] また、終端回路 2 0 3 は、受信部 2 0 1 __C が信号 LVSTL__IN 1 を受信するとき、ノード D Q I を終端する。

- [0295] 第3実施形態に係る半導体記憶装置200は、信号DQ、DQS、及びDQSnの送信方法をそれぞれ1種類、信号DQ、DQS、DQSn、REn、及びREの受信方法をそれぞれ1種類有し、送受信方法は信号DQの種類に依らず、常に振幅の小さい信号を送受信する。また、半導体記憶装置200において受信部201__Cが信号を受信する際、NANDチップA200Aの終端回路203は常にノードDQ1を終端している。
- [0296] また、第3実施形態に係るメモリコントローラ300は、信号DQ、DQS、DQSn、REn、及びREの送信方法をそれぞれ1種類、信号DQ、DQS、及びDQSnの受信方法をそれぞれ1種類有し、送受信方法は信号DQの種類に依らず、常に振幅の小さい信号を送受信する。また、メモリコントローラ300において受信部301__Cが信号を受信する際、終端回路303は常にノードDQ0を終端している。
- [0297] 以下では、コマンド又はアドレス、ステータス、パラレルステータス、FeatureData、DataOutput、及びDataInputの6種類の信号DQが送受信される場合における、信号DQ、DQS、DQSn、REn、及びREの送受信方法及び終端方法について記述される。
- [0298] 図31は、信号DQ、DQS、及びREの送受信方法及び終端方法の一例である。図31は、信号DQS及びDQSnのうちの信号DQSについて示すが、信号DQSnは、信号DQSの反転論理の信号であり、よって、信号DQSと同じである。また、図31は、信号REn及びREのうちの信号REについて示すが、信号REnは、信号REの反転論理の信号であり、よって、信号REと同じである。図30で述べられたように、第3実施形態では、半導体記憶装置200において、終端回路として、選択NANDチップであるNANDチップA200Aの終端回路のみが使用される。図31に示されるように、信号DQの種類がコマンド又はアドレスであるとき、信号DQとして、信号LVSTL__IN1がメモリコントローラ300から送信され、NANDチップA200A及びNANDチップB200Bによって受信される。このときNANDチップA200Aの終端回路203はノードDQ1

を終端する。また、メモリコントローラ300から送信される信号DQS及びREは、ローレベルに固定されている。

[0299] 信号DQの種類がステータスであるときは、第2実施形態（図26を参照）と同じである。

[0300] 次に、信号DQの種類がパラレルステータスであるとき、信号DQとして、信号LVSTL__IN2がNANDチップA200A及びNANDチップB200Bから送信され、メモリコントローラ300によって受信される。このときメモリコントローラ300の終端回路303はノードDQ0を終端する。また、信号DQSとして、信号LVSTL__DQS2がNANDチップA200A及びNANDチップB200Bから送信され、メモリコントローラ300によって受信される。このときメモリコントローラ300の終端回路312及び313はノードDQS0及びDQSn0を終端する。また、信号REとして、信号LVSTL__RE1がメモリコントローラ300から送信されNANDチップA200A及びNANDチップB200Bによって受信される。このときNANDチップA200Aの終端回路220及び222はノードREn1及びRE1を終端する。

[0301] また、信号DQの種類がFeatureDataであるとき、DataOutputであるとき、DataInputであるときについては、第1実施形態（図19を参照）と同じである。

[0302] 図31で述べられたように、第3実施形態に係るメモリコントローラ300及び（又は）半導体記憶装置200は、信号DQの種類がコマンド又はアドレス、ステータス、パラレルステータス、FeatureData、DataOutput、及びDataInputであるとき、各ノードの終端を行う。以下では終端回路がイネーブルになるタイミングについて述べる。

[0303] 図32は、第3実施形態に係るメモリシステム100における信号のタイミングチャートの一例である。図32は、信号DQの種類がコマンド又はアドレス及びDataInputであるとき、終端回路がイネーブルになるタイミングを示している。図32には、信号CEn1、CEn2、CLE、A

LE、WE_n、RE_n、RE、DQS、DQS_n、及びDQのタイミングチャートが示されている。図32は、データ書き込みを例として示す。信号DQの種類がコマンド又はアドレス及びData Inputであるとき、タイミングチャートは、第1実施形態のData Inputのとき（図22）と同じであるが、終端回路がイネーブルになるタイミングは、第1実施形態のData Inputのときと異なる。このため図32には、信号DQの種類がコマンド又はアドレス及びData Inputであるときの終端回路がイネーブルになるタイミングについてのみ記述される。

[0304] NANDチップA200Aは、時刻t₁において、NANDチップA200Aの終端回路203、218、及び219をイネーブルにし、時刻t₁₀において、終端回路203、218、及び219をディセーブルにする。言い換えると、終端回路203、218、及び219がそれぞれノードDQ₁、DQS₁、及びDQS_{n1}を終端する、すなわち終端回路203、218、及び219がイネーブルになる時間は、時刻t₁から時刻t₁₀までの間である。これは、第3実施形態において送受信される信号は1種類であるため、終端回路は、メモリコントローラ300がNANDチップA200Aと通信する目的でNANDチップA200Aをイネーブルにしている間は、常にイネーブルで良いからである。例えば、NANDチップA200Aは、信号CE_{n1}がローレベルになったことに基づいて、終端回路203、218、及び219をイネーブルにする。さらに、NANDチップA200Aは、信号CE_{n1}がハイレベルになったことに基づいて、終端回路203、218、及び219をディセーブルにする。

[0305] 信号DQの種類がステータス、パラレルステータス、Feature Data、及びData Outputであるときのタイミングチャートは、第2実施形態と同じであるが、終端回路がイネーブルになるタイミングは、第2実施形態と異なる。このため、以下では、信号DQの種類がステータス、パラレルステータス、Feature Data、及びData Outputであるときの終端回路がイネーブルになるタイミングについてのみ記述される。

。

[0306] 図33は、第3実施形態に係るメモリシステム100における信号のタイミングチャートの一例である。図33は、信号DQの種類がステータス及びパラレルステータスであるとき、終端回路がイネーブルになるタイミングを示している。ステータス及びパラレルステータスについてのタイミングチャートは図27と同様である。

[0307] メモリコントローラ300は、時刻t3において、メモリコントローラ300の終端回路303、312、及び313をイネーブルにし、時刻t4において、終端回路303、312、及び313をディセーブルにする。言い換えると、終端回路303、312、及び313がそれぞれノードDQ0、DQS0、及びDQSn0を終端する、すなわち終端回路303、312、及び313がイネーブルになる時間は、時刻t3から時刻t4までの間である。例えば、メモリコントローラ300は、ステータスリードコマンド70h又は78hの送信後に信号REnをローレベルにすることに合わせて、終端回路303、312、及び313をイネーブルにする。さらに、メモリコントローラ300は、ステータスStatus Outの受信の完了後に信号CEn1をハイレベルにすることに合わせて、終端回路303、312、及び313をディセーブルにする。

[0308] NANDチップA200Aは、時刻t3において、NANDチップA200Aの終端回路220及び222をイネーブルにし、時刻t4において、終端回路220及び222をディセーブルにする。言い換えると、終端回路220及び222がそれぞれノードREn1及びRElを終端する、すなわち終端回路220及び222がイネーブルになる時間は、時刻t3から時刻t4までの間である。例えば、NANDチップ200Aは、信号CEn1がローレベルの間に、ステータスリードコマンド70h又は78hの受信後に信号REnがローレベルになったことに基づいて、終端回路220及び222をイネーブルにする。さらに、NANDチップ200Aは、ステータスStatus Outの送信の完了後に信号CEn1がハイレベルになったこと

に基づいて、終端回路220及び222をディセーブルにする。なお、図32を参照して記述されるように、コマンド（ステータスリードコマンド70h又は78h）の送信の期間を含む期間に亘って、すなわち、時刻t1から時刻t3に亘って、NANDチップA200Aの終端回路203は、ノードDQ1を終端している。

[0309] 図34は、第3実施形態に係るメモリシステム100における信号のタイミングチャートの一例である。図34は、信号DQの種類がFeature Dataあるとき、終端回路がイネーブルになるタイミングを示している。Set Featureについてのタイミングチャートは図20と同様である。

[0310] NANDチップA200Aは、時刻t5において、NANDチップA200Aの終端回路203、218、及び219をイネーブルにし、時刻t10において、終端回路203、218、及び219をディセーブルにする。言い換えると、終端回路203、218、及び219がそれぞれノードDQ1、DQS1、及びDQSn1を終端する、すなわち終端回路203、218、及び219がイネーブルになる時間は、時刻t5から時刻t10までの間である。例えば、NANDチップA200Aは、Set FeatureコマンドD5h及び後続のアドレスADDを受け取ると、信号ALEがローレベルになったことに基づいて、終端回路203、218、及び219をイネーブルにする。さらに、NANDチップA200Aは、パラメータWB0、WB1、WB2、及びWB3の受信後に、信号CEn1がハイレベルになったことに基づいて、終端回路203、218、及び219をディセーブルにする。なお、図32を参照して記述されるように、Set FeatureコマンドD5h及びアドレスADDの送信の期間を含む期間に亘って、すなわち、時刻t1から時刻t5に亘って、NANDチップA200Aの終端回路203は、ノードDQ1を終端している。

[0311] 図35は、第3実施形態に係るメモリシステム100における信号のタイミングチャートの一例である。図35は、信号DQの種類がData Out

put であるとき、終端回路がイネーブルになるタイミングを示している。

Data Output のタイミングチャートは図 21 と同様である。

- [0312] メモリコントローラ 300 は、時刻 t₉ において、メモリコントローラ 300 の終端回路 303、312、及び 313 をイネーブルにし、時刻 t₁₀ において、終端回路 303、312、及び 313 をディセーブルにする。言い換えると、終端回路 303、312、及び 313 がそれぞれノード DQ0、DQS0、及び DQSn0 を終端する、すなわち終端回路 303、312、及び 313 がイネーブルになる時間は、時刻 t₉ から時刻 t₁₀ までの間である。例えば、メモリコントローラ 300 は、読出し実行コマンド 30h の送信後に信号 REn をローレベルにすることに合わせて、終端回路 303、312、及び 313 をイネーブルにする。さらに、メモリコントローラ 300 は、読出しデータ D の受信の完了後に信号 CEn1 をハイレベルにすることに合わせて、終端回路 303、312、及び 313 をディセーブルにする。

- [0313] NAND チップ A200A は、時刻 t₉ において、終端回路 220 及び 222 をイネーブルにし、時刻 t₁₀ において、終端回路 220 及び 222 をディセーブルにする。言い換えると、終端回路 220 及び 222 がそれぞれノード REn1 及び RE1 を終端する、すなわち終端回路 220 及び 222 がイネーブルになる時間は、時刻 t₉ から時刻 t₁₀ までの間である。例えば、NAND チップ 200A は、信号 CEn1 がローレベルの間に、読出し実行コマンド 30h の受信後に信号 REn がローレベルになったことに基づいて、終端回路 220 及び 222 をイネーブルにする。さらに、NAND チップ 200A は、信号 CEn1 がハイレベルになったことに基づいて、終端回路 220 及び 222 をディセーブルにする。なお、図 32 を参照して記述されるように、読出しコマンド 00h、アドレス ADD、及び読出し実行コマンド 30h の送信の期間を含む期間に亘って、すなわち、時刻 t₁ から時刻 t₉ に亘って、NAND チップ A200A の終端回路 203 は、ノード DQ1 を終端している。

[0314] 以上より、第1及び第2実施形態と同様に、第3実施形態において、NANDチップA200Aの有する終端回路203、218、219、220、及び（又は）222をイネーブルにするタイミングは、メモリコントローラ300が、信号CEn1、CEn2、CLE、ALE、WEn、REn、RE、DQS、DQSn、及びDQの組み合わせによって決定し、NANDチップA200Aに指示を出している。このため、終端回路をイネーブルにするための専用のコマンド等は用いていない。

[0315] [3-3] 利点（効果）

以上で説明した第3実施形態に係るメモリシステム100によれば、第2実施形態に係るメモリシステム100と比較して、回路面積を削減すること、入出力ピンに寄生している容量を削減すること、制御に要する時間を削減すること等の効果を更に高めることが可能である。また、第3実施形態に係るメモリシステム100は、第2実施形態と同様に、受信した信号のうち、振幅の小さい信号を終端することが可能である。以下、第3実施形態に係るメモリシステム100の詳細な効果について説明される。

[0316] 第3実施形態に係るメモリシステム100において、メモリコントローラ300は送信方法を1種類、受信方法を1種類有していて、半導体記憶装置200は、送信方法を1種類、受信方法を1種類有している。このため第3実施形態に係るメモリシステム100は、第2実施形態と比較して、送信部及び受信部の構成を簡略化することが可能である。送信部及び受信部の構成が簡略化することにより、第3実施形態に係るメモリシステム100は、第2実施形態に係るメモリシステム100と比較して、回路面積を削減することと、入出力ピンに寄生している容量を削減することが可能である。

[0317] また、第2実施形態に係るメモリシステム100は、送信部302に送信方法を2種類、受信部201に受信方法を2種類有していることから、それぞれの送受信方法を用いるかを制御するためにイネーブル信号を2種類使い、参照電圧を2種類使い、更に終端回路をイネーブルにするかどうかを使い分けている。

[0318] 第3実施形態に係るメモリシステム100において、送信部302__Cから送信され、受信部201__Cが受信する信号は信号LVSTL__OUT1の1種類のみであり、送信部202__Cから送信され、受信部301__Cが受信する信号は信号LVSTL__OUT2の1種類のみである。このため第3実施形態に係るメモリシステム100が有するイネーブル信号と参照電圧VREFqはそれぞれ1種類のみであり、終端回路も常にイネーブルであるため、第2実施形態よりも制御が容易である。

[0319] さらに、第3実施形態に係るメモリシステム100は、振幅の小さいDQ信号のみを送受信する。そのため、第3実施形態に係るメモリシステム100は、高速な送受信を行うことに適している。

[0320] また、第3実施形態に係るメモリシステム100は、第1及び第2実施形態に係るメモリシステム100と同様に、振幅の小さい信号を送受信することが可能な送受信部を備えていることにより、LVSTLの終端回路を用いることが出来る。このため、第2実施形態に係るメモリシステム100は、LVSTLの終端回路をイネーブルすることによって、信号の振幅を更に小さくすることが可能であり、更に高速な送受信を行うことが可能である。また、LVSTL方式による終端回路は、終端での貫通電流を抑制することが出来るので、例えばCTT方式やPOD方式のようなLegacy方式による終端回路と比較して、消費電力を抑制することが可能である。第3実施形態に係るメモリシステム100は、消費電力の少ないLVSTL方式による終端回路を用いているため、終端回路を長時間イネーブルにすることが可能である。

[0321] [4] 第4実施形態

以下、第4実施形態に係るメモリコントローラ300及び半導体記憶装置200について説明される。

[0322] [4-1] 構成（構造）

第4実施形態に係るメモリコントローラ300及び半導体記憶装置200は、以下の1点を除いて第1実施形態と同様の構造を有する。すなわち、第

4実施形態に係るメモリコントローラ300は、終端回路303を有しない。

[0323] 第4実施形態に係るメモリシステム100において、第1実施形態とさらに異なる点は、半導体記憶装置200における配線の終端方法である。その他の点については、第4実施形態は、第1実施形態と同様である。以下では、第4実施形態に係るメモリシステム100について、第1実施形態と異なる点について主に説明される。

[0324] 第1実施形態では、メモリコントローラ300とNANDチップA200Aとの間の通信のためにノードDQ1を終端するときに、NANDチップA200Aの終端回路203が用いられる。これに対して、第4実施形態では、メモリコントローラ300とNANDチップA200Aとの間の通信のためにノードDQ1を終端するときに、NANDチップC200Cの終端回路203が使用される。NANDチップC200Cの終端回路203は、NANDチップA200Aの終端回路203と区別するため、以下では終端回路203__Cと称される場合がある。同様に、NANDチップC200Cの終端回路218～220及び222は、NANDチップA200Aの終端回路218～220及び222と区別するため、以下では終端回路218__C～220__C及び222__Cと称される場合がある。第4実施形態では、メモリコントローラ300とNANDチップA200Aとの間の通信のためにノードDQS1、DQSn1、REn1、及びRE1を終端するときに、それぞれ終端回路218__C～220__C及び222__Cが使用される。

[0325] 終端回路203__Cは、NANDチップA200Aの終端回路203と同様の構造及び機能を有する。ここまで記載された点以外については、第4実施形態は、第1実施形態と同様である。例えば、第4実施形態に係る送信部202、215、216、302、309～311、及び314並びに受信部201、212～214、221、301、306、及び307は、第1実施形態と同様の構造及び機能を有する。

[0326] [4-2] 動作

第1実施形態と同様に、第4実施形態に係る半導体記憶装置200において、NANDチップA200A（図2にて記載）の送受信方法及び終端方法と同様の送受信方法及び終端方法を、NANDチップB200B、NANDチップC200C、及びNANDチップD200Dも有する。

[0327] 第1実施形態において記述されるように、NANDチップA200Aが選択NANDチップである場合、NANDチップA200Aの終端回路がイネーブルされてもよいし、非選択NANDチップの終端回路がイネーブルされてもよい。第4実施形態では、選択NANDチップがNANDチップA200Aであり、非選択NANDチップであるNANDチップC200Cの終端回路203__C、218__C～220__C、及び（又は）222__Cをイネーブルさせる場合の例について記載される。

[0328] 第4実施形態に係る半導体記憶装置200及びメモリコントローラ300が、DQ信号を受信する際の終端方法について述べる。図36は、第4実施形態に係る半導体記憶装置200及びメモリコントローラに300における信号DQの終端方法を示す。図36に示されるように、NANDチップC200Cの終端回路203__Cは、受信部201が信号LVSTL__IN1を受信するとき、及び受信部301が信号LVSTL__IN2を受信するとき、ノードDQIを終端する。終端回路203__Cは、受信部201が信号Legacy__IN1を受信するとき、及び受信部301が信号Legacy__IN2を受信するとき、ノードDQIを終端していない。

[0329] 第4実施形態に係る半導体記憶装置200は、第1実施形態と同様に、信号DQ、DQS、及びDQSnの送信方法をそれぞれ2種類、信号DQ、DQS、DQSn、REn、及びREの受信方法をそれぞれ2種類有し、どの送受信方法が選択されるかは、信号DQの種類によって決定される。また、半導体記憶装置200は、送受信方法に応じて終端方法を選択できる。ノードDQIの終端には、NANDチップC200Cの終端回路203__Cが用いられる。同様に、第4実施形態に係るメモリコントローラ300は、第1実施形態と同様に、信号DQ、DQS、DQSn、REn、及びREの送信

方法をそれぞれ2種類、信号DQ、DQS、及びDQSnの受信方法をそれぞれ2種類有し、どの送受信方法が選択されるかは、信号DQの種類によって決定される。また、メモリコントローラ300は、送受信方法に応じて終端方法を選択できる。

[0330] 以下では、コマンド又はアドレス、ステータス、パラレルステータス、SetFeature、DataOutput、及びDataInputの6種類の信号DQが送受信される場合における、信号DQ、DQS、DQSn、REn、及びREの送受信方法及び終端方法について記述される。

[0331] 図37は、信号DQ、DQS、及びREの送受信方法及び終端方法の一例である。図37は、信号DQS及びDQSnのうちの信号DQSについて示すが、信号DQSnは、信号DQSの反転論理の信号であり、よって、信号DQSと同じである。また、図37は、信号REn及びREのうちの信号REについて示すが、信号REnは、信号REの反転論理の信号であり、よって、信号REと同じである。図36で述べられたように、第4実施形態では、終端回路として、非選択NANDチップであるNANDチップC200Cの有する終端回路203__C、218__C、219__C、220、及び（又は）222__Cのみが使用される。図37に示されるように、信号DQの種類がコマンド又はアドレスであるとき、ステータスであるとき、パラレルステータスであるときについては、第1実施形態（図19を参照）と同じである。

[0332] 次に、信号DQの種類がFeatureDataであるとき、信号DQとして、信号LVSTL__IN1がメモリコントローラ300から送信され、NANDチップA200Aによって受信される。このときNANDチップC200Cの終端回路203__CはノードDQIを終端する。また、信号DQSとして信号LVSTL__DQS1がメモリコントローラ300から送信され、NANDチップA200Aによって受信される。このときNANDチップC200Cの終端回路218__C及び219__CはノードDQS1及びDQSn1を終端する。

[0333] 次に、信号DQの種類がDataOutputであるとき、信号DQとして、信号LVSTL__IN2がNANDチップA200Aから送信され、メモリコントローラ300によって受信される。このときNANDチップC200Cの終端回路203__CはノードDQIを終端する。また、信号DQSとして信号LVSTL__DQS2がNANDチップA200Aから送信され、メモリコントローラ300によって受信される。このときNANDチップC200Cの終端回路218__C及び219__CはノードDQSI及びDQSnIを終端する。このように、第1実施形態と異なり、メモリコントローラ300が信号を受信する場合において、メモリコントローラ300の有する終端回路は、配線の終端をせず、NANDチップC200Cの有する終端回路203__C、218__C、219__C、220、及び（又は）222__Cが配線を終端する。また、信号REとして、信号LVSTL__RE1がメモリコントローラ300からNANDチップA200Aに送信される。このときNANDチップC200Cの終端回路220__C及び222__CはそれぞれノードREnI及びREIを終端する。

[0334] 次に、信号DQの種類がDataInputであるとき、信号DQとして、信号LVSTL__IN1が、メモリコントローラ300からNANDチップA200Aに送信される。このときNANDチップC200Cの終端回路203__CはノードDQIを終端する。また、信号DQSとして、信号LVSTL__DQS1がメモリコントローラ300からNANDチップA200Aに送信される。このときNANDチップC200Cの終端回路218__C及び219__CはノードDQSI及びDQSnIを終端する。

[0335] 図37で述べられたように、第4実施形態に係るメモリコントローラ300及び（又は）半導体記憶装置200は、信号DQの種類がFeatureData、DataOutput、及びDataInputであるとき、各ノードの終端を行う。以下では終端回路がイネーブルになるタイミングについて述べる。

[0336] 図38は、第4実施形態に係るメモリシステム100における信号のタイ

ミングチャートの一例である。図38は、信号DQの種類がFeature Dataであるとき、終端回路がイネーブルになるタイミングを示している。図38には、図20と同様に、信号CEn1、CEn2、CLE、ALE、WE_n、RE_n、RE、DQS、DQSn、及びDQのタイミングチャートが示されている。

[0337] 時刻t₂から時刻t₉までの期間において、信号CEn1、CLE、ALE、WE_n、RE_n、RE、DQS、DQSn、及びDQのタイミングチャートは、第1実施形態の図20と同様であるため、説明は省略される。信号CEn2についてと、時刻t_aから時刻t_dまで及び時刻t_eから時刻t_hまでの期間における信号CEn1、CLE、ALE、WE_n、RE_n、RE、DQS、DQSn、及びDQについて主に述べる。

[0338] 前述の通り、第1～第3実施形態に係るメモリシステム100は、NANDチップA200Aの有する終端回路203、218、219、220、及び（又は）222をイネーブルにするために、専用のコマンド等は用いていない。これに対して、第4実施形態に係るメモリシステム100は、NANDチップC200Cの有する終端回路203__C、218__C、219__C、220、及び（又は）222__Cをイネーブルにするタイミングを決定するために専用のコマンドを用いている。

[0339] 具体的には、メモリコントローラ300は、信号DQにおいてODTコマンド95h、アドレスADD、及びODT終了コマンド9Bhを送信すること、及び信号CEn2の制御を行うことにより、NANDチップC200Cの有する終端回路203__C、218__C、219__C、220__C、及び（又は）222__Cをイネーブルにするタイミングを制御している。

[0340] 時刻t_aにおいて、メモリコントローラ300は、信号CEn2をローレベルにする。これにより、NANDチップC200C及びNANDチップD200Dがイネーブルになる。時刻t_b及びt_cを含む期間に亘って、メモリコントローラ300は、信号CLEをハイレベルにするとともに、信号DQとしてODTコマンド95h及びアドレスADDを送信する。ODTコマ

ンド95hは、アドレスADDによって指定されるNANDチップ200の有する終端回路203__C、218__C、219__C、220__C、及び（又は）222__Cを、当該NANDチップ200がイネーブルになっている期間においてイネーブルにする。また、ODTコマンド95hは、対象のNANDチップ200に、当該NANDチップ200の終端回路203、218、及び219をイネーブルにすることを指示する。第4実施形態の場合は、アドレスADDによって指定されたNANDチップC200Cの有する終端回路203__C、218__C、219__C、220__C、及び（又は）222__Cが、信号CEn2がローレベルである期間においてイネーブルになる。ODTコマンド95h及びアドレスADDの送信に伴って、時刻tb及びtcにおいて、メモリコントローラ300は、信号WE_nをハイレベルにする。

[0341] 時刻tdにおいて、メモリコントローラ300は、信号CE_{n1}をローレベルにし、信号CE_{n2}をハイレベルにする。これにより、NANDチップA200A及びNANDチップB200Bがイネーブルになり、NANDチップC200C及びNANDチップD200Dがディセーブルになる。

[0342] 時刻t5から時刻teまでの期間において、メモリコントローラ300は、信号CE_{n2}をローレベルにする。これにより、NANDチップC200C及びNANDチップD200Dがイネーブルになる。時刻teにおいて、メモリコントローラ300は、信号CE_{n1}及びCE_{n2}をハイレベルにする。これにより、NANDチップA200A、NANDチップB200B、NANDチップC200C、及びNANDチップD200Dがディセーブルになる。

[0343] 時刻tfから時刻thまでの期間において、メモリコントローラ300は、信号CE_{n2}をローレベルにする。これにより、NANDチップC200C及びNANDチップD200Dがイネーブルになる。時刻tgにおいて、メモリコントローラ300は、信号DQとしてODT終了コマンド9Bhを送信する。ODT終了コマンド9Bhは、信号CE_{n2}がローレベルである

期間において、NANDチップC200Cの有する終端回路203__C、218__C、219__C、220__C、及び（又は）222__Cをイネーブルにする、という指示を終わらせるコマンドである。ODTコマンド95h及びアドレスADDが送信されてから、ODT終了コマンド9Bhが送信されるまでの期間において、NANDチップC200Cの有する終端回路203__C、218__C、219__C、220__C、及び（又は）222__Cは、信号CEn2がローレベルである間、すなわち、時刻t5と時刻teの間と、時刻tfと時刻tgの間に亘って、イネーブルになる。ODT終了コマンド9Bhの送信に伴って、時刻tgにおいて、メモリコントローラ300は、信号WE nをハイレベルにする。

[0344] 時刻thにおいて、メモリコントローラ300は、信号CEn2をハイレベルにする。これにより、NANDチップC200C及びNANDチップD200Dはディセーブルになる。

[0345] このように、メモリコントローラ300は、信号DQにおいてODTコマンド95h、アドレスADD、及びODT終了コマンド9Bhを送信すること、並びに信号CEn2の制御を行うことにより、NANDチップC200Cの有する終端回路203__C、218__C、219__C、220__C、及び（又は）222__Cをイネーブルにするタイミングを制御している。メモリコントローラ300の指示に基づいて、NANDチップC200Cは、時刻t5において、NANDチップC200Cの終端回路203__C、218__C及び219__Cをイネーブルにし、時刻teにおいて、終端回路203__C、218__C及び219__Cをディセーブルにする。言い換えると、終端回路203__C、218__C及び219__CがそれぞれノードDQl、DQS l及びDQS n lを終端する、すなわち終端回路203__C、218__C及び219__Cがイネーブルになる時間は、時刻t5から時刻teまでの間である。

[0346] 同様に、時刻tfから時刻tgの間においても、メモリコントローラ300の指示に基づいて、NANDチップC200Cは、NANDチップC20

OCの終端回路203__C、218__C、及び219__Cをイネーブルにする。しかしながらこれは、ODT終了コマンド9Bhが有効になるまでの期間において、意図せず終端回路がイネーブルになる条件を満たし、結果的に終端回路がイネーブルになっているに過ぎない。すなわちノードDQl、DQS l、及びDQSn lの終端を意図的に行っているわけではなく、時刻t_fから時刻t_gの間の終端は行われなくても良い。

[0347] 図39は、第4実施形態に係るメモリシステム100における信号のタイミングチャートの一例である。図39は、信号DQの種類がData Outputであるとき、終端回路がイネーブルになるタイミングを示している。図39には、図21と同様に、信号CEn1、CEn2、CLE、ALE、WEn、REn、RE、DQS、DQSn、及びDQのタイミングチャートが示されている。

[0348] 時刻t₂から時刻t₉までの期間において、信号CEn1、CLE、ALE、WEn、REn、RE、DQS、DQSn、及びDQのタイミングチャートは、第1実施形態の図21と同様であるため、説明は省略される。信号CEn2についてと、時刻t_aから時刻t_dまで及び時刻t_eから時刻t_hまでの期間における信号CEn1、CLE、ALE、WEn、REn、RE、DQS、DQSn、及びDQについて主に述べる。

[0349] 図39では、図38と同様に、NANDチップC200Cの有する終端回路203__C、218__C、219__C、220__C、及び（又は）222__Cをイネーブルにするタイミングを決定するために専用のコマンドを用いている。具体的には、メモリコントローラ300は、信号DQにおいてODTコマンド97h、アドレスADD、及びODT終了コマンド9Bhを送信すること、及び信号CEn2の制御を行うことにより、NANDチップC200Cの有する終端回路203__C、218__C、219__C、220__C、及び（又は）222__Cをイネーブルにするタイミングを制御している。ODTコマンド97hは、前述のODTコマンド95hと同様に、アドレスADDによって指定されるチップの有する終端回路を、当該チップがイネー

ブルになっている期間においてイネーブルにするコマンドである。また、ODTコマンド97hは、対象のNANDチップ200に、当該NANDチップ200の終端回路203、218、219、220、及び222をイネーブルにすることを指示する。

[0350] 時刻 t_a において、メモリコントローラ300は、信号 CE_n2 をローレベルにする。これにより、NANDチップC200C及びNANDチップD200Dがイネーブルになる。時刻 t_b 及び t_c を含む期間に亘って、メモリコントローラ300は、信号 CLE をハイレベルにするとともに、信号 DQ としてODTコマンド97h及びアドレスADDを送信する。これにより、アドレスADDによって指定されたNANDチップC200Cの有する終端回路203__C、218__C、219__C、220__C、及び（又は）222__Cが、信号 CE_n2 がローレベルである期間においてイネーブルになる。ODTコマンド97h及びアドレスADDの送信に伴って、時刻 t_b 及び t_c において、メモリコントローラ300は、信号 WE_n をハイレベルにする。

[0351] 時刻 t_d において、メモリコントローラ300は、信号 CE_n1 をローレベルにし、信号 CE_n2 をハイレベルにする。これにより、NANDチップA200A及びNANDチップB200Bがイネーブルになり、NANDチップC200C及びNANDチップD200Dがディセーブルになる。

[0352] 時刻 t_9 から時刻 t_e までの期間において、メモリコントローラ300は、信号 CE_n2 をローレベルにする。これにより、NANDチップC200C及びNANDチップD200Dがイネーブルになる。時刻 t_e において、メモリコントローラ300は、信号 CE_n1 及び CE_n2 をハイレベルにする。これにより、NANDチップA200A、NANDチップB200B、NANDチップC200C、及びNANDチップD200Dがディセーブルになる。

[0353] 時刻 t_f から時刻 t_h までの期間において、メモリコントローラ300は、信号 CE_n2 をローレベルにする。これにより、NANDチップC200

C及びNANDチップD200Dがイネーブルになる。時刻t_gにおいて、メモリコントローラ300は、信号DQとしてODT終了コマンド9Bhを送信する。ODT終了コマンド9Bhによって、メモリコントローラ300は、NANDチップC200Cの有する終端回路203__C、218__C、219__C、220__C、及び（又は）222__Cをディセーブルにする。ODT終了コマンド9Bhの送信に伴って、時刻t_gにおいて、メモリコントローラ300は、信号WE_nをハイレベルにする。

[0354] 時刻t_hにおいて、メモリコントローラ300は、信号CE_{n2}をハイレベルにする。これにより、NANDチップC200C及びNANDチップD200Dはディセーブルになる。

[0355] このように、メモリコントローラ300は、信号DQにおいてODTコマンド97h、アドレスADD、及びODT終了コマンド9Bhを送信すること、並びに信号CE_{n2}の制御を行うことにより、NANDチップC200Cの有する終端回路203__C、218__C、219__C、220__C、及び（又は）222__Cをイネーブルにするタイミングを制御している。

[0356] また、メモリコントローラ300の指示に基づいて、NANDチップC200Cは、時刻t₉において、NANDチップC200Cの終端回路203__C、218__C～220__C及び222__Cをイネーブルにし、時刻t_eにおいて、終端回路203__C、218__C～220__C及び222__Cをディセーブルにする。言い換えると、終端回路203__C、218__C～220__C及び222__CがそれぞれノードDQ_l、DQS_l、DQS_{n_l}、RE_{n_l}、及びRE_lを終端する、すなわち終端回路203__C、218__C～220__C及び222__Cがイネーブルになる時間は、時刻t₉から時刻t_eまでの間である。

[0357] 同様に、時刻t_fから時刻t_gの間においても、メモリコントローラ300の指示に基づいて、NANDチップC200Cは、NANDチップC200Cの終端回路203__C、218__C～220__C及び222__Cをイネーブルにする。しかしながらこれは、ODT終了コマンド9Bhが有効にな

るまでの期間において、意図せず終端回路がイネーブルになる条件を満たし、結果的に終端回路がイネーブルになっているに過ぎない。すなわちノードDQ_l、DQS_l、DQS_{n_l}、RE_{n_l}、及びRE_lの終端を意図的に行っているわけではなく、時刻t_fから時刻t_gの間の終端は行われなくても良い。

[0358] 図40は、第4実施形態に係るメモリシステム100における信号のタイミングチャートの一例である。図40は、信号DQの種類がData Inputであるとき、終端回路がイネーブルになるタイミングを示している。図40には、図22と同様に、信号CE_{n1}、CE_{n2}、CLE、ALE、WE_n、RE_n、RE、DQS、DQS_n、及びDQのタイミングチャートが示されている。

[0359] 時刻t₂から時刻t₉までの期間において、信号CE_{n1}、CLE、ALE、WE_n、RE_n、RE、DQS、DQS_n、及びDQのタイミングチャートは、第1実施形態の図22と同様であるため、説明は省略される。信号CE_{n2}についてと、時刻t_aから時刻t_dまで及び時刻t_eから時刻t_hまでの期間における信号CE_{n1}、CLE、ALE、WE_n、RE_n、RE、DQS、DQS_n、及びDQについて主に述べる。

[0360] 図40では、図38と同じく、NANDチップC200Cの有する終端回路203__C、218__C、219__C、220__C、及び(又は)222__Cをイネーブルにするタイミングを決定するために専用のコマンドを用いている。

[0361] 時刻t_aにおいて、メモリコントローラ300は、信号CE_{n2}をローレベルにする。これにより、NANDチップC200C及びNANDチップD200Dがイネーブルになる。時刻t_b及びt_cを含む期間に亘って、メモリコントローラ300は、信号CLEをハイレベルにするとともに、信号DQとしてODTコマンド95h及びアドレスADDを送信する。これにより、アドレスADDによって指定されたNANDチップC200Cの有する終端回路203__C、218__C、219__C、220__C、及び(又は)2

22__Cが、信号CE_n2がローレベルである期間においてイネーブルになる。ODTコマンド95h及びアドレスADDの送信に伴って、時刻t_b及びt_cにおいて、メモリコントローラ300は、信号WE_nをハイレベルにする。

[0362] 時刻t_dにおいて、メモリコントローラ300は、信号CE_n1をローレベルにし、信号CE_n2をハイレベルにする。これにより、NANDチップA200A及びNANDチップB200Bがイネーブルになり、NANDチップC200C及びNANDチップD200Dがディセーブルになる。

[0363] 時刻t₈から時刻t₉までの期間において、メモリコントローラ300は、信号CE_n2をローレベルにする。これにより、NANDチップC200C及びNANDチップD200Dがイネーブルになる。時刻t₉において、メモリコントローラ300は、信号CE_n2をハイレベルにする。これにより、NANDチップC200C及びNANDチップD200Dがディセーブルになる。時刻t_eにおいて、メモリコントローラ300は、信号CE_n1をハイレベルにする。これにより、NANDチップA200A及びNANDチップB200Bがディセーブルになる。

[0364] 時刻t_fから時刻t_hまでの期間において、メモリコントローラ300は、信号CE_n2をローレベルにする。これにより、NANDチップC200C及びNANDチップD200Dがイネーブルになる。時刻t_gにおいて、メモリコントローラ300は、信号DQとしてODT終了コマンド9Bhを送信する。ODT終了コマンド9Bhによって、メモリコントローラ300は、NANDチップC200Cの有する終端回路203__C、218__C、219__C、220__C、及び（又は）222__Cをディセーブルにする。ODT終了コマンド9Bhの送信に伴って、時刻t_gにおいて、メモリコントローラ300は、信号WE_nをハイレベルにする。

時刻t_hにおいて、メモリコントローラ300は、信号CE_n2をハイレベルにする。これにより、NANDチップC200C及びNANDチップD200Dはディセーブルになる。

[0365] メモリコントローラ300の指示に基づいて、NANDチップC200Cは、時刻t8において、NANDチップC200Cの終端回路203__C、218__C及び219__Cをイネーブルにし、時刻t9において、終端回路203__C、218__C及び219__Cをディセーブルにする。言い換えると、終端回路203__C、218__C及び219__CがノードDQ1、DQS1及びDQSn1を終端する、すなわち終端回路203__C、218__C及び219__Cがイネーブルになる時間は、時刻t8から時刻t9までの間である。

[0366] 同様に、時刻tfから時刻tgの間においても、メモリコントローラ300の指示に基づいて、NANDチップC200Cは、NANDチップC200Cの終端回路203__C、218__C、及び219__Cをイネーブルにする。しかしながらこれは、ODT終了コマンド9Bhが有効になるまでの期間において、意図せず終端回路がイネーブルになる条件を満たし、結果的に終端回路がイネーブルになっているに過ぎない。すなわちノードDQ1、DQS1、及びDQSn1の終端を意図的に行っているわけではなく、時刻tfから時刻tgの間の終端は行われなくても良い。

[0367] 以上のタイミングチャートより、第4実施形態に係るメモリシステム100における、終端回路がイネーブルになるタイミングについてまとめる。NANDチップC200Cの有する終端回路203__C、218__C、219__C、220__C、及び（又は）222__Cをイネーブルにするタイミングは、メモリコントローラ300が、信号DQにおいてODTコマンド95h又は97h、アドレスADD、及びODT終了コマンド9Bhを送信すること、並びに信号CEn2の制御を行うことにより制御している。すなわち、終端回路をイネーブルにするための専用のコマンドを用いている。

[0368] [4-3] 利点（効果）

以上で説明した第4実施形態に係るメモリシステム100は、第1実施形態と同じく、送信部202及び302並びに受信部201及び301を備えている。このため、第1実施形態と同じ効果を得られる。

[0369] 第4実施形態に係るメモリシステム100によれば、第1実施形態と異なり、半導体記憶装置200において配線の終端を行う際に、非選択NANDチップが有する終端回路を使用している。配線の終端を行う終端回路に、非選択NANDチップの有する終端回路を用いると、選択NANDチップの有する終端回路を用いる場合と比較して、信号が配線を伝搬する際の反射をさらに低減できる。

[0370] このため、第4実施形態に係るメモリシステム100は、第1実施形態に係るメモリシステム100よりも、配線を終端する際の、配線のインピーダンスの整合性が高く、受信した信号の特性が良くなる場合がある。

[0371] 第4実施形態においては、配線を終端する際に、NANDチップC200Cの有する終端回路203__C、218__C、219__C、220__C、及び（又は）222__Cのみを使用する例を示したが、他のNANDチップが有する終端回路を組み合わせ使用しても良い。例えば、ノードDQ1を終端する場合に、NANDチップC200Cの終端回路203__Cだけ使用するのではなく、NANDチップA200Aの終端回路203も併せて使用して終端を行っても良い。

[0372] [5] 第5実施形態

以下、第5実施形態に係るメモリコントローラ300及び半導体記憶装置200について説明される。

[0373] [5-1] 構成（構造）

第5実施形態に係るメモリコントローラ300及び半導体記憶装置200は、以下の1点を除いて第2実施形態と同様の構造を有する。すなわち、第5実施形態に係るメモリコントローラ300は、終端回路303を有しない。

[0374] 第5実施形態に係るメモリシステム100において、第2実施形態とさらに異なる点は、半導体記憶装置200における配線の終端方法である。その他の点については、第5実施形態は、第2実施形態と同様である。以下では、第5実施形態に係るメモリシステム100について、第2実施形態と異な

る点について主に説明される。

[0375] 第2実施形態では、メモリコントローラ300とNANDチップA200Aとの間の通信のためにノードDQ1を終端するときに、NANDチップA200Aの終端回路203が用いられる。これに対して、第5実施形態では、メモリコントローラ300とNANDチップA200Aとの間の通信のためにノードDQ1を終端するときに、第4実施形態と同様に、NANDチップC200Cの終端回路203__Cが使用される。同様に、第5実施形態では、メモリコントローラ300とNANDチップA200Aとの間の通信のためにノードDQS1、DQSn1、REn1、及びRE1を終端するときに、終端回路218__C～220__C及び222__Cが使用される。

[0376] ここまで記載された点以外については、第5実施形態は、第2実施形態と同様である。例えば、第5実施形態に係る送信部202__B、215__B、216__B、302、309～311、及び314並びに受信部201、212～214、221、301__B、306__B、及び307__Bは、第2実施形態と同様の構造及び機能を有する。

[0377] [5-2] 動作

第1実施形態と同様に、第5実施形態に係る半導体記憶装置200において、NANDチップA200A（図2にて記載）の送受信方法及び終端方法と同様の送受信方法及び終端方法を、NANDチップB200B、NANDチップC200C、及びNANDチップD200Dも有する。

[0378] 第1実施形態において記述されるように、NANDチップA200Aが選択NANDチップである場合、NANDチップA200Aの終端回路がイネーブルされてもよいし、非選択NANDチップの終端回路がイネーブルされてもよい。第5実施形態では、選択NANDチップがNANDチップA200Aであり、非選択NANDチップであるNANDチップC200Cの終端回路をイネーブルさせる場合の例について記載される。

[0379] 第5実施形態に係る半導体記憶装置200及びメモリコントローラ300が、DQ信号を受信する際の終端方法について述べる。図41は、第5実施

形態に係る半導体記憶装置200及びメモリコントローラに300における信号DQの終端方法を示す。図41に示されるように、NANDチップC200Cの終端回路203__Cは、受信部201が信号LVSTL__IN1を受信するとき、及び受信部301__Bが信号LVSTL__IN2を受信するとき、ノードDQ1を終端する。終端回路203__Cは、受信部201が信号Legacy__IN1を受信するとき、ノードDQ1を終端していない。

[0380] 第5実施形態に係る半導体記憶装置200は、第2実施形態と同様に、信号DQ、DQS、及びDQSnの送信方法をそれぞれ1種類、信号DQ、DQS、DQSn、REn、及びREの受信方法をそれぞれ2種類有し、どの受信方法が選択されるかは、信号DQの種類によって決定される。また、半導体記憶装置200は、送受信方法に応じて終端方法を選択できる。ノードDQ1の終端には、NANDチップC200Cの終端回路203__Cが用いられる。また、第5実施形態に係るメモリコントローラ300は、第2実施形態と同様に、信号DQ、DQS、DQSn、REn、及びREの送信方法をそれぞれ2種類、信号DQ、DQS、及びDQSnの受信方法をそれぞれ1種類有し、どの送信方法が選択されるかは、信号DQの種類によって決定される。また、メモリコントローラ300は、送受信方法に応じて終端方法を選択できる。

[0381] 以下では、コマンド又はアドレス、ステータス、パラレルステータス、FeatureData、DataOutput、及びDataInputの6種類の信号DQが送受信される場合における、信号DQ、DQS、DQSn、REn、及びREの送受信方法及び終端方法について記述される。

[0382] 図42は、信号DQ、DQS、及びREの送受信方法及び終端方法の一例である。図42は、信号DQS及びDQSnのうちの信号DQSについて示すが、信号DQSnは、信号DQSの反転論理の信号であり、よって、信号DQSと同じである。また、図42は、信号REn及びREのうちの信号REについて示すが、信号REnは、信号REの反転論理の信号であり、よって、信号REと同じである。図41で述べられたように、第5実施形態では

、終端回路として、非選択NANDチップであるNANDチップC200Cの有する終端回路203__C、218__C、219__C、220__C、及び（又は）222__Cのみが使用される。図42に示されるように、信号DQの種類がコマンド又はアドレスであるときには、第2実施形態（図26を参照）と同じである。

[0383] 次に、信号DQの種類がステータスであるとき、信号DQとして、信号LVSTL__IN2がNANDチップA200Aから送信され、メモリコントローラ300によって受信される。このときNANDチップC200Cの終端回路203__CはノードDQIを終端する。また、信号DQSとして信号LVSTL__DQS2がNANDチップA200Aから送信され、メモリコントローラ300によって受信される。このときNANDチップC200Cの終端回路218__C及び219__CはノードDQSI及びDQSnIを終端する。また、信号REとして、信号LVSTL__RE1がメモリコントローラ300から送信され、NANDチップA200Aによって受信される。このときNANDチップC200Cの終端回路220__C及び222__CはノードREnI及びREIを終端する。

[0384] 次に、信号DQの種類がパラレルステータスであるとき、信号DQとして、信号LVSTL__IN2がNANDチップA200A及びNANDチップB200Bから送信され、メモリコントローラ300によって受信される。このときNANDチップC200Cの終端回路203__CはノードDQIを終端する。また、信号DQSとして、信号LVSTL__DQS2がNANDチップA200A及びNANDチップB200Bから送信され、メモリコントローラ300によって受信される。このときNANDチップC200Cの終端回路218__C及び219__CはノードDQSI及びDQSnIを終端する。また、信号REとして、信号LVSTL__RE1がメモリコントローラ300から送信され、NANDチップA200A及びNANDチップB200Bによって受信される。このときNANDチップC200Cの終端回路220__C及び222__CはノードREnI及びREIを終端する。

- [0385] また、信号DQの種類がFeatureDataであるとき、DataOutputであるとき、DataInputであるときについては、第4実施形態（図37を参照）と同じである。
- [0386] 図42で述べられたように、第5実施形態に係るメモリコントローラ300及び（又は）半導体記憶装置200は、信号DQの種類がステータス、パラレルステータス、FeatureData、DataOutput、及びDataInputであるとき、各ノードの終端を行う。以下では終端回路がイネーブルになるタイミングについて述べる。
- [0387] 図43は、第5実施形態に係るメモリシステム100における信号のタイミングチャートの一例である。図43は、信号DQの種類がステータス及びパラレルステータスであるとき、終端回路がイネーブルになるタイミングを示している。ステータスとパラレルステータスについては同様のタイミングチャートを有するため、どちらも図43を用いて説明される。図43には、図27と同様に、信号CEn1、CEn2、CLE、ALE、WEn、REn、RE、DQS、DQSn、及びDQのタイミングチャートが示されている。
- [0388] 時刻t2から時刻t3までの期間において、信号CEn1、CLE、ALE、WEn、REn、RE、DQS、DQSn、及びDQのタイミングチャートは、第2実施形態の図27と同様であるため、説明は省略される。信号CEn2についてと、時刻taから時刻tdまで及び時刻teから時刻thまでの期間における信号CEn1、CLE、ALE、WEn、REn、RE、DQS、DQSn、及びDQについて主に述べる。
- [0389] 第5実施形態に係るメモリシステム100は、第4実施形態と同様に、NANDチップC200Cの有する終端回路203__C、218__C、219__C、220__C、及び（又は）222__Cをイネーブルにするタイミングを決定するために専用のコマンドを用いている。具体的には、メモリコントローラ300は、信号DQにおいてODTコマンド97h、アドレスADD、及びODT終了コマンド9Bhを送信すること、及び信号CEn2の制御

を行うことにより、NANDチップC200Cの有する終端回路203__C、218__C、219__C、220__C、及び（又は）222__Cをイネーブルにするタイミングを制御している。

[0390] 時刻t_aにおいて、メモリコントローラ300は、信号CEn2をローレベルにする。これにより、NANDチップC200C及びNANDチップD200Dがイネーブルになる。時刻t_b及びt_cを含む期間に亘って、メモリコントローラ300は、信号CLEをハイレベルにするとともに、信号DQとしてODTコマンド97h及びアドレスADDを送信する。これにより、アドレスADDによって指定されたNANDチップC200Cの有する終端回路203__C、218__C、219__C、220__C、及び（又は）222__Cが、信号CEn2がローレベルである期間においてイネーブルになる。ODTコマンド97h及びアドレスADDの送信に伴って、時刻t_b及びt_cにおいて、メモリコントローラ300は、信号WE_nをハイレベルにする。

[0391] 時刻t_dにおいて、メモリコントローラ300は、信号CEn1をローレベルにし、信号CEn2をハイレベルにする。これにより、NANDチップA200A及びNANDチップB200Bがイネーブルになり、NANDチップC200C及びNANDチップD200Dがディセーブルになる。

[0392] 時刻t₃から時刻t_eまでの期間において、メモリコントローラ300は、信号CEn2をローレベルにする。これにより、NANDチップC200C及びNANDチップD200Dがイネーブルになる。時刻t_eにおいて、メモリコントローラ300は、信号CEn1及びCEn2をハイレベルにする。これにより、NANDチップA200A、NANDチップB200B、NANDチップC200C、及びNANDチップD200Dがディセーブルになる。

[0393] 時刻t_fから時刻t_hまでの期間において、メモリコントローラ300は、信号CEn2をローレベルにする。これにより、NANDチップC200C及びNANDチップD200Dがイネーブルになる。時刻t_gにおいて、

メモリコントローラ300は、信号DQとしてODT終了コマンド9Bhを送信する。ODTコマンド97h及びアドレスADDが送信されてから、ODT終了コマンド9Bhが送信されるまでの期間において、NANDチップC200Cの有する終端回路203__C、218__C、219__C、220__C、及び（又は）222__Cは、信号CE_n2がローレベルである間、すなわち、時刻t₃と時刻t_eの間と、時刻t_fと時刻t_gの間に亘って、イネーブルになる。ODT終了コマンド9Bhの送信に伴って、時刻t_gにおいて、メモリコントローラ300は、信号WE_nをハイレベルにする

時刻t_hにおいて、メモリコントローラ300は、信号CE_n2をハイレベルにする。これにより、NANDチップC200C及びNANDチップD200Dはディセーブルになる。

[0394] このように、メモリコントローラ300は、信号DQにおいてODTコマンド97h、アドレスADD、及びODT終了コマンド9Bhを送信すること、並びに信号CE_n2の制御を行うことにより、NANDチップC200Cの有する終端回路203__C、218__C、219__C、220__C、及び（又は）222__Cをイネーブルにするタイミングを制御している。

[0395] メモリコントローラ300の指示に基づいて、NANDチップC200Cは、時刻t₃において、NANDチップC200Cの終端回路203__C、218__C～220__C、及び222__Cをイネーブルにし、時刻t_eにおいて、終端回路203__C、218__C～220__C、及び222__Cをディセーブルにする。言い換えると終端回路203__C、218__C～220__C、及び222__CがそれぞれノードDQ_l、DQS_l、DQS_n_l、RE_n_l、及びRE_lを終端する、すなわち終端回路203__C、218__C～220__C、及び222__Cがイネーブルになる時間は、時刻t₃から時刻t_eまでの間である。

[0396] 同様に、時刻t_fから時刻t_gの間においても、メモリコントローラ300の指示に基づいて、NANDチップC200Cは、NANDチップC200Cの終端回路203__C、218__C～220__C、及び222__Cをイ

ネーブルにする。しかしながらこれは、ODT終了コマンド9Bhが有効になるまでの期間において、意図せず終端回路がイネーブルになる条件を満たし、結果的に終端回路がイネーブルになっているに過ぎない。すなわちノードDQI、DQSI、DQSnI、REnI、及びREIの終端を意図的に行っているわけではなく、時刻t_fから時刻t_gの間の終端は行われなくても良い。

[0397] 信号DQの種類がパラレルステータスであるときのタイミングチャート及び終端回路がイネーブルになるタイミングについては、ステータスデータの内容の違いのみで、図43を参照して、ここまで述べられたステータスであるときと同じである。

[0398] 信号DQの種類がFeatureData、DataOutput、及びDataInputであるときのタイミングチャート及び終端回路がイネーブルになるタイミングは、第4実施形態と同じである。すなわち、信号DQの種類がFeatureDataであるときのタイミングチャート及び終端回路がイネーブルになるタイミングは、図38に示されるタイミングと同じである。信号DQの種類がDataOutputであるときのタイミングチャート及び終端回路がイネーブルになるタイミングは、図39に示されるタイミングと同じである。信号DQの種類がDataInputであるときのタイミングチャート及び終端回路がイネーブルになるタイミングは、図40に示されるタイミングと同じである。

[0399] 以上のタイミングチャートより、第5実施形態に係るメモリシステム100における、終端回路がイネーブルになるタイミングについてまとめる。NANDチップC200Cの有する終端回路203__C、218__C、219__C、220__C、及び（又は）222__Cをイネーブルにするタイミングは、メモリコントローラ300が、信号DQにおいてODTコマンド95h又は97h、アドレスADD、及びODT終了コマンド9Bhを送信すること、及び信号CE_n2の制御を行うことにより制御している。すなわち、終端回路をイネーブルにするための専用のコマンドを用いている。

[0400] [5-3] 利点 (効果)

以上で説明した第5実施形態に係るメモリシステム100は、第2実施形態と同じく、送信部202__B及び302並びに受信部201及び301__Bを備えている。このため、第2実施形態と同じ効果を得られる。

[0401] また、第5実施形態に係るメモリシステム100によれば、第2実施形態と異なるとともに第4実施形態と同じく、半導体記憶装置200において配線の終端を行う際に、非選択NANDチップが有する終端回路を使用している。このため、第2実施形態に係るメモリシステム100よりも、信号が配線を伝搬する際の反射をさらに低減できる。

[0402] 第5実施形態においては、配線を終端する際に、NANDチップC200Cの有する終端回路203__C、218__C、219__C、220__C、及び(又は)222__Cのみを使用する例を示したが、他のNANDチップが有する終端回路を組み合わせ使用しても良い。例えば、ノードDQ1を終端する場合に、NANDチップC200Cの終端回路203__Cだけ使用するのではなく、NANDチップA200Aの終端回路203も併せて使用して終端を行っても良い。

[0403] [6] 第6実施形態

以下、第6実施形態に係るメモリコントローラ300及び半導体記憶装置200について説明される。

[0404] [6-1] 構成 (構造)

第6実施形態に係るメモリコントローラ300及び半導体記憶装置200は、以下の1点を除いて第3実施形態と同様の構造を有する。すなわち、第6実施形態に係るメモリコントローラ300は、終端回路303を有しない。

[0405] 第6実施形態に係るメモリシステム100において、第3実施形態とさらに異なる点は、半導体記憶装置200における配線の終端方法である。その他の点については、第6実施形態は、第3実施形態と同様である。以下では、第6実施形態に係るメモリシステム100について、第3実施形態と異な

る点について主に説明される。

[0406] 第3実施形態では、メモリコントローラ300とNANDチップA200Aとの間の通信のためにノードDQ1を終端するときに、NANDチップA200Aの終端回路203が用いられる。これに対して、第6実施形態では、メモリコントローラ300とNANDチップA200Aとの間の通信のためにノードDQ1を終端するときに、第4及び第5実施形態と同様に、NANDチップC200Cの終端回路203__Cが使用される。同様に、第6実施形態では、メモリコントローラ300とNANDチップA200Aとの間の通信のためにノードDQS1、DQSn1、REn1、及びRE1を終端するときに、終端回路218__C～220__C及び222__Cが使用される。

[0407] ここまで記載された点以外については、第6実施形態は、第3実施形態と同様である。例えば、第6実施形態に係る送信部202__C、215__C、216__C、302__C、309__C～311__C、及び314__C並びに受信部201__C、212__C～214__C、221__C、301__C、306__C、及び307__Cは、第3実施形態と同様の構造及び機能を有する。

[0408] [6-2] 動作

第1実施形態と同様に、第6実施形態に係る半導体記憶装置200において、NANDチップA200A（図2にて記載）の送受信方法及び終端方法と同様の送受信方法及び終端方法を、NANDチップB200B、NANDチップC200C、及びNANDチップD200Dも有する。

[0409] 第1実施形態において記述されるように、NANDチップA200Aが選択NANDチップである場合、NANDチップA200Aの終端回路がイネーブルされてもよいし、非選択NANDチップの終端回路がイネーブルされてもよい。第6実施形態では、選択NANDチップがNANDチップA200Aであり、非選択NANDチップであるNANDチップC200Cの終端回路をイネーブルさせる場合の例について記載される。

- [0410] 第6実施形態に係る半導体記憶装置200及びメモリコントローラ300が、DQ信号を受信する際の終端方法について述べる。図44は、第6実施形態に係る半導体記憶装置200及びメモリコントローラに300における信号DQの終端方法を示す。図44に示されるように、NANDチップC200Cの終端回路203__Cは、受信部201__Cが信号LVSTL__IN1を受信するとき、及び受信部301__Cが信号LVSTL__IN2を受信するとき、ノードDQIを終端する。
- [0411] 第6実施形態に係る半導体記憶装置200は、第3実施形態と同様に、信号DQ、DQS、及びDQSnの送信方法をそれぞれ1種類、信号DQ、DQS、DQSn、REn、及びREの受信方法をそれぞれ1種類有し、送受信方法は信号DQの種類に依らず、常に振幅の小さい信号を送受信する。また、半導体記憶装置200においてNANDチップA200Aの受信部201__Cが信号を受信する際、NANDチップC200Cの終端回路203__Cは常にノードDQIを終端している。同様に、第6実施形態に係るメモリコントローラ300は、第3実施形態と同様に、信号DQ、DQS、DQSn、REn、及びREの送信方法をそれぞれ1種類、信号DQ、DQS、及びDQSnの受信方法をそれぞれ1種類有し、送受信方法は信号DQの種類に依らず、常に振幅の小さい信号を送受信する。また、メモリコントローラ300において受信部301__Cが信号を受信する際、終端回路203__Cは常にノードDQIを終端している。
- [0412] 以下では、コマンド又はアドレス、ステータス、パラレルステータス、FeatureData、DataOutput、及びDataInputの6種類の信号DQが送受信される場合における、信号DQ、DQS、DQSn、REn、及びREの送受信方法及び終端方法について記述される。
- [0413] 図45は、信号DQ、DQS、及びREの送受信方法及び終端方法の一例である。図45は、信号DQS及びDQSnのうちの信号DQSについて示すが、信号DQSnは、信号DQSの反転論理の信号であり、よって、信号DQSと同じである。また、図45は、信号REn及びREのうちの信号R

Eについて示すが、信号RENは、信号REの反転論理の信号であり、よって、信号REと同じである。図44で述べられたように、第6実施形態では、終端回路として、非選択NANDチップであるNANDチップC200Cが有する終端回路203__C、218__C、219__C、220__C、及び（又は）222__Cのみが使用される。図45に示されるように、信号DQの種類がコマンド又はアドレスであるとき、信号DQとして、信号LVSTL__IN1がメモリコントローラ300から送信され、NANDチップA200A及びNANDチップB200Bによって受信される。このときNANDチップC200Cの終端回路203__CはノードDQIを終端する。また、メモリコントローラ300のノードDQSO及びDQSnO、送信部311の信号RENを出力するノード、並びに送信部314の信号REを出力するノードは、電氣的にフローティングの状態である。このときNANDチップC200Cの終端回路218__C～220__C及び222__CはそれぞれノードDQSI、DQSnI、REnI、及びREIを終端する。これにより、信号DQS、DQSn、REN、及びREをそれぞれ伝送する配線が電氣的にフローティングであることが抑制される。

[0414] また、信号DQの種類がステータスであるとき、パラレルステータスであるとき、DataOutputであるときについては、第5実施形態（図42を参照）と同じである。

[0415] 信号DQの種類がFeatureDataであるときについては、信号DQ及びDQSは、第5実施形態（図42を参照）と同じである。メモリコントローラ300の送信部311の信号RENを出力するノード及び送信部314の信号REを出力するノードは、電氣的にフローティングの状態である。このときNANDチップC200Cの終端回路220__C及び222__CはノードREnI及びREIを終端する。これにより、信号REN及びREを伝送する配線が電氣的にフローティングであることが抑制される。

[0416] 信号DQの種類がDataInputであるときについては、信号DQ及びDQSは、第5実施形態（図42を参照）と同じである。メモリコントロ

ーラ300の送信部311の信号RENを出力するノード及び送信部314の信号REを出力するノードは、電氣的にフローティングの状態である。このときNANDチップC200Cの終端回路220__C及び222__CはノードREN1及びRE1を終端する。これにより、信号REN及びREを伝送する配線が電氣的にフローティングであることが抑制される。

[0417] 図45で述べられたように、第6実施形態に係るメモリコントローラ300及び（又は）半導体記憶装置200は、信号DQの種類がコマンド又はアドレス、ステータス、パラレルステータス、FeatureData、DataOutput、及びDataInputであるとき、各ノードの終端を行う。以下では終端回路がイネーブルになるタイミングについて述べる。

[0418] 図46は、第6実施形態に係るメモリシステム100における信号のタイミングチャートの一例である。図46は、信号DQの種類がコマンド又はアドレス及びDataInputであるとき、終端回路がイネーブルになるタイミングを示している。図46には、信号CEN1、CEN2、CLE、ALE、WEN、REN、RE、DQS、DQSn、及びDQのタイミングチャートが示されている。図46は、データ書込みを例として示す。

[0419] 信号CEN1、CLE、ALE、WEN、REN、RE、DQS、DQSn、及びDQのタイミングチャートは、第4実施形態の図40と同様であるため、説明は省略される。以下では、信号CEN2について主に述べる。

[0420] 第6実施形態に係るメモリシステム100は、第4及び第5実施形態と同様に、NANDチップC200Cの有する終端回路203__C、218__C、219__C、220__C、及び（又は）222__Cをイネーブルにするタイミングを決定するために専用のコマンドを用いている。具体的には、メモリコントローラ300は、信号DQにおいてODTコマンド97h、アドレスADD、及びODT終了コマンド9Bhを送信すること、並びに信号CEN2の制御を行うことにより、NANDチップC200Cの有する終端回路203__C、218__C、219__C、220__C、及び（又は）222__Cをイネーブルにするタイミングを制御している。

- [0421] 時刻 t_a において、メモリコントローラ 300 は、信号 CE_n2 をローレベルにする。これにより、NANDチップ C200C 及び NANDチップ D200D がイネーブルになる。時刻 t_a から時刻 t_h までの期間において、メモリコントローラ 300 は、信号 CE_n2 をローレベルにする。時刻 t_h において、メモリコントローラ 300 は、信号 CE_n2 をハイレベルにする。これにより、NANDチップ C200C、及び NANDチップ D200D がディセーブルになる。
- [0422] ODT コマンド 97h 及び アドレス ADD が送信されてから、ODT 終了コマンド 9Bh が送信されるまでの期間において、NANDチップ C200C の有する終端回路 203__C、218__C、219__C、220__C、及び（又は）222__C は、信号 CE_n2 がローレベルである間、すなわち、時刻 t_c と時刻 t_g の間に亘って、イネーブルになる。
- [0423] このように、メモリコントローラ 300 は、信号 DQ において ODT コマンド 97h、アドレス ADD、及び ODT 終了コマンド 9Bh を送信すること、及び信号 CE_n2 の制御を行うことにより、NANDチップ C200C の有する終端回路 203__C、218__C、219__C、220__C、及び（又は）222__C をイネーブルにするタイミングを制御している。第6実施形態は、少なくともメモリコントローラ 300 と NANDチップ A200A が信号 DQ を送受信している期間を含む期間（時刻 t_d ～時刻 t_e ）に亘って、常に信号 CE_n2 をローレベルにすることにより、常に NANDチップ C200C の有する終端回路 203__C、218__C、219__C、220__C、及び（又は）222__C をイネーブルにしている。
- [0424] 具体的には、メモリコントローラ 300 の指示に基づいて、NANDチップ C200C は、時刻 t_c において、NANDチップ C200C の終端回路 203__C、218__C～220__C 及び 222__C をイネーブルにし、時刻 t_g において、終端回路 203__C、218__C～220__C 及び 222__C をディセーブルにする。言い換えると、終端回路 203__C、218__C～220__C 及び 222__C がそれぞれノード DQ1、DQS1、DQS

n l、R E n l、及びR E lを終端する、すなわち終端回路2 0 3__C、2 1 8__C～2 2 0__C及び2 2 2__Cがイネーブルになる時間は、時刻t cから時刻t gまでの間である。これは、第6実施形態において送受信される信号は1種類であるため、終端回路は、メモリコントローラ3 0 0がN A N DチップA 2 0 0 Aと通信する目的でN A N DチップA 2 0 0 Aをイネーブルにしている間は、常にイネーブルで良いからである。

[0425] 図4 7は、第6実施形態に係るメモリシステム1 0 0における信号のタイミングチャートの一例である。図4 7は、信号D Qの種類がステータス及びパラレルステータスであるとき、終端回路がイネーブルになるタイミングを示している。図4 7には、信号C E n 1、C E n 2、C L E、A L E、W E n、R E n、R E、D Q S、D Q S n、及びD Qのタイミングチャートが示されている。

[0426] 信号C E n 1、C L E、A L E、W E n、R E n、R E、D Q S、D Q S n、及びD Qのタイミングチャートは、第5実施形態の図4 3と同様であるため、説明は省略される。以下では、信号C E n 2について主に述べる。

[0427] 図4 7では、図4 6と同じく、N A N DチップC 2 0 0 Cの有する終端回路2 0 3__C、2 1 8__C、2 1 9__C、2 2 0__C、及び（又は）2 2 2__Cをイネーブルにするタイミングを決定するために専用のコマンドを用いている。具体的には、メモリコントローラ3 0 0は、信号D QにおいてO D Tコマンド9 7 h、アドレスA D D、及びO D T終了コマンド9 B hを送信すること、及び信号C E n 2の制御を行うことにより、N A N DチップC 2 0 0 Cの有する終端回路2 0 3__C、2 1 8__C、2 1 9__C、2 2 0__C、及び（又は）2 2 2__Cをイネーブルにするタイミングを制御している。

[0428] 時刻t aにおいて、メモリコントローラ3 0 0は、信号C E n 2をローレベルにする。これにより、N A N DチップC 2 0 0 C及びN A N DチップD 2 0 0 Dがイネーブルになる。時刻t aから時刻t hまでの期間において、メモリコントローラ3 0 0は、信号C E n 2をローレベルにする。時刻t hにおいて、メモリコントローラ3 0 0は、信号C E n 2をハイレベルにする。

。これにより、NANDチップC200C、及びNANDチップD200Dがディセーブルになる。

[0429] ODTコマンド97h及びアドレスADDが送信されてから、ODT終了コマンド9Bhが送信されるまでの期間において、NANDチップC200Cの有する終端回路203__C、218__C、219__C、220__C、及び（又は）222__Cは、信号CEn2がローレベルである間、すなわち、時刻tcと時刻tgの間に亘って、イネーブルになる。

[0430] メモリコントローラ300の指示に基づいて、NANDチップC200Cは、時刻tcにおいて、NANDチップC200Cの終端回路203__C、218__C～220__C及び222__Cをイネーブルにし、時刻tgにおいて、終端回路203__C、218__C～220__C及び222__Cをディセーブルにする。言い換えると、終端回路203__C、218__C～220__C及び222__CがそれぞれノードDQI、DQSI、DQSnI、REnI、及びREIを終端する、すなわち終端回路203__C、218__C～220__C及び222__Cがイネーブルになる時間は、時刻tcから時刻tgまでの間である。

[0431] 図48は、第6実施形態に係るメモリシステム100における信号のタイミングチャートの一例である。図48は、信号DQの種類がFeature Dataであるとき、終端回路がイネーブルになるタイミングを示している。図48には、信号CEn1、CEn2、CLE、ALE、WEn、REn、RE、DQS、DQSn、及びDQのタイミングチャートが示されている。

[0432] 信号CEn1、CLE、ALE、WEn、REn、RE、DQS、DQSn、及びDQのタイミングチャートは、第4実施形態の図38と同様であるため、説明は省略される。以下では、信号CEn2について主に述べる。

[0433] 図48では、図46と同じく、NANDチップC200Cの有する終端回路203__C、218__C、219__C、220__C、及び（又は）222__Cをイネーブルにするタイミングを決定するために専用のコマンドを用い

ている。具体的には、メモリコントローラ300は、信号DQにおいてODTコマンド97h、アドレスADD、及びODT終了コマンド9Bhを送信すること、及び信号CEn2の制御を行うことにより、NANDチップC200Cの有する終端回路203__C、218__C、219__C、220__C、及び（又は）222__Cをイネーブルにするタイミングを制御している。

[0434] 時刻t_aにおいて、メモリコントローラ300は、信号CEn2をローレベルにする。これにより、NANDチップC200C及びNANDチップD200Dがイネーブルになる。時刻t_aから時刻t_hまでの期間において、メモリコントローラ300は、信号CEn2をローレベルにする。時刻t_hにおいて、メモリコントローラ300は、信号CEn2をハイレベルにする。これにより、NANDチップC200C、及びNANDチップD200Dがディセーブルになる。

[0435] ODTコマンド97h及びアドレスADDが送信されてから、ODT終了コマンド9Bhが送信されるまでの期間において、NANDチップC200Cの有する終端回路203__C、218__C、219__C、220__C、及び（又は）222__Cは、信号CEn2がローレベルである間、すなわち、時刻t_cと時刻t_gの間に亘って、イネーブルになる。

[0436] メモリコントローラ300の指示に基づいて、NANDチップC200Cは、時刻t_cにおいて、NANDチップC200Cの終端回路203__C、218__C～220__C、及び222__Cをイネーブルにし、時刻t_gにおいて、終端回路203__C、218__C～220__C、及び222__Cをディセーブルにする。言い換えると、終端回路203__C、218__C～220__C、及び222__CがノードDQ_l、DQS_l、DQS_{n_l}、RE_{n_l}、及びRE_lを終端する、すなわち終端回路203__C、218__C～220__C、及び222__Cがイネーブルになる時間は、時刻t_cから時刻t_gまでの間である。

[0437] 図49は、第6実施形態に係るメモリシステム100における信号のタイミングチャートの一例である。図48は、信号DQの種類がDataOut

put であるとき、終端回路がイネーブルになるタイミングを示している。

図49には、信号CEn1、CEn2、CLE、ALE、WEn、REn、RE、DQS、DQSn、及びDQのタイミングチャートが示されている。

[0438] 信号CEn1、CLE、ALE、WEn、REn、RE、DQS、DQSn、及びDQのタイミングチャートは、第4実施形態の図39と同様であるため、説明は省略される。以下では、信号CEn2について主に述べる。

[0439] 図49では、図46と同じく、NANDチップC200Cの有する終端回路203__C、218__C、219__C、220__C、及び（又は）222__Cをイネーブルにするタイミングを決定するために専用のコマンドを用いている。具体的には、メモリコントローラ300は、信号DQにおいてODTコマンド97h、アドレスADD、及びODT終了コマンド9Bhを送信すること、並びに信号CEn2の制御を行うことにより、NANDチップC200Cの有する終端回路203__C、218__C、219__C、220__C、及び（又は）222__Cをイネーブルにするタイミングを制御している。

[0440] 時刻taにおいて、メモリコントローラ300は、信号CEn2をローレベルにする。これにより、NANDチップC200C及びNANDチップD200Dがイネーブルになる。時刻taから時刻thまでの期間において、メモリコントローラ300は、信号CEn2をローレベルにする。時刻thにおいて、メモリコントローラ300は、信号CEn2をハイレベルにする。これにより、NANDチップC200C及びNANDチップD200Dがディセーブルになる。

[0441] ODTコマンド97h及びアドレスADDが送信されてから、ODT終了コマンド9Bhが送信されるまでの期間において、NANDチップC200Cの有する終端回路203__C、218__C、219__C、220__C、及び（又は）222__Cは、信号CEn2がローレベルである間、すなわち、時刻tcと時刻tgの間に亘って、イネーブルになる。

[0442] メモリコントローラ300の指示に基づいて、NANDチップA200A

は、時刻 t_c において、NANDチップC200Cの終端回路203__C、218__C～220__C、及び222__Cをイネーブルにし、時刻 t_g において、終端回路203__C、218__C～220__C、及び222__Cをディセーブルにする。言い換えると、終端回路203__C、218__C～220__C、及び222__CがノードDQ1、DQS1、DQSn1、REn1、及びRE1を終端する、すなわち終端回路203__C、218__C～220__C、及び222__Cがイネーブルになる時間は、時刻 t_c から時刻 t_g までの間である。

[0443] 以上のタイミングチャートより、第6実施形態に係るメモリシステム100における、終端回路がイネーブルになるタイミングについてまとめる。NANDチップC200Cの有する終端回路203__C、218__C、219__C、220__C、及び（又は）222__Cをイネーブルにするタイミングは、メモリコントローラ300が、信号DQにおいてODTコマンド97h、アドレスADD、及びODT終了コマンド9Bhを送信すること、及び信号CEn2の制御を行うことにより制御している。すなわち、終端回路をイネーブルにするための専用のコマンドを用いている。

[0444] [6-3] 利点（効果）

以上で説明した第6実施形態に係るメモリシステム100は、第3実施形態と同じく、送信部202__C及び302__C並びに受信部201__C及び301__Cを備えている。このため、第3実施形態と同じ効果を得られる。

[0445] また、第6実施形態に係るメモリシステム100によれば、第3実施形態と異なるとともに第4及び第5実施形態と同じく、半導体記憶装置200において配線の終端を行う際に、非選択NANDチップが有する終端回路を使用している。このため、第3実施形態に係るメモリシステム100よりも、信号が配線を伝搬する際の反射をさらに低減できる。

[0446] また、第6実施形態に係るメモリシステム100によれば、消費電力の少ないLVSTL方式による終端回路を用いているため、終端回路を長時間イネーブルにすることが可能である。

[0447] 第6実施形態においては、配線を終端する際に、NANDチップC200Cの有する終端回路203__C、218__C、219__C、220__C、及び(又は)222__C220__C、及び(又は)222__Cのみを使用する例を示したが、実際には他のNANDチップが有する終端回路を組み合わせ使用しても良い。例えば、ノードDQ1を終端する場合に、NANDチップC200Cの終端回路203__Cだけ使用するのではなく、NANDチップA200Aの終端回路203も併せて使用して終端を行っても良い。

[0448] [7] その他の変形例等

本発明の第1～6実施形態において、メモリシステム100の構造はその他の構造であっても良い。例えば、図示されていない構成要素を含み、図示されていない配線等によって接続された構造であっても良い。

[0449] 本明細書において“接続”は、電氣的に接続されている事を示し、例えば間に別の素子を介することを除外しない。“電氣的に接続される”は、電氣的に接続されたものと同様に動作することが可能であれば、絶縁体を介していても良い。

[0450] 本発明の第1～6実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。第1～6実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことが出来る。第1～6実施形態やその変形は、発明の範囲や要旨に含まれると共に、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

請求の範囲

- [請求項1] 第1信号及び前記第1信号よりも小さい振幅を有する第2信号を受信する第1ピンと、
- 前記第1ピンに接続され、前記第1信号と第1電圧との比較に基づいて、第3信号を出力し、前記第2信号と第2電圧との比較に基づいて、前記第3信号よりも小さい振幅を有する第4信号を出力する第1受信回路と、
- 前記第1ピンに接続され、前記第1ピンが前記第1信号を受信する場合はディセーブル状態になり、前記第2信号を受信する場合はイネーブル状態になる、第1終端回路と、
- を備える、
- 半導体記憶装置。
- [請求項2] 前記第2電圧は、前記第1電圧よりも小さい、
- 請求項1に記載の半導体記憶装置。
- [請求項3] 前記第1終端回路は、前記第1ピンと接地電圧を供給するノードとの間で直列に接続された第1抵抗及び第1スイッチを含む、
- 請求項1に記載の半導体記憶装置。
- [請求項4] 前記第1信号は、コマンド又はアドレスを含み、
- 前記第2信号は、パラメータの値又は書き込みデータを含む、
- 請求項1に記載の半導体記憶装置。
- [請求項5] 第5信号及び前記第5信号よりも小さい振幅を有する第6信号を前記第1ピンに出力する第1送信回路をさらに備え、
- 前記第5信号は、ステータスを示すデータを含み、
- 前記第6信号は、読み出しデータを含む、
- 請求項1に記載の半導体記憶装置。
- [請求項6] 第5信号を前記第1ピンに出力する第1送信回路をさらに備え、
- 前記第5信号は、ステータス又は読み出しデータを含み、
- 請求項1に記載の半導体記憶装置。

- [請求項7] 前記第1送信回路の出力ノードは、NMOSトランジスタを介して電源電圧を供給するノードに接続されている、
請求項6に記載の半導体記憶装置。
- [請求項8] 第5信号及び前記第5信号よりも小さい振幅を有する第6信号を受信する第2ピンと、
前記第2ピンに接続され、前記第5信号と前記第1電圧との比較に基づいて、第7信号を出力し、前記第6信号と前記第2電圧との比較に基づいて、前記第7信号よりも小さい振幅を有する第8信号を出力する第2受信回路と、
前記第2ピンに接続され、前記第2ピンが前記第5信号を受信する場合はディセーブル状態になり、前記第6信号を受信する場合はイネーブル状態になる、第2終端回路と、
第9信号及び前記第9信号よりも小さい振幅を有する第10信号を受信する第3ピンと、
前記第3ピンに接続され、前記第9信号と前記第1電圧との比較に基づいて、第11信号を出力し、前記第10信号と前記第2電圧との比較に基づいて、前記第11信号よりも小さい振幅を有する第12信号を出力する第3受信回路と、
前記第3ピンに接続され、前記第3ピンが前記第9信号を受信する場合はディセーブル状態になり、前記第10信号を受信する場合はイネーブル状態となる、第3終端回路と、
をさらに備える、
請求項1に記載の半導体記憶装置。
- [請求項9] 第13信号及び前記第13信号よりも小さい振幅を有する第14信号を受信する第4ピンと、
前記第4ピンに接続され、前記第13信号と前記第1電圧との比較に基づいて、第15信号を出力し、前記第14信号と前記第2電圧との比較に基づいて、前記第15信号よりも小さい振幅を有する第16

信号を出力する第4受信回路と、

前記第4ピンに接続され、前記第4ピンが前記第13信号を受信する場合はディセーブル状態になり、前記第14信号を受信する場合はイネーブル状態となる、第4終端回路と、

第17信号及び前記第17信号よりも小さい振幅を有する第18信号を受信する第5ピンと、

前記第5ピンに接続され、前記第17信号と前記第1電圧との比較に基づいて、第19信号を出力し、前記第18信号と前記第2電圧との比較に基づいて、前記第19信号よりも小さい振幅を有する第20信号を出力する第5受信回路と、

前記第5ピンに接続され、前記第5ピンが前記第17信号を受信する場合はディセーブル状態になり、前記第18信号を受信する場合はイネーブル状態となる、第5終端回路と、

をさらに備える、

請求項8に記載の半導体記憶装置。

[請求項10]

前記第2受信回路と、前記第3受信回路とに接続され、

前記第7信号と前記第11信号とに基づいて、第21信号と第22信号とを出力する、又は前記第8信号と前記第12信号とに基づいて、前記第21信号と前記第22信号とを出力する、

第1回路と、

前記第21信号と前記第22信号とに基づいて、前記第3信号又は前記第4信号に含まれるデータを格納する、ラッチ回路と、

をさらに備える、

請求項9に記載の半導体記憶装置。

[請求項11]

前記第1ピンと、前記第1受信回路と、前記第1終端回路とを含む第1チップを更に備える、

請求項1に記載の半導体記憶装置。

[請求項12]

前記第1ピンと、前記第1受信回路とを含む第1チップと、

前記第 1 終端回路を含む第 2 チップと、
をさらに備える、
請求項 1 に記載の半導体記憶装置。

[請求項13] 前記第 1 終端回路は、前記第 1 信号として第 1 コマンドを受信してから第 2 コマンドを受信するまでの期間において、前記第 2 チップをイネーブル状態にする信号を前記第 2 チップが受信している間、イネーブル状態になる、
請求項 1 2 に記載の半導体記憶装置。

[請求項14] 第 1 信号を受信し、前記第 1 信号よりも小さい振幅を有する第 2 信号を出力する第 1 送信回路と、
前記第 2 信号を受信する第 1 ピンと、
前記第 1 ピンに接続され、前記第 2 信号と第 1 電圧との比較に基づいて、第 3 信号を出力する第 1 受信回路と、
前記第 1 ピンに接続され、前記第 1 ピンが、前記第 2 信号を受信している間にイネーブル状態となる、第 1 終端回路と、
を備え、
前記第 1 送信回路の出力ノードは、NMOS トランジスタを介して電源電圧を供給するノードに接続されている、
メモリシステム。

[請求項15] 前記第 1 終端回路は、前記第 1 ピンと接地電圧を供給するノードとの間で直列に接続された第 1 抵抗及び第 1 スイッチを含む、
請求項 1 4 に記載のメモリシステム。

[請求項16] 前記第 1 信号は、コマンド又はアドレスを含む、
請求項 1 4 に記載のメモリシステム。

[請求項17] 前記第 1 信号は、パラメータの値又は書き込みデータを更に含む、
請求項 1 6 に記載のメモリシステム。

[請求項18] 第 4 信号を受信し、前記第 4 信号よりも小さい振幅を有する第 5 信号を前記第 1 ピンに出力する第 2 送信回路をさらに備え、

前記第5信号は、ステータスを示すデータ又は読み出しデータを含み、

前記第2送信回路の出力ノードは、NMOSトランジスタを介して電源電圧を供給するノードに接続されている、

請求項14に記載のメモリシステム。

[請求項19]

第4信号を受信し、前記第4信号よりも小さい振幅を有する第5信号を出力する第2送信回路と、

前記第5信号を受信する第2ピンと、

前記第2ピンに接続され、前記第5信号と前記第1電圧との比較に基づいて、第6信号を出力する第2受信回路と、

前記第2ピンに接続され、前記第2ピンが、前記第5信号を受信している間にイネーブル状態となる、第2終端回路と、

第7信号を受信し、前記第7信号よりも小さい振幅を有する第8信号を出力する第3送信回路と、

前記第8信号を受信する第3ピンと、

前記第3ピンに接続され、前記第8信号と前記第1電圧との比較に基づいて、第9信号を出力する第3受信回路と、

前記第3ピンに接続され、前記第3ピンが、前記第8信号を受信している間にイネーブル状態となる、第3終端回路と、

をさらに備える、

請求項14に記載のメモリシステム。

[請求項20]

第10信号を受信し、前記第10信号よりも小さい振幅を有する第11信号を出力する第4送信回路と、

前記第11信号を受信する第4ピンと、

前記第4ピンに接続され、前記第11信号と前記第1電圧との比較に基づいて、第12信号を出力する第4受信回路と、

前記第4ピンに接続され、前記第4ピンが、前記第11信号を受信している間にイネーブル状態となる、第4終端回路と、

第13信号を受信し、前記第13信号よりも小さい振幅を有する第14信号を出力する第5送信回路と、
前記第14信号を受信する第5ピンと、
前記第5ピンに接続され、前記第14信号と前記第1電圧との比較に基づいて、第15信号を出力する第5受信回路と、
前記第5ピンに接続され、前記第5ピンが、前記第14信号を受信している間にイネーブル状態となる、第5終端回路と、
をさらに備える、
請求項19に記載のメモリシステム。

[請求項21] 前記第2受信回路と、前記第3受信回路とに接続され、
前記第6信号と前記第9信号とに基づいて、第16信号と第17信号とを出力する、
第1回路と、
前記第16信号と前記第17信号とに基づいて、前記第3信号に含まれるデータを格納するラッチ回路と、
をさらに備える、
請求項20に記載のメモリシステム。

[請求項22] 前記第1ピンと、前記第1受信回路と、前記第1終端回路とを含む第1チップをさらに備える、
請求項14に記載のメモリシステム。

[請求項23] 前記第1ピンと、前記第1受信回路とを含む第1チップと、
前記第1終端回路を含む第2チップと、
をさらに備える、
請求項14に記載のメモリシステム。

[請求項24] 前記第1終端回路は、前記第1信号として第1コマンドを受信してから第2コマンドを受信するまでの期間において、前記第2チップをイネーブルにする信号を前記第2チップが受信している間、イネーブルになる、

請求項 2 3 に記載のメモリスステム。

[請求項25]

前記第 1 送信回路を含むメモリコントローラと、

前記第 1 ピン及び前記第 1 終端回路を含む半導体記憶装置と、

を更に備える、

請求項 1 4 に記載のメモリスステム。