

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2009 年 7 月 23 日 (23.07.2009)

PCT

(10) 国際公開番号
WO 2009/091004 A1

(51) 国際特許分類:

H01L 29/786 (2006.01) *G09F 9/30* (2006.01)
C22C 21/00 (2006.01) *H01L 21/336* (2006.01)
G02F 1/1368 (2006.01)

(21) 国際出願番号: PCT/JP2009/050482

(22) 国際出願日: 2009 年 1 月 15 日 (15.01.2009)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2008-007221 2008 年 1 月 16 日 (16.01.2008) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社神戸製鋼所 (KABUSHIKI KAISHA KOBE SEIKO SHO) [JP/JP]; 〒6518585 兵庫県神戸市中央区脇浜町二丁目 10 番 26 号 Hyogo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 越智 元隆 (OCHI,

Mototaka). 川上 信之 (KAWAKAMI, Nobuyuki). 富久 勝文 (TOMIHISA, Katsufumi). 後藤 裕史 (GOTO, Hiroshi).

(74) 代理人: 小栗 昌平, 外 (OGURI, Shohei et al.); 〒1050003 東京都港区西新橋一丁目 7 番 13 号 栄光特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

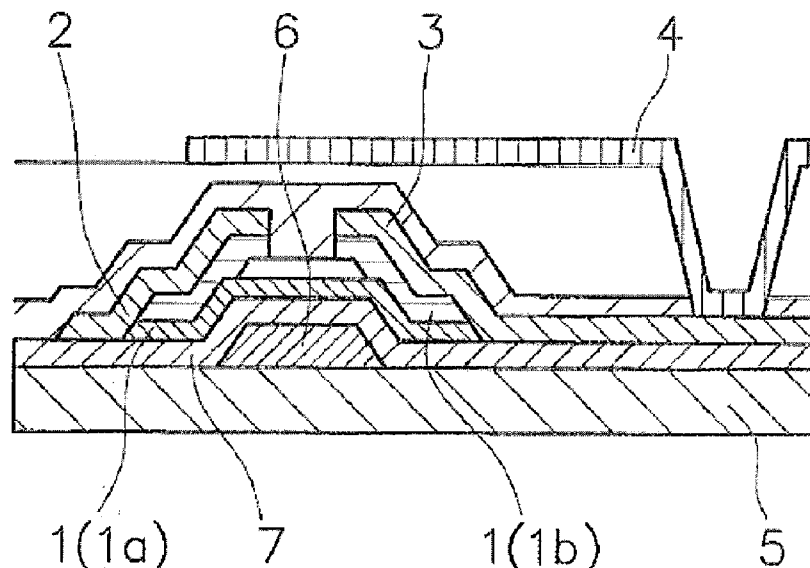
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

/ 続葉有 /

(54) Title: THIN FILM TRANSISTOR SUBSTRATE AND DISPLAY DEVICE

(54) 発明の名称: 薄膜トランジスタ基板および表示デバイス

[図1]



(57) Abstract: Provided is a thin film transistor substrate wherein deterioration of dry etching rates of a source electrode and a drain electrode and etching residuals are not generated and a barrier metal between a semiconductor layer and a wiring metal, such as the source electrode and the drain electrode, can be eliminated. A display device is also provided. The thin film transistor substrate is provided with a semiconductor layer (1), a source electrode (2), a drain electrode (3) and a transparent conductive film (4). The source electrode (2) and the drain electrode (3) are composed of an Al alloy thin film, which is formed by patterning wherein dry etching is employed and contains a Si and/or Ge of 0.1-1.5 atm%, a Ni and/or Co of 0.1-3.0 atm% and a La and/or Nd of 0.1-0.5 atm%, and the thin film transistor is directly connected to the semiconductor layer (1).

/ 続葉有 /

WO 2009/091004 A1



KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

(57) 要約: 本発明は、ソース電極とドレイン電極のドライエッチングレートの低下や、エッチング残さを引き起こすことなく、半導体層と、ソース電極やドレイン電極といった配線金属の間からバリアメタルを省略することができる薄膜トランジスタ基板および表示デバイスを提供する。本発明は、半導体層 1、ソース電極 2、ドレイン電極 3、透明導電膜 4 を有する薄膜トランジスタ基板において、ソース電極 2 とドレイン電極 3 は、ドライエッチング法によるパターニングで形成された Si 及び／又は Ge : 0.1 ~ 1.5 原子%、Ni 及び／又は Co : 0.1 ~ 3.0 原子%、La 及び／又は Nd : 0.1 ~ 0.5 原子% を含有する Al 合金薄膜より成り、半導体層 1 と直接接続している薄膜トランジスタに関する。