

一种数据处理方法、装置及设备

技术领域

本申请涉及通信技术领域，尤其涉及一种数据处理方法、装置及设备。

背景技术

极化码 (Polar code) 是一种能够被严格证明“达到”香农信道容量的信道编码方案，具有性能好，复杂度低等特点，可以应用于第五代 (the 5th generation, 5G) 通信系统以及未来通信系统中。Polar 码是一种线性块码，通过编码矩阵，可以生成编码后的数据。目前 Polar 码的编码矩阵决定了设备需要收到完整的待编码数据或者待译码数据后，才能开始编码或者译码。

发明内容

本申请提供一种数据处理方法、装置及设备，该方法通过设计一种全新的 Polar 码编码矩阵，可以实现流编码和/或流译码。

第一方面，本申请提供第一种数据处理方法，该数据处理方法可以由终端设备或网络设备所执行。其中，以终端设备为执行主体，且终端设备为编码侧为例，终端设备获取信息比特序列，并根据编码矩阵 G 对所述信息比特序列进行编码，得到编码数据，再发送编码数据。其中，编码矩阵 G 表示为：

$$G = \begin{bmatrix} G_{N'} & O & \dots & O \\ O & G_{N'} & \dots & O \\ \dots & \dots & \ddots & \dots \\ G_{N'} & G_{N'} & \dots & G_{N'} \end{bmatrix}, \text{ 编码矩阵 } G \text{ 为大小为 } (m \times 2^n) \times (m \times 2^n) \text{ 的矩阵, } m \text{ 和 } n \text{ 为正整数, 矩阵 } G_{N'} \text{ 为大小为 } 2^n \times 2^n \text{ 的 Polar 生成矩阵, 矩阵 } O \text{ 为大小为 } 2^n \times 2^n \text{ 的全零矩阵。}$$

数，矩阵 $G_{N'}$ 为大小为 $2^n \times 2^n$ 的 Polar 生成矩阵，矩阵 O 为大小为 $2^n \times 2^n$ 的全零矩阵。

该方法中，设计了一种全新的 Polar 码编码矩阵 G ，当终端设备采用该编码矩阵 G 对待编码的信息比特进行编码时，可以在编码过程中接收一部分信息比特之后就可以对该部分信息比特进行编码并发送编码数据，也即是实现了流编码，有利于降低终端设备中编码器和缓存的大小。并且，采用该编码矩阵对待编码的信息比特进行编码得到编码数据，有利于实现流译码。

一种可能的实施方式中，信息比特序列包括 m 个分段，每一个分段的 Polar 生成矩阵为 $G_{N'}$ 。

该方法中，也可以将信息比特序列分成 m 个分段，将每一个分段与矩阵 $G_{N'}$ 进行模二乘运算。

一种可能的实施方式中， m 个分段中的信息比特个数为 $k_0, k_1, \dots, k_{m-1}$ ，其中， k_0 小于 k_{m-1} ，且 $k_0 \leq k_1 \leq \dots \leq k_{m-1}$ 。

一种可能的实施方式中，第 i 个分段的信息比特个数为 k_i ，所述 i 满足 $0 \leq i \leq m-1$ 。

该方法中，每一个分段的信息比特个数是不相同的，并且按照一定的数量规律变化。

一种可能的实施方式中，获取 m 份缓存数据，其中，第 j 份缓存数据为采用矩阵 $G_{N'}$ 对信息比特序列的第 j 个分段进行编码后得到的， j 满足 $0 \leq j \leq m-1$ ；

编码数据包括 m 段，其中，第 0 段编码数据为第 $m-1$ 份缓存数据，第 i 段编码数据为将

第 j 份缓存数据与第 $m-1$ 份缓存数据进行异或处理得到的, i 满足 $1 \leq i \leq m-1$, j 满足 $0 \leq j \leq m-2$ 。

一种可能的实施方式中, 首先发送第 $m-1$ 份缓存数据, 再依次发送第 i 段编码数据, $1 \leq i \leq m-1$ 。

该方法中, 将 m 个分段中的信息比特转换为 m 份缓存数据后, 并按照设置的顺序发送编码数据。

一种可能的实施方式中, 对编码矩阵 G 进行初等列变换, 变换后的编码矩阵 $G' = \begin{bmatrix} O & G_{N'} & \dots & O \\ O & O & \dots & \dots \\ \dots & \dots & \ddots & G_{N'} \\ G_{N'} & G_{N'} & \dots & G_{N'} \end{bmatrix}$; 并根据变换后的编码矩阵 G' 对信息比特序列进行编码, 得到编码数据。

该方法中, 对编码矩阵 G 进行初等列变换, 使得终端设备采用变换后的编码矩阵 G' 对待编码的信息比特进行编码时, 也可以实现流编码, 有利于降低终端设备中编码器和缓存的大小。

一种可能的实施方式中, m 个分段中的信息比特个数为 $k_0, k_1, \dots, k_{m-1}$, k_1 小于 k_0 , 且 $k_1 \leq \dots \leq k_{m-1} \leq k_0$ 。

一种可能的实施方式中, 第 i 个分段的信息比特个数为 k_i , 所述 i 满足 $0 \leq i \leq m-1$ 。

该方法中, 每一个分段包含的信息比特个数是不相同的。假设最先收到的 k_0 个信息比特是个数最多的 (也即是第 0 个分段的信息比特个数最多), 编码器基于最先收到的 k_0 个信息比特对应的编码数据, 对其余的 $m-1$ 个分段分别进行编码处理, 有利于实现流编码。

一种可能的实施方式中, 编码数据包括 m 段, 其中, 第 0 段编码数据为根据矩阵 $G_{N'}$ 对信息比特序列的第 0 个分段进行编码得到的; 第 i 段编码数据为根据矩阵 $G_{N'}$ 对信息比特序列的第 i 个分段进行编码后, 再与第 0 段编码数据进行异或处理, 得到的。

该方法中, 由于将信息比特序列分成 m 个分段, 则 m 个分段对应的编码数据也分成 m 段。该编码方式中将第 0 段编码数据进行缓存, 并将第 0 段编码数据分别与其余 $m-1$ 段编码数据进行异或处理 (例如进行信息交织), 从而达到支持流编码的目的。

第二方面, 本申请提供第二种数据处理方法, 该数据处理方法可以由终端设备或网络设备所执行。其中, 以终端设备为执行主体, 且终端设备为编码侧为例, 终端设备获取信息比特序列, 信息比特序列包括 m 个分段, 并采用每一个分段的 Polar 生成矩阵 $G_{N'}$ 对每一个分段进行处理, 得到 m 份缓存数据, 其中, 矩阵 $G_{N'}$ 为大小为 $2^n \times 2^n$ 的 Polar 生成矩阵。再基于 m 份缓存数据, 得到并发送编码数据。编码数据包括 m 段, 其中, 第 0 段编码数据为第 $m-1$ 份缓存数据, 第 i 段编码数据为将第 j 份缓存数据与第 $m-1$ 份缓存数据进行异或处理得到的, i 满足 $1 \leq i \leq m-1$, j 满足 $0 \leq j \leq m-2$ 。

该方法中, 终端设备将待编码的信息比特序列划分为 m 个分段, 并针对每一个分段采用大小为 $2^n \times 2^n$ 的 Polar 生成矩阵进行编码以及信息交织, 并且编码后数据交织发送, 有利于实现流译码。

一种可能的实施方式中, m 个分段中的信息比特个数为 $k_0, k_1, \dots, k_{m-1}$, 其中, k_0 小于 k_{m-1} , 且 $k_0 \leq k_1 \leq \dots \leq k_{m-1}$ 。

一种可能的实施方式中, 第 i 个分段的信息比特个数为 k_i , 所述 i 满足 $0 \leq i \leq m-1$ 。

一种可能的实施方式中, 终端设备可以根据编码矩阵 G 对信息比特序列进行编码, 得到

编码数据。其中, 编码矩阵 $G = \begin{bmatrix} G_{N'} & O & \cdots & O \\ O & G_{N'} & \cdots & O \\ \cdots & \cdots & \ddots & \cdots \\ G_{N'} & G_{N'} & \cdots & G_{N'} \end{bmatrix}$, 编码矩阵 G 为大小为 $(m \times 2^n) \times (m \times 2^n)$

的矩阵, m 和 n 为正整数, 矩阵 $G_{N'}$ 为大小为 $2^n \times 2^n$ 的 Polar 生成矩阵, 矩阵 O 为大小为 $2^n \times 2^n$ 的全零矩阵。

该方法中, 设计了一种基于 Polar 生成矩阵的编码矩阵, 类似于构造了一种 Polar 生成矩阵的耦合矩阵, 在编码矩阵 G 下有利于实现流译码。

第三方面, 本申请提供第三种数据处理方法, 该数据处理方法可以由终端设备或网络设备所执行。其中, 以终端设备为执行主体, 且终端设备为编码侧为例, 终端设备获取信息比特序列, 信息比特序列包括 m 个分段, 并采用每一个分段的 Polar 生成矩阵 $G_{N'}$ 对每一个分段进行处理, 得到并发送编码数据。其中, 矩阵 $G_{N'}$ 为大小为 $2^n \times 2^n$ 的 Polar 生成矩阵, 编码数据包括 m 段, 第 0 段编码数据为根据矩阵 $G_{N'}$ 对所述信息比特序列的第 0 个分段进行编码得到的; 第 i 段编码数据为根据矩阵 $G_{N'}$ 对所述信息比特序列的第 i 个分段进行编码后, 再与第 0 段编码数据进行异或处理, 得到的。

该方法中, 终端设备将待编码的信息比特序列划分为 m 个分段, 并针对每一个分段采用大小为 $2^n \times 2^n$ 的 Polar 生成矩阵进行编码以及信息交织, 可以在编码过程中接收一部分信息后就可以对该部分信息进行编码并发送 (也即是达到支持流编码的目的), 降低编码器以及缓存的大小。

一种可能的实施方式中, m 个分段中的信息比特个数为 $k_0, k_1, \dots, k_{m-1}$, k_1 小于 k_0 , 且 $k_1 \leq \dots \leq k_{m-1} \leq k_0$ 。

一种可能的实施方式中, 第 i 个分段的信息比特个数为 k_i , 所述 i 满足 $0 \leq i \leq m-1$ 。

一种可能的实施方式中, 终端设备可以根据编码矩阵 G' 对信息比特序列进行编码, 得到

编码数据。其中, 编码矩阵 $G' = \begin{bmatrix} O & G_{N'} & \cdots & O \\ O & O & \cdots & \cdots \\ \cdots & \cdots & \ddots & G_{N'} \\ G_{N'} & G_{N'} & \cdots & G_{N'} \end{bmatrix}$, 编码矩阵 G' 为大小为 $(m \times 2^n) \times (m \times 2^n)$

的矩阵, m 和 n 为正整数, 矩阵 $G_{N'}$ 为大小为 $2^n \times 2^n$ 的 Polar 生成矩阵, 矩阵 O 为大小为 $2^n \times 2^n$ 的全零矩阵。

该方法中, 设计了一种基于 Polar 生成矩阵的编码矩阵, 类似于构造了一种 Polar 生成矩阵的耦合矩阵, 在编码矩阵 G' 下有利于实现流编码。

需要注意的是, 上述第一方面至第三方面中所述的方法, 也可以通过网络设备所执行。在这种情况下, 网络设备为编码侧, 终端设备为译码侧。

第四方面, 本申请提供第四种数据处理方法, 该数据处理方法可以由终端设备或网络设备所执行。其中, 以网络设备为执行主体, 且网络设备为译码侧为例, 网络设备接收编码数据, 并对编码数据进行译码, 得到译码数据。其中, 编码数据是根据编码矩阵 G 对信息比特

序列进行编码得到的, 编码矩阵 $G = \begin{bmatrix} G_{N'} & O & \cdots & O \\ O & G_{N'} & \cdots & O \\ \cdots & \cdots & \ddots & \cdots \\ G_{N'} & G_{N'} & \cdots & G_{N'} \end{bmatrix}$, 编码矩阵 G 为大小为

$(m \times 2^n) \times (m \times 2^n)$ 的矩阵, m 和 n 为正整数, 矩阵 $G_{N'}$ 为大小为 $2^n \times 2^n$ 的 Polar 生成矩阵, 矩

阵 O 为大小为 $2^n \times 2^n$ 的全零矩阵。

该方法中, 由于编码数据是基于本申请设计的一种全新的 Polar 码编码矩阵 G 得到的, 则译码侧接收该编码数据后, 可以支持在译码过程中接收一部分信息后就能对该部分信息进行译码, 降低译码器的大小。

一种可能的实施方式中, 信息比特序列包括 m 个分段, 每一个分段的 Polar 生成矩阵为 $G_{N'}$ 。

一种可能的实施方式中, 网络设备获取第 0 段编码数据对应的标记数据和第 1 段编码数据对应的标记数据, 将第 0 段编码数据对应的标记数据和第 1 段编码数据对应的标记数据进行 F 运算, 得到 F 运算后的第 1 段编码数据对应的标记数据; 并对 F 运算后的第 1 段编码数据对应的标记数据进行 Polar 码译码, 得到第 1 段编码数据对应的译码数据; 再根据第 1 段编码数据对应的标记数据和第 1 段编码数据对应的译码数据对第 0 段编码数据对应的标记数据进行增强。需要注意的是, 第 0 段编码数据包括编码矩阵 G 的最后 N' 列, 或者, 第 0 段编码数据包括将编码矩阵 G 的前 $(m-1) \times 2^n$ 列和后 2^n 列做初等列变换后, 得到的编码矩阵 G' 的前 N' 列。第 1 段编码数据包括编码矩阵 G 的前 N' 列, 或者, 第 1 段编码数据包括编码矩阵 G' 的前 $N'+1$ 列至 $N' \times 2$ 列。

该方法中, 网络设备基于首次接收的第 0 段编码数据及其相邻的第 1 段编码数据进行译码, 从而实现了流译码, 并且对第 0 段编码数据进行增强, 有利于后续译码过程中基于增强后的第 0 段编码数据实现流译码。

一种可能的实施方式中, 网络设备继续获取第 q 段编码数据对应的标记数据, 其中, q 为 $2 \leq q \leq m-1$, 并将第 q 段编码数据对应的标记数据与增强后的第 0 段编码数据对应的标记数据进行 F 运算, 得到 F 运算后的第 q 段编码数据对应的标记数据, 对 F 运算后的第 q 段编码数据对应的标记数据进行 Polar 码译码, 得到第 q 段编码数据对应的译码数据。并且, 根据第 q 段编码数据对应的标记数据和第 q 段编码数据对应的译码数据对增强后的第 0 段编码数据对应的标记数据进行增强。

该方法中, 对于第 2 段编码数据直至第 $m-1$ 段编码数据, 都采用相同的方法进行译码。并且, 随着译码的进行不断增强第 0 段编码数据对应的标记数据, 有利于实现流译码。

需要注意的是, 上述第四方面中所述的方法, 也可以通过终端设备所执行。在这种情况下, 网络设备为编码侧, 终端设备为译码侧。

第五方面, 本申请实施例提供一种数据处理装置, 该数据处理装置可以是终端设备, 也可以是终端设备中的装置, 或者是能够与终端设备匹配使用的装置。一种设计中, 该数据处理装置可以包括执行如第一方面至第三方面, 和第一方面至第三方面中任一种可能的实施方式中描述的方法/操作/步骤/动作所一一对应的模块, 该模块可以是硬件电路, 也可以是软件, 也可以是硬件电路结合软件实现。一种设计中, 该数据处理装置可以包括处理单元和通信单元。

其中, 对终端设备执行的方法/操作/步骤/动作的具体描述可以参考上述第一方面到第三方面, 和第一方面至第三方面中任一种可能的实施方式中对应的描述, 此处不再赘述。可以理解的是, 该数据处理装置也可以实现如第一方面到第三方面中可以实现的效果。

第六方面, 本申请实施例提供一种数据处理装置, 该数据处理装置可以是网络设备, 也可以是网络设备中的装置, 或者是能够与网络设备匹配使用的装置。一种设计中, 该数据处理装置可以包括执行如第四方面和第四方面中任一种可能的实施方式中描述的方法/操作/步骤/动作所一一对应的模块, 该模块可以是硬件电路, 也可以是软件, 也可以是硬件电路结合

软件实现。一种设计中，该数据处理装置可以包括处理单元和通信单元。

其中，对网络设备执行的方法的具体描述可以参考上述第四方面和第四方面中任一种可能的实施方式中对应的描述，此处不再赘述。可以理解的是，该数据处理装置也可以实现如第四方面中可以实现的效果。

第七方面，本申请实施例提供一种通信装置，该通信装置由输入输出接口和逻辑电路组成，所述输入输出接口用于输入或输出数据；所述逻辑电路按照如第一方面到第三方面，和第一方面至第三方面中任一种可能的实施方式中的方法对数据进行处理，获取处理后的数据。

第八方面，本申请实施例提供一种通信装置，该通信装置由输入输出接口和逻辑电路组成，所述输入输出接口用于输入或输出数据；所述逻辑电路按照如第四方面和第四方面任一种可能的实施方式中的方法对数据进行处理，获取处理后的数据。

第九方面，本申请实施例提供一种终端设备，包括：处理器，该处理器与存储器耦合，该存储器用于存储指令，当指令被处理器执行时，使得该终端设备实现上述第一方面至第四方面，或第一方面至第四方面任一种可能的实施方式中的方法。

第十方面，本申请实施例提供一种网络设备，包括：处理器，该处理器与存储器耦合，该存储器用于存储指令，当指令被处理器执行时，使得该网络设备实现上述第一方面至第四方面，或第一方面至第四方面任一种可能的实施方式中的方法。

第十一方面，本申请实施例提供一种通信系统，该通信系统包括发送端和接收端。其中，发送端用于实现上述第一方面至第三方面，和第一方面至第三方面任一种可能的实施方式中的方法中的功能。接收端用于实现上述第四方面，和第四方面任一种可能的实施方式中的方法中的功能。可选的，该通信系统可以包括如第五方面和第六方面中描述的数据处理装置，或者可以包括如第七方面和第八方面中描述的通信装置，或者可以包括如第九方面和第十方面中描述的设备。

第十二方面，本申请实施例中还提供一种计算机可读存储介质，所述计算机可读存储介质上存储指令，当所述指令在计算机上运行时，使得计算机执行第一方面至第四方面，和第一方面至第四方面任一种可能的实施方式中的方法。

第十三方面，本申请实施例提供了一种芯片系统，该芯片系统包括处理器，还可以包括存储器，用于实现上述第一方面至第四方面，和第一方面至第四方面任一种可能的实施方式中的方法中的功能。该芯片系统可以由芯片构成，也可以包含芯片和其他分立器件。

第十四方面，本申请实施例中还提供一种计算机程序产品，包括指令，当所述指令在计算机上运行时，使得计算机执行第一方面至第四方面，和第一方面至第四方面任一种可能的实施方式中的方法。

附图说明

图1为本申请提供的一种通信系统的示意图；

图2为一种 8×8 的polar码编码示意图；

图3为本申请提供的一种数据处理方法的流程示意图；

图4为本申请提供的一种支持流译码的流编码的示意图；

图5为本申请提供的一种流编码的示意图；

图6为本申请提供的另一种数据处理方法的流程示意图；

图7为本申请提供的一种流译码的示意图；

图8为本申请提供的数据处理方法的性能分析图；

图 9 为本申请提供的一种装置的示意图；

图 10 为本申请提供的一种通信设备的示意图。

具体实施方式

在本申请中，“/”可以表示前后关联的对象是一种“或”的关系，例如，A/B 可以表示 A 或 B；“和/或”可以用于描述关联对象存在三种关系，例如，A 和/或 B，可以表示：单独存在 A，同时存在 A 和 B，单独存在 B 这三种情况，其中 A，B 可以是单数或者复数。为了便于描述本申请的技术方案，在本申请中，可以采用“第一”、“第二”等字样对功能相同或相似的技术特征进行区分。该“第一”、“第二”等字样并不对数量和执行次序进行限定，并且“第一”、“第二”等字样也并无限定一定不同。在本申请中，“示例性的”或者“例如”等词用于表示例子、例证或说明，被描述为“示例性的”或者“例如”的任何或设计方案不应被解释为比其它或设计方案更优选或更具优势。使用“示例性的”或者“例如”等词旨在以具体方式呈现相关概念，便于理解。

下面将结合本申请中的附图，对本申请中的技术方案进行描述。

本申请提供了一种数据处理方法，该方法构造了一个全新的 Polar 码的编码矩阵，通过该编码矩阵对待编码的信息比特进行处理，从而实现 Polar 码的流编码和/或流译码。该数据处理方法可以应用于通信系统中，系统架构如图 1 所示。其中，该通信系统包括网络设备和终端设备，网络设备可以向终端设备提供通信服务。

本申请提及的通信系统包括但不限于：窄带物联网系统（narrow band-Internet of things, NB-IoT）、全球移动通信系统（global system for mobile communications, GSM）、增强型数据速率 GSM 演进系统（enhanced data rate for GSM evolution, EDGE）、宽带码分多址系统（wideband code division multiple access, WCDMA）、码分多址 2000 系统（code division multiple access, CDMA2000）、时分同步码分多址系统（time division-synchronization code division multiple access, TD-SCDMA）、长期演进系统（long term evolution, LTE）以及 5G 移动通信系统的三大应用场景增强移动宽带（enhanced mobility broad band, eMBB）、超高可靠与低时延通信（ultra-reliable and low latency communications, URLLC）和增强型机器类通信（enhanced machine-type communication, eMTC）以及未来的通信系统（例如 6G/7G 等）。

其中，网络设备可以是能和终端设备进行通信的设备。网络设备可以是基站、中继站或接入点。其中，基站可以是全球移动通信（global system for mobile communication, GSM）系统或码分多址（code division multiple access, CDMA）网络中的基站收发台（base transceiver station, BTS），也可以是宽带码分多址（wideband code division multiple access, WCDMA）系统中的 3G 基站 NodeB，还可以是长期演进（long term evolution, LTE）系统中的 evolutionary NodeB（简称为 eNB 或 eNodeB）。网络设备还可以是卫星通信系统中的卫星。网络设备还可以是云无线接入网络（cloud radio access network, CRAN）场景下的无线控制器。网络设备还可以是 5G 网络中的网络设备或者未来演进的公用陆地移动网（public land mobile network, PLMN）网络中的网络设备（例如 gNodeB）。网络设备还可以是可穿戴设备、无人机，或者车联网中的设备（例如车联网万物设备（vehicle to everything, V2X）），或者设备间（device to device, D2D）通信中的通信设备，或者应用于未来的通信系统中的网络设备。

其中，终端设备可以是用户设备（user equipment, UE）、接入终端、终端单元、终端站、移动站、移动台、远方站、远程终端、移动设备、终端、无线通信设备、终端代理或终端装置等。接入终端可以是蜂窝电话、无绳电话、会话启动协议（session initiation protocol, SIP）

电话、无线本地环路 (wireless local loop, WLL) 站、个人数字处理 (personal digital assistant, PDA)、具有无线通信功能的手持设备、计算设备或连接到无线调制解调器的其它处理设备、可穿戴设备、无人机、V2X 设备、D2D 设备, 5G 网络中的终端设备、未来演进的 PLMN 网络中的终端设备或未来的通信系统中的终端设备等。

可以理解的是, 本申请为编码方案, 可以用于专用网设备或者通用设备, 可以用于网络设备, 也可以用于各种终端设备等。本申请可以通过专用芯片 (例如专用集成电路 (application specific integrated circuit, ASIC) 实现, 也可以通过可编程芯片 (例如现场可编程逻辑门阵列 (field programmable gate array, FPGA) 实现, 还可以通过软件 (存储器中程序代码) 实现, 本申请不作限定。

一、本申请的相关概念

1、Polar 码:

Polar 码是一种能够被严格证明达到信道容量的信道编码方案, Polar 码具有高性能, 低复杂度, 匹配方式灵活等特点。目前 Polar 码已经被确定为第五代移动通信 (the 5th generation, 5G) 控制信道增强移动宽带 (enhanced mobile broadband, eMBB) 场景的上行和/或下行控制信道编码方案。

例如, 图 2 为一种 8×8 的 polar 码编码示意图, 其中, 待编码比特按照各自的可靠度进行排序, 依次排列在待编码块中的不同位置。通常来说, 可靠度较高的比特被设置为信息比特 (data), 可靠度较低的比特被设置为固定比特 (frozen)。固定比特的值通常设置为 0, 在实际传输中发送端和接收端都已知。如图 2 所示, u_7, u_6, u_5, u_3 为可靠度靠前的四位比特, 分别设置为信息比特; u_4, u_2, u_1, u_0 为可靠度靠后的四位比特, 分别设置为固定比特。

其中, Polar 码是一种线性块码。其生成矩阵为 G_N , 其编码过程为 $x_1^N = u_1^N G_N$ 。其中, $u_1^N = (u_1, u_2, \dots, u_N)$ 是一个二进制的行矢量, 长度为 N (即码长)。 G_N 是一个 $N \times N$ 的矩阵, 且 $G_N = F_2^{\otimes(\log_2(N))}$, 其中, $F_2 = \begin{bmatrix} 1 & 0 \\ 1 & 1 \end{bmatrix}$, $F_2^{\otimes(\log_2(N))}$ 定义为 $\log_2(N)$ 个矩阵 F_2 的克罗内克

(Kronecker) 乘积。例如, 当 $N=4$ 时, $\log_2(N) = \log_2(4) = 2$, 则 $F_2^{\otimes 2} = \begin{bmatrix} 1 & 0 & 0 & 0 \\ 1 & 1 & 0 & 0 \\ 1 & 0 & 1 & 0 \\ 1 & 1 & 1 & 1 \end{bmatrix}$; 当 $N=8$

时, $\log_2(N) = \log_2(8) = 3$, 则 $F_2^{\otimes 3} = \begin{bmatrix} 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 1 & 0 & 0 & 0 & 0 & 0 \\ 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 1 & 1 & 0 & 0 & 1 & 1 & 0 & 0 \\ 1 & 0 & 1 & 0 & 1 & 0 & 1 & 0 \\ 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \end{bmatrix}$ 。因此, 标准的 Polar 码的母

码长度 $N=2^n$, n 为正整数。

2、本申请提供的一种编码矩阵 G :

本申请提供的编码矩阵 $G = \begin{bmatrix} G_{N'} & 0 & \dots & 0 \\ 0 & G_{N'} & \dots & 0 \\ \dots & \dots & \ddots & \dots \\ G_{N'} & G_{N'} & \dots & G_{N'} \end{bmatrix}$, 其中, G 为大小为 $(m \times 2^n) \times (m \times 2^n)$ 的

矩阵, m 和 n 为正整数, 矩阵 $G_{N'}$ 为大小为 $2^n \times 2^n$ 的 Polar 生成矩阵, 表示为 $G_{N'} = F_2^{\otimes(\log_2(N'))}$, 矩阵 O 为大小为 $2^n \times 2^n$ 的全零矩阵。

也就是说, 如果将该编码矩阵 G 视为一个 $m \times m$ 的矩阵, 矩阵中的每一个元素均为一个 $2^n \times 2^n$ 的矩阵, 矩阵的对角线中各元素均为矩阵 $G_{N'}$, 矩阵的底边中各元素均为矩阵 $G_{N'}$, 除对角线和底边之外的元素均为矩阵 O 。

其中, 该编码矩阵 G 的母码长度 $N' = m \times 2^n$ 。可以理解的是, 当 $m=1$ 或者 $m=2$ 时, 该编

码矩阵 G 和普通 Polar 码的编码矩阵相同。当 $m \geq 3$ 时, 编码矩阵 $G = \begin{bmatrix} G_{N'} & 0 & \dots & 0 \\ 0 & G_{N'} & \dots & 0 \\ \dots & \dots & \ddots & \dots \\ G_{N'} & G_{N'} & \dots & G_{N'} \end{bmatrix}$ 。

3、本申请提供的另一种编码矩阵 G' :

针对编码矩阵 G 进行初等列变换, 可以得到变换后的编码矩阵 $G' = \begin{bmatrix} O & G_{N'} & \dots & O \\ O & O & \dots & \dots \\ \dots & \dots & \ddots & G_{N'} \\ G_{N'} & G_{N'} & \dots & G_{N'} \end{bmatrix}$ 。

可以理解的是, 将编码矩阵 G 的前 $(m-1) \times 2^n$ 列和后 2^n 列做初等列变换, 可以得到编码矩阵 G' 。其中, 与编码矩阵 G 相同的是, 编码矩阵 G' 为大小为 $(m \times 2^n) \times (m \times 2^n)$ 的矩阵, m 和 n 为正整数, 矩阵 $G_{N'}$ 为大小为 $2^n \times 2^n$ 的 Polar 生成矩阵, 表示为 $G_{N'} = F_2^{\otimes(\log_2(N'))}$, 矩阵 O 为大小为 $2^n \times 2^n$ 的全零矩阵, 该编码矩阵 G' 的母码长度 $N' = m \times 2^n$ 。

4、F 运算:

F 运算为 Polar 码的译码基本运算, 采用预定义的 F 函数 (f-function) 进行处理。其中, F 函数的输入为 L_0 和 L_1 , 且 F 函数可以简化为:

$$f(L_0, L_1) = (\text{sig}(L_0) \wedge \text{sig}(L_1) ? -1 : 1) * (\text{abs}(L_0) > \text{abs}(L_1) ? \text{abs}(L_1) : \text{abs}(L_0)),$$

其中, sig 为取符号操作, 如果立即数大于 0, 返回值为 0, 否则返回值为 1。abs 为取绝对值操作。例如, 假设有长度均为 N' 的编码数据 x_0 和 x_{m-1} , 对 x_0 和 x_{m-1} 进行 F 运算, 比较 x_0 和 x_{m-1} 的符号, 若两者一致则立即数的取值为 1, 否则取值为 -1。

5、G 运算:

G 运算为 Polar 码的译码基本运算, 采用预定义的 G 函数 (g-function) 进行处理。其中, G 函数的输入为 L_0 、 L_1 和反馈值 B , 且 G 函数为: $g(L_0, L_1, B) = (B == 0) ? L_1 + L_0 : L_1 - L_0$ 。

二、本申请提供的实现流编码的数据处理方法

1、采用编码矩阵 G 实现流编码的流程:

图 3 为本申请提供的一种数据处理方法的流程示意图。该数据处理方法可以由终端设备所执行, 也可以由网络设备所执行, 主要执行编码的流程, 包括以下步骤:

S101, 获取信息比特序列。

其中, 信息比特序列包括多个待编码的信息比特。例如, 信息比特序列可以表示为

$\{a_0, a_1, a_2, \dots, a_{k-1}\}$ ，该信息比特序列中的一个元素表示一个待编码比特。可以理解的是，该信息比特序列的长度可能不为指定码长（例如长度不为 $m \times 2^n$ ），可以对该信息比特序列进行处理（例如在信息比特序列中插入冻结位），使得对该信息比特序列进行编码后得到的编码数据的长度为 $N' = m \times 2^n$ 。

还可以理解的是，本申请中的待编码比特还可以包括循环冗余校验（cyclic redundancy check, CRC）比特和/或奇偶校验（parity check, PC）比特，同时可能还涉及到对其中某些比特甚至全部比特进行加扰等操作，由于与本申请的方案实质不相关，所以均以待编码比特统一予以陈述，此处不再赘述。

S102，根据编码矩阵 G 对信息比特序列进行编码，得到编码数据。

其中，对编码矩阵 G 的描述可以参考前文的相关概念，此处不再赘述。下面通过一个示例对编码过程进行描述。假设信息比特序列为 $u = \{a_0, a_1, a_2, \dots, a_{k-1}\}$ ，编码过程可以表示为：

$$x^N = u^N \times \begin{bmatrix} G_{N'} & 0 & \dots & 0 \\ 0 & G_{N'} & \dots & 0 \\ \dots & \dots & \ddots & \dots \\ G_{N'} & G_{N'} & \dots & G_{N'} \end{bmatrix} \quad (1)$$

其中， u^N 为信息比特序列，将 u^N 与编码矩阵 G 进行模二乘，得到编码数据 x^N ， x^N 的长度为 $m \times 2^n$ 。

一种可能的实施方式中，可以将信息比特序列划分为 m 个分段，也即是信息比特序列包括 m 个分段，每一个分段的 Polar 生成矩阵为 $G_{N'}$ 。其中，每一个分段的长度为 2^n ，则每一个分段都可以与大小为 $2^n \times 2^n$ 的 Polar 生成矩阵 $G_{N'}$ 进行模二乘运算，并且分段之间进行信息交织，可以得到编码数据。具体来说，采用该实施方式对信息比特序列进行编码，得到编码数据，包括两种情况：

情况一： m 个分段中的信息比特个数为 $k_0, k_1, \dots, k_{m-1}$ ， k_0 小于 k_{m-1} ，且 $k_0 \leq k_1 \leq \dots \leq k_{m-1}$ 。

其中， k_0 为第 0 个分段中的信息比特个数， k_1 为第 1 个分段中的信息比特个数，以此类推， k_{m-1} 为第 $m-1$ 个分段中的信息比特个数。并且，第 0 个分段中的信息比特个数小于第 $m-1$ 个分段中的信息比特个数，第 $m-1$ 个分段中的信息比特个数最多（也即是最后一个分段包括了最多的信息比特）。在这种情况下，编码过程包括以下步骤：

获取 m 份缓存数据，其中，第 j 份缓存数据为采用矩阵 $G_{N'}$ 对信息比特序列的第 j 个分段进行编码后得到的，所述 j 满足 $0 \leq j \leq m-1$ ；

编码数据包括 m 段，

其中，第 0 段编码数据为第 $m-1$ 份缓存数据，

第 i 段编码数据为将第 j 份缓存数据与第 $m-1$ 份缓存数据进行异或处理得到的， i 满足 $1 \leq i \leq m-1$ ， j 满足 $0 \leq j \leq m-2$ 。

例如，终端设备首先采用矩阵 $G_{N'}$ 对信息比特序列中的每一个分段分别进行模二乘运算，得到 m 份缓存数据，然后采用第 $m-1$ 份缓存数据分别与前 $m-2$ 份缓存数据进行异或处理（例如模二加运算），得到编码数据。

可以理解的是，采用情况一中描述的编码过程对信息比特序列进行编码，与采用编码矩阵 G 对信息比特序列进行编码，编码原理是类似的。

情况二： m 个分段中的信息比特个数为 $k_0, k_1, \dots, k_{m-1}$ ， k_1 小于 k_0 ，且 $k_1 \leq \dots \leq k_{m-1} \leq k_0$ 。

其中， k_0 为第 0 个分段中的信息比特个数， k_1 为第 1 个分段中的信息比特个数，以此类推， k_{m-1} 为第 $m-1$ 个分段中的信息比特个数。并且，第 0 个分段中的信息比特个数大于第 1

个分段中的信息比特个数,第0个分段中的信息比特个数最多(也即是第1个分段包括了最多的信息比特)。在这种情况下,编码数据包括 m 段,其中,第0段编码数据为根据矩阵 $G_{N'}$ 对信息比特序列的第0个分段进行编码得到的;第 i 段编码数据为根据矩阵 $G_{N'}$ 对信息比特序列的第 i 个分段进行编码后,再与第0段编码数据进行异或处理,得到的。

例如,终端设备首先采用矩阵 $G_{N'}$ 对信息比特序列中的第0个分段进行模二乘运算,得到第0段编码数据,再采用矩阵 $G_{N'}$ 对信息比特序列中的第1个分段进行模二乘运算,并且将运算结果与第0段编码数据进行异或处理(例如模二加运算),得到第1段编码数据,以此类推,直至得到第 $m-1$ 段编码数据。可以理解的是,上述编码的过程可以视为一种流编码的过程,也即是编码器可以一边接收待编码的数据,一边将已接收的待编码的数据进行编码后并发送。

可选的,情况二中描述的编码过程所对应的编码矩阵 G' 为对编码矩阵 G 进行初等列变换

得到的,其中,编码矩阵 $G' = \begin{bmatrix} O & G_{N'} & \dots & O \\ O & O & \dots & \dots \\ \dots & \dots & \ddots & G_{N'} \\ G_{N'} & G_{N'} & \dots & G_{N'} \end{bmatrix}$ 。也就是说,采用情况二中描述的编码过

程对信息比特序列进行编码,与采用编码矩阵 G 对信息比特序列进行编码,编码原理是类似的。

S103,发送编码数据。

其中,若S102中描述的编码流程可以实现流编码(例如S102中描述的情况二),终端设备在编码完成一段编码数据后,就可以发送该段编码数据,而不用等待信息比特序列中的全部比特编码完成后再发送全部编码数据。若S102中描述的编码流程是为了实现流译码而设计的(例如S102中描述的情况一),终端设备在信息比特序列中的全部比特编码完成后再发送全部编码数据。

可见,本申请提供的数据处理方法设计了一种全新的Polar码编码矩阵 G ,当终端设备采用该编码矩阵 G 对待编码的信息比特进行编码时,可以在编码过程中接收一部分信息比特之后就可以对该部分信息比特进行编码并发送编码数据,也即是实现了流编码,有利于降低终端设备中编码器和缓存的大小。并且,采用该编码矩阵对待编码的信息比特进行编码得到编码数据,有利于实现流译码。

2、支持流译码的流编码过程

图4为本申请提供的一种支持流译码的流编码的示意图。其中,信息比特序列可以表示为 $\{a_0, a_1, a_2, \dots, a_{k-1}\}$,该信息比特序列中的一个元素表示一个待编码比特。将该信息比特序列分为 m 个子段,每一个子段中分配 k_i 个信息比特。将最先收到的 k_0 个信息比特 $\{a_0, a_1, a_2, \dots, a_{k_0-1}\}$ 插入冻结位后得到 u_0^N ,再将 u_0^N 与矩阵 $G_{N'}$ 进行模二乘运算,得到 $y_0^{N'}$,将 $y_0^{N'}$ 保留至缓存中。采用针对 k_0 个信息比特同样的处理流程,可以得到 $y_1^{N'} \sim y_{m-1}^{N'}$,并将 $y_1^{N'} \sim y_{m-1}^{N'}$ 保留至缓存中。

应注意,发送 $y_1^{N'} \sim y_{m-1}^{N'}$ 时的顺序为:

首先,将 $y_{m-1}^{N'}$ 作为 $x_{m-1}^{N'}$ 发送;

然后,将 $y_0^{N'}$ 和 $y_{m-1}^{N'}$ 进行异或后得到并发送 $x_0^{N'}$;

其次,将 $y_1^{N'}$ 和 $y_{m-1}^{N'}$ 进行异或后得到并发送 $x_1^{N'}$;

以此类推,将 $y_{m-2}^{N'}$ 和 $y_{m-1}^{N'}$ 进行异或后得到并发送 $x_{m-2}^{N'}$ 。

当按照上述顺序发送完成后,流编码过程完成。

3、支持流编码的流程

图 5 为本申请提供的一种流编码的示意图。其中，信息比特序列可以表示为 $\{a_0, a_1, a_2, \dots, a_{k-1}\}$ ，该信息比特序列中的一个元素表示一个待编码比特。将该信息比特序列分为 m 个子段，每一个子段中分配 k_i 个信息比特。将最先收到的 k_0 个信息比特 $\{a_0, a_1, a_2, \dots, a_{k_0-1}\}$ 插入冻结位后得到 $u_0^{N'}$ ，再将 $u_0^{N'}$ 与矩阵 $G_{N'}$ 进行模二乘运算，得到 $y_0^{N'}$ ，将 $y_0^{N'}$ 保留一份至缓存中，并将 $y_0^{N'}$ 作为 $x_0^{N'}$ 发送。

将接下来收到的 k_1 个信息比特 $\{a_{k_0}, a_{k_0+1}, a_{k_0+2}, \dots, a_{k_0+k_1-1}\}$ 插入冻结位后得到 $u_1^{N'}$ ，再将 $u_1^{N'}$ 与矩阵 $G_{N'}$ 进行模二乘运算，得到 $y_1^{N'}$ 。从缓存中获取 $y_0^{N'}$ ，将 $y_1^{N'}$ 和 $y_0^{N'}$ 进行异或后得到 $x_1^{N'}$ ，发送 $x_1^{N'}$ 。采用针对 k_1 个信息比特同样的处理流程，可以得到并发送 $x_2^{N'} \sim x_{m-1}^{N'}$ 。在发送完成 $x_{m-1}^{N'}$ 后，删除缓存 $y_0^{N'}$ ，流编码过程完成。

三、本申请提供的实现流译码的数据处理方法

1、流译码的流程

图 6 为本申请提供的另一种数据处理方法的流程示意图。该数据处理方法可以由终端设备所执行，也可以由网络设备所执行。可以理解的是，当终端设备执行此处第三部分描述的数据处理方法时，即终端设备为译码侧，则网络设备执行前述第二部分中描述的数据处理方法，即网络设备为编码侧。当执行译码的流程时，包括以下步骤：

S201，接收编码数据，编码数据是根据编码矩阵 G 对信息比特序列进行编码得到的。

其中，对编码矩阵 G 、编码数据、以及根据编码矩阵 G 对信息比特序列进行编码的描述参考前文第二部分中对应的描述，此处不再赘述。例如，为了支持流译码，编码数据可以是基于编码矩阵 G 对信息比特序列进行编码得到的，也可以是基于 S102 中情况一中描述的方式对信息比特序列进行编码得到的。

S202，对编码数据进行译码，得到译码数据。

其中，对编码数据进行译码的过程为流译码流程，终端设备可以先对接收到的第 0 段编码数据和第 1 段编码数据进行译码，也即是，在译码过程中接收一部分信息后就能对该部分信息进行译码。具体来说，可以包括以下步骤：

s11，获取第 0 段编码数据对应的标记数据和第 1 段编码数据对应的标记数据；

s12，将第 0 段编码数据对应的标记数据和第 1 段编码数据对应的标记数据进行 F 运算，得到 F 运算后的第 1 段编码数据对应的标记数据；

s13，对 F 运算后的第 1 段编码数据对应的标记数据进行 Polar 码译码，得到第 1 段编码数据对应的译码数据；

s14，根据第 1 段编码数据对应的标记数据和第 1 段编码数据对应的译码数据对第 0 段编码数据对应的标记数据进行增强。

其中，第 0 段编码数据对应的标记数据为第 0 段编码数据的对数似然比 (log likelihood ratio, LLR)，第 1 段编码数据对应的标记数据为第 1 段编码数据的 LLR。将第 0 段编码数据的 LLR 和第 1 段编码数据的 LLR 作为 F 函数的输入，得到 F 运算后的第 1 段编码数据对应的标记数据。其中，对 F 函数的描述参考前文的描述，此处不再赘述。

其中，对 F 运算后的第 1 段编码数据对应的标记数据进行 Polar 码译码的方法可以参考现有的 Polar 码译码方式，本申请不作限定。将第 0 段编码数据的 LLR、第 1 段编码数据的 LLR 和第 1 段编码数据对应的译码数据作为 G 函数的输入，从而实现第 0 段编码数据对应

的标记数据进行增强,有利于后续译码过程中基于增强后的第0段编码数据实现流译码。其中,对G函数的描述参考前文的描述,此处不再赘述。

一种可能的实施方式中,第0段编码数据对应的标记数据可以为第0段编码数据的似然概率,第1段编码数据对应的标记数据可以为第1段编码数据的似然概率。在这种情况下,上述步骤s12将变为:将第0段编码数据对应的标记数据和第1段编码数据对应的标记数据进行概率运算,得到在概率域中的第1段编码数据对应的标记数据。可以理解的是,后续的处理流程仍然按照s13和s14执行,可以实现对第0段编码数据对应的标记数据进行增强。

进一步,针对后续接收的每一段编码数据,处理方式与上述s11~s14是类似的,可以包括以下步骤:

s15,获取第 q 段编码数据对应的标记数据, q 为 $2 \leq q \leq m-1$,

s16,将第 q 段编码数据对应的标记数据与增强后的第0段编码数据对应的标记数据进行F运算,得到F运算后的第 q 段编码数据对应的标记数据;

s17,对F运算后的第 q 段编码数据对应的标记数据进行Polar码译码,得到第 q 段编码数据对应的译码数据;

s18,根据第 q 段编码数据对应的标记数据和第 q 段编码数据对应的译码数据对增强后的第0段编码数据对应的标记数据进行增强。

例如,获取第2段编码数据对应的标记数据,并将第2段编码数据对应的标记数据与增强后的第0段编码数据对应的标记数据进行F运算,得到F运算后的第2段编码数据对应的标记数据;对F运算后的第2段编码数据对应的标记数据进行Polar码译码,得到第2段编码数据对应的译码数据,根据第2段编码数据对应的标记数据和第2段编码数据对应的译码数据对增强后的第0段编码数据对应的标记数据进行二次增强,得到二次增强后的第0段编码数据对应的标记数据。上述步骤的具体实施方式,可以参考s11~s14对应的具体实施方式,此处不再赘述。

可见,本申请提供的数据处理方法在接收该编码数据后,可以支持在译码过程中接收一部分信息后就能对该部分信息进行译码,也即是实现了流译码,可以降低译码器的大小,从而降低译码侧的开销。

2、一种流译码流程的具体示例

图7为本申请提供的一种流译码的示意图。当接收第0段编码数据(长度为 $N'=2^n$)时,根据前文实施例中的描述,第0段编码数据为第 $m-1$ 份缓存数据,则将第0段编码数据标记为 $L_{m-1}^{N'}$ 后并缓存。其中, $L_{m-1}^{N'}$ 为 $x_{m-1}^{N'}$ 发送数据的LLR, $x_{m-1}^{N'}$ 即为前文第二部分第三小节中描述的将 $y_{m-1}^{N'}$ 作为 $x_{m-1}^{N'}$ 发送。

当接收第1段编码数据(长度为 $N'=2^n$)时,第1段编码数据为第0份缓存数据,则将第1段编码数据标记为 $L_0^{N'}$ 后,与 $L_{m-1}^{N'}$ 进行F运算(例如采用Polar码定义的f-function),得到 $\tilde{L}_0^{N'}$,对 $\tilde{L}_0^{N'}$ 进行普通Polar码译码得到译码数据 $\tilde{x}_0^{N'}$ 。对 $\tilde{L}_0^{N'}, L_{m-1}^{N'}, \tilde{x}_0^{N'}$ 进行G运算(例如采用Polar码定义的g-function),得到增强的 $L_{m-1}^{N'}$ 。

当接收第2段编码数据(长度为 $N'=2^n$)时,第2段编码数据为第1份缓存数据,则将第2段编码数据标记为 $L_1^{N'}$ 后,与 $L_{m-1}^{N'}$ 进行F运算,得到 $\tilde{L}_1^{N'}$,对 $\tilde{L}_1^{N'}$ 进行普通Polar码译码得到译码数据 $\tilde{x}_1^{N'}$ 。对 $\tilde{L}_1^{N'}, L_{m-1}^{N'}, \tilde{x}_1^{N'}$ 进行G运算,得到二次增强的 $L_{m-1}^{N'}$ 。

可以理解的是,采用同样的方法可以得到译码数据 $\tilde{x}_2^{N'} \sim \tilde{x}_{m-2}^{N'}$,同时随着译码的进行可以得到多次增强的 $L_{m-1}^{N'}$ 。最后对多次增强的 $L_{m-1}^{N'}$ 进行普通polar码译码得到译码数据 $\tilde{x}_{m-1}^{N'}$,流译码过程完成。

四、本申请提供的数据处理方法的性能分析

图 8 为本申请提供的数据处理方法的性能分析图。该性能分析图是采用码长为 $N'=\{128,512,2048\}$ ，码率 $R=1/8$ 的仿真译码器得到的译码性能示意图，其中，该性能分析图的横坐标为 E_sN_0 ，表示每个符号能量与噪声功率谱密度的比值；纵坐标为误块率（block error rate, BLER），用来衡量系统性能测试。可以理解的是，采用前文第三部分中描述的流译码的流程，译码器只需要接收两段编码数据（也即是 $N'\times 2$ 的 LLR）就可以开始译码，因此译码器的大小可以设计为 $N'\times 2$ 。

其中，实线、第一种虚线和第二种虚线三种线型为一组，可以用于对比相同的信息比特序列下，采用不同大小的译码器和相同的译码方式，或者采用相同大小的译码器和不同的译码方式时，译码性能的区别。

第一组：分别带有菱形符号的实线、第一种虚线和第二种虚线为第一组译码性能对比。其中，假设信息比特序列中信息比特个数为 $K=64$ ，则发送长度 $E=K/R=64/(1/8)=512$ ；假设译码器大小为 256 或 512，译码方式为采用现有的 Polar 码译码或者采用本申请提供的流译码。例如，带有菱形符号的第一种虚线表示发送长度 $E=512$ ，译码器大小为 512，信息比特个数为 $K=64$ ，且采用现有的 Polar 码译码时的译码性能；带有菱形符号的实线表示发送长度 $E=512$ ，译码器大小为 256，信息比特个数为 $K=64$ ，且采用流译码时的译码性能；带有菱形符号的第二种虚线表示发送长度 $E=512$ ，译码器大小为 256，信息比特个数为 $K=64$ ，且采用现有的 Polar 码译码时的译码性能。对第一组进行比较可见，在相同的 E_sN_0 的情况下，流译码的译码性能比译码器更大（也即是码长更长）的普通 Polar 码的译码性能差一点，但是流译码的译码侧采用更小的译码器，显著降低了译码侧的开销。在相同的 E_sN_0 和相同译码器大小的情况下，流译码的译码性能优于普通 Polar 码的译码性能。

第二组：分别带有正方形符号的实线、第一种虚线和第二种虚线为第二组译码性能对比。其中，假设信息比特序列中信息比特个数为 $K=256$ ，则发送长度 $E=K/R=256/(1/8)=2048$ ；假设译码器大小为 1024 或 2048，译码方式为采用现有的 Polar 码译码或者采用本申请提供的流译码。例如，带有正方形符号的第一种虚线表示发送长度 $E=2048$ ，译码器大小为 2048，信息比特个数为 $K=256$ ，且采用现有的 Polar 码译码时的译码性能；带有正方形符号的实线表示发送长度 $E=2048$ ，译码器大小为 1024，信息比特个数为 $K=256$ ，且采用流译码时的译码性能；带有正方形符号的第二种虚线表示发送长度 $E=2048$ ，译码器大小为 2048，信息比特个数为 $K=256$ ，且采用现有的 Polar 码译码时的译码性能。对第二组进行比较可见，在相同的 E_sN_0 的情况下，流译码的译码性能比译码器更大（也即是码长更长）的普通 Polar 码的译码性能差一点，但是流译码的译码侧采用更小的译码器，显著降低了译码侧的开销。在相同的 E_sN_0 和相同译码器大小的情况下，流译码的译码性能优于普通 Polar 码的译码性能。

第三组：分别带有星号的实线、第一种虚线和第二种虚线为第二组译码性能对比。其中，假设信息比特序列中信息比特个数为 $K=1024$ ，则发送长度 $E=K/R=1024/(1/8)=8192$ ；假设译码器大小为 4096 或 8192，译码方式为采用现有的 Polar 码译码或者采用本申请提供的流译码。例如，带有正方形符号的第一种虚线表示发送长度 $E=8192$ ，译码器大小为 8192，信息比特个数为 $K=1024$ ，且采用现有的 Polar 码译码时的译码性能；带有星号的实线表示发送长度 $E=8192$ ，译码器大小为 4096，信息比特个数为 $K=1024$ ，且采用流译码时的译码性能；带有星号的第二种虚线表示发送长度 $E=8192$ ，译码器大小为 8192，信息比特个数为 $K=1024$ ，且采用现有的 Polar 码译码时的译码性能。对第三组进行比较可见，在相同的 E_sN_0 的情况下，

流译码的译码性能比译码器更大（也即是码长更长）的普通 Polar 码的译码性能差一点，但是流译码的译码侧采用更小的译码器，显著降低了译码侧的开销。在相同的 EsN0 和相同译码器大小的情况下，流译码的译码性能优于普通 Polar 码的译码性能。

为了实现本申请提供的方法中的各功能，本申请提供的装置或设备可以包括硬件结构和/或软件模块，以硬件结构、软件模块、或硬件结构加软件模块的形式来实现上述各功能。上述各功能中的某个功能以硬件结构、软件模块、还是硬件结构加软件模块的方式来执行，取决于技术方案的特定应用和设计约束条件。本申请中对模块的划分是示意性的，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式。另外，在本申请各个实施例中的各功能模块可以集成在一个处理器中，也可以是单独物理存在，也可以两个或两个以上模块集成在一个模块中。上述集成的模块既可以采用硬件的形式实现，也可以采用软件功能模块的形式实现。

图 9 为本申请提供的一种装置的示意图。该装置可以包括执行如图 3 至图 7 对应的方法实施例中所描述的方法/操作/步骤/动作所一一对应的模块，该模块可以是硬件电路，也可以是软件，也可以是硬件电路结合软件实现。例如，该装置可以称为数据处理装置，也可以称为通信装置。

该装置包括通信单元 901 和处理单元 902。用于实现前述实施例中终端设备或者网络设备所执行的方法。

一种可能的实施方式中，处理单元 902 用于获取信息比特序列，并根据编码矩阵 G 对所述信息比特序列进行编码，得到编码数据。其中，编码矩阵 $G = \begin{bmatrix} G_{N'} & O & \dots & O \\ O & G_{N'} & \dots & O \\ \dots & \dots & \ddots & \dots \\ G_{N'} & G_{N'} & \dots & G_{N'} \end{bmatrix}$ ， G 为大

小为 $(m \times 2^n) \times (m \times 2^n)$ 的矩阵， m 和 n 为正整数，矩阵 $G_{N'}$ 为大小为 $2^n \times 2^n$ 的 Polar 生成矩阵，矩阵 O 为大小为 $2^n \times 2^n$ 的全零矩阵。通信单元 901 用于发送编码数据。

可选的，信息比特序列包括 m 个分段，每一个分段的 Polar 生成矩阵为 $G_{N'}$ 。

可选的， m 个分段中的信息比特个数为 $k_0, k_1, \dots, k_{m-1}$ ，其中， k_0 小于 k_{m-1} ，且 $k_0 \leq k_1 \leq \dots \leq k_{m-1}$ 。

可选的，第 i 个分段的信息比特个数为 k_i ，所述 i 满足 $0 \leq i \leq m-1$ 。

可选的，处理单元 902 用于获取 m 份缓存数据，其中，第 j 份缓存数据为采用矩阵 $G_{N'}$ 对信息比特序列的第 j 个分段进行编码后得到的， j 满足 $0 \leq j \leq m-1$ ；编码数据包括 m 段，其中，第 0 段编码数据为第 $m-1$ 份缓存数据，第 i 段编码数据为将第 j 份缓存数据与第 $m-1$ 份缓存数据进行异或处理得到的， i 满足 $1 \leq i \leq m-1$ ， j 满足 $0 \leq j \leq m-2$ 。

可选的，通信单元 901 用于首先发送第 $m-1$ 份缓存数据，再依次发送第 i 段编码数据， $1 \leq i \leq m-1$ 。

可选的，处理单元 902 用于对编码矩阵 G 进行初等列变换，变换后的编码矩阵 $G' = \begin{bmatrix} O & G_{N'} & \dots & O \\ O & O & \dots & \dots \\ \dots & \dots & \ddots & G_{N'} \\ G_{N'} & G_{N'} & \dots & G_{N'} \end{bmatrix}$ ；并根据变换后的编码矩阵 G' 对信息比特序列进行编码，得到编码数据。

可选的, m 个分段中的信息比特个数为 $k_0, k_1, \dots, k_{m-1}$, k_1 小于 k_0 , 且 $k_1 \leq \dots \leq k_{m-1} \leq k_0$ 。

可选的, 编码数据包括 m 段, 其中, 第 0 段编码数据为根据矩阵 $G_{N'}$ 对信息比特序列的第 0 个分段进行编码得到的; 第 i 段编码数据为根据矩阵 $G_{N'}$ 对信息比特序列的第 i 个分段进行编码后, 再与第 0 段编码数据进行异或处理, 得到的。

该实施方式中通信单元 901 和处理单元 902 的具体执行流程还可以参考图 3 至图 7 对应的方法实施例中的描述, 此处不再赘述。该装置所实现的数据处理方法设计了一种全新的 Polar 码编码矩阵 G , 当终端设备采用该编码矩阵 G 对待编码的信息比特进行编码时, 可以在编码过程中接收一部分信息比特之后就可以对该部分信息比特进行编码并发送编码数据, 也即是实现了流编码, 有利于降低终端设备中编码器和缓存的大小。并且, 采用该编码矩阵对待编码的信息比特进行编码得到编码数据, 有利于实现流译码。

另一种可能的实施方式中, 处理单元 902 用于获取信息比特序列, 信息比特序列包括 m 个分段, 并采用每一个分段的 Polar 生成矩阵 $G_{N'}$ 对每一个分段进行处理, 得到 m 份缓存数据, 其中, 矩阵 $G_{N'}$ 为大小为 $2^n \times 2^n$ 的 Polar 生成矩阵。处理单元 902 还用于基于 m 份缓存数据, 得到编码数据。编码数据包括 m 段, 其中, 第 0 段编码数据为第 $m-1$ 份缓存数据, 第 i 段编码数据为将第 j 份缓存数据与所述第 $m-1$ 份缓存数据进行异或处理得到的, i 满足 $1 \leq i \leq m-1$, 所述 j 满足 $0 \leq j \leq m-2$ 。通信单元 901 用于发送编码数据。

可选的, m 个分段中的信息比特个数为 $k_0, k_1, \dots, k_{m-1}$, 其中, k_0 小于 k_{m-1} , 且 $k_0 \leq k_1 \leq \dots \leq k_{m-1}$ 。

可选的, 第 i 个分段的信息比特个数为 k_i , 所述 i 满足 $0 \leq i \leq m-1$ 。

可选的, 处理单元 902 用于根据编码矩阵 G 对信息比特序列进行编码, 得到编码数据。

其中, 编码矩阵 $G = \begin{bmatrix} G_{N'} & O & \dots & O \\ O & G_{N'} & \dots & O \\ \dots & \dots & \ddots & \dots \\ G_{N'} & G_{N'} & \dots & G_{N'} \end{bmatrix}$, 编码矩阵 G 为大小为 $(m \times 2^n) \times (m \times 2^n)$ 的矩阵, m

和 n 为正整数, 矩阵 $G_{N'}$ 为大小为 $2^n \times 2^n$ 的 Polar 生成矩阵, 矩阵 O 为大小为 $2^n \times 2^n$ 的全零矩阵。

该实施方式中通信单元 901 和处理单元 902 的具体执行流程还可以参考图 3 至图 7 对应的方法实施例中的描述, 此处不再赘述。该装置所实现的数据处理方法将待编码的信息比特序列划分为 m 个分段, 并针对每一个分段采用大小为 $2^n \times 2^n$ 的 Polar 生成矩阵进行编码以及信息交织, 并且编码后数据交织发送, 有利于实现流译码。

另一种可能的实施方式中, 处理单元 902 用于获取信息比特序列, 信息比特序列包括 m 个分段, 并采用每一个分段的 Polar 生成矩阵 $G_{N'}$ 对每一个分段进行处理, 得到编码数据。其中, 矩阵 $G_{N'}$ 为大小为 $2^n \times 2^n$ 的 Polar 生成矩阵, 编码数据包括 m 段, 第 0 段编码数据为根据矩阵 $G_{N'}$ 对所述信息比特序列的第 0 个分段进行编码得到的; 第 i 段编码数据为根据矩阵 $G_{N'}$ 对所述信息比特序列的第 i 个分段进行编码后, 再与第 0 段编码数据进行异或处理, 得到的。通信单元 901 用于发送编码数据。

可选的, m 个分段中的信息比特个数为 $k_0, k_1, \dots, k_{m-1}$, k_1 小于 k_0 , 且 $k_1 \leq \dots \leq k_{m-1} \leq k_0$ 。

可选的, 第 i 个分段的信息比特个数为 k_i , 所述 i 满足 $0 \leq i \leq m-1$ 。

可选的, 处理单元 902 用于根据编码矩阵 G' 对信息比特序列进行编码, 得到编码数据。

其中, 编码矩阵 $G' = \begin{bmatrix} O & G_{N'} & \dots & O \\ O & O & \dots & \dots \\ \dots & \dots & \ddots & G_{N'} \\ G_{N'} & G_{N'} & \dots & G_{N'} \end{bmatrix}$, 编码矩阵 G' 为大小为 $(m \times 2^n) \times (m \times 2^n)$ 的矩阵, m

和 n 为正整数, 矩阵 $G_{N'}$ 为大小为 $2^n \times 2^n$ 的 Polar 生成矩阵, 矩阵 O 为大小为 $2^n \times 2^n$ 的全零矩阵。

该实施方式中通信单元 901 和处理单元 902 的具体执行流程还可以参考图 3 至图 7 对应的方法实施例中的描述, 此处不再赘述。该装置所实现的数据处理方法将待编码的信息比特序列划分为 m 个分段, 并针对每一个分段采用大小为 $2^n \times 2^n$ 的 Polar 生成矩阵进行编码以及信息交织, 可以支持在编码过程中接收一部分信息后就可以对该部分信息进行编码并发送(也即是达到支持流编码的目的), 降低编码器以及缓存的大小。

另一种可能的实施方式中, 通信单元 901 用于接收编码数据, 处理单元 902 用于对编码数据进行译码, 得到译码数据。其中, 编码数据是根据编码矩阵 G 对信息比特序列进行编码

得到的, 编码矩阵 $G = \begin{bmatrix} G_{N'} & O & \dots & O \\ O & G_{N'} & \dots & O \\ \dots & \dots & \ddots & \dots \\ G_{N'} & G_{N'} & \dots & G_{N'} \end{bmatrix}$, 编码矩阵 G 为大小为 $(m \times 2^n) \times (m \times 2^n)$ 的矩阵,

m 和 n 为正整数, 矩阵 $G_{N'}$ 为大小为 $2^n \times 2^n$ 的 Polar 生成矩阵, 矩阵 O 为大小为 $2^n \times 2^n$ 的全零矩阵。

可选的, 处理单元 902 用于获取第 0 段编码数据对应的标记数据和第 1 段编码数据对应的标记数据, 将第 0 段编码数据对应的标记数据和第 1 段编码数据对应的标记数据进行 F 运算, 得到 F 运算后的第 1 段编码数据对应的标记数据; 并对 F 运算后的第 1 段编码数据对应的标记数据进行 Polar 码译码, 得到第 1 段编码数据对应的译码数据; 再根据第 1 段编码数据对应的标记数据和第 1 段编码数据对应的译码数据对第 0 段编码数据对应的标记数据进行增强。

可选的, 处理单元 902 用于获取第 q 段编码数据对应的标记数据, 其中, q 为 $2 \leq q \leq m-1$, 并将第 q 段编码数据对应的标记数据与增强后的第 0 段编码数据对应的标记数据进行 F 运算, 得到 F 运算后的第 q 段编码数据对应的标记数据, 对 F 运算后的第 q 段编码数据对应的标记数据进行 Polar 码译码, 得到第 q 段编码数据对应的译码数据。并且, 根据第 q 段编码数据对应的标记数据和第 q 段编码数据对应的译码数据对增强后的第 0 段编码数据对应的标记数据进行增强。

该实施方式中通信单元 901 和处理单元 902 的具体执行流程还可以参考图 3 至图 7 对应的方法实施例中的描述, 此处不再赘述。该装置所实现的数据处理方法可以支持在译码过程中接收一部分信息后就能对该部分信息进行译码, 降低译码器的大小。

下面对包括图 9 所示的多个功能单元的设备进行描述。本申请所述的设备包括图 9 所示的多个功能单元。图 10 为本申请提供的一种通信设备的示意图, 用于实现上述方法实施例中的数据处理方法。该通信设备 1000 也可以是芯片系统。可以理解的是, 该通信设备 1000 例如可以是终端设备, 也可以是网络设备。

其中, 通信设备 1000 包括通信接口 1001 和处理器 1002。通信接口 1001 例如可以是收发器、接口、总线、电路或者能够实现收发功能的装置。其中, 通信接口 1001 用于通过传输介质和其它设备进行通信, 从而用于设备 1000 可以和其它设备进行通信。处理器 1002 用于

执行处理相关的操作。

一种可能的实施方式中，处理器 1002 用于获取信息比特序列，并根据编码矩阵 G 对所

述信息比特序列进行编码，得到编码数据。其中，编码矩阵 $G = \begin{bmatrix} G_{N'} & O & \dots & O \\ O & G_{N'} & \dots & O \\ \dots & \dots & \ddots & \dots \\ G_{N'} & G_{N'} & \dots & G_{N'} \end{bmatrix}$ ， G 为大

小为 $(m \times 2^n) \times (m \times 2^n)$ 的矩阵， m 和 n 为正整数，矩阵 $G_{N'}$ 为大小为 $2^n \times 2^n$ 的 Polar 生成矩阵，矩阵 O 为大小为 $2^n \times 2^n$ 的全零矩阵。通信接口 1001 用于发送编码数据。

该实施方式中通信接口 1001 和处理器 1002 的具体执行流程还可以参考第一方面以及图 3 至图 7 对应的方法实施例中的描述，此处不再赘述。该通信设备所实现的数据处理方法设计了一种全新的 Polar 码编码矩阵 G ，当终端设备采用该编码矩阵 G 对待编码的信息比特进行编码时，可以在编码过程中接收一部分信息比特之后就可以对该部分信息比特进行编码并发送编码数据，也即是实现了流编码，有利于降低终端设备中编码器和缓存的大小。并且，采用该编码矩阵对待编码的信息比特进行编码得到编码数据，有利于实现流译码。

另一种可能的实施方式中，处理器 1002 用于获取信息比特序列，信息比特序列包括 m 个分段，并采用每一个分段的 Polar 生成矩阵 $G_{N'}$ 对每一个分段进行处理，得到 m 份缓存数据，其中，矩阵 $G_{N'}$ 为大小为 $2^n \times 2^n$ 的 Polar 生成矩阵。处理器 1002 还用于基于 m 份缓存数据，得到编码数据。编码数据包括 m 段，其中，第 0 段编码数据为第 $m-1$ 份缓存数据，第 i 段编码数据为将第 j 份缓存数据与所述第 $m-1$ 份缓存数据进行异或处理得到的， i 满足 $1 \leq i \leq m-1$ ，所述 j 满足 $0 \leq j \leq m-2$ 。通信接口 1001 用于发送编码数据。

该实施方式中通信接口 1001 和处理器 1002 的具体执行流程还可以参考第二方面以及图 3 至图 7 对应的方法实施例中的描述，此处不再赘述。该通信设备所实现的数据处理方法将待编码的信息比特序列划分为 m 个分段，并针对每一个分段采用大小为 $2^n \times 2^n$ 的 Polar 生成矩阵进行编码以及信息交织，并且编码后数据交织发送，有利于实现流译码。

另一种可能的实施方式中，处理器 1002 用于获取信息比特序列，信息比特序列包括 m 个分段，并采用每一个分段的 Polar 生成矩阵 $G_{N'}$ 对每一个分段进行处理，得到编码数据。其中，矩阵 $G_{N'}$ 为大小为 $2^n \times 2^n$ 的 Polar 生成矩阵，编码数据包括 m 段，第 0 段编码数据为根据矩阵 $G_{N'}$ 对所述信息比特序列的第 0 个分段进行编码得到的；第 i 段编码数据为根据矩阵 $G_{N'}$ 对所述信息比特序列的第 i 个分段进行编码后，再与第 0 段编码数据进行异或处理，得到的。通信接口 1001 用于发送编码数据。

该实施方式中通信接口 1001 和处理器 1002 的具体执行流程还可以参考第三方面以及图 3 至图 7 对应的方法实施例中的描述，此处不再赘述。该通信设备所实现的数据处理方法将待编码的信息比特序列划分为 m 个分段，并针对每一个分段采用大小为 $2^n \times 2^n$ 的 Polar 生成矩阵进行编码以及信息交织，可以支持在编码过程中接收一部分信息后就可以对该部分信息进行编码并发送（也即是达到支持流编码的目的），降低编码器以及缓存的大小。

另一种可能的实施方式中，通信接口 1001 用于接收编码数据，处理器 1002 用于对编码数据进行译码，得到译码数据。其中，编码数据是根据编码矩阵 G 对信息比特序列进行编码

得到的，编码矩阵 $G = \begin{bmatrix} G_{N'} & O & \dots & O \\ O & G_{N'} & \dots & O \\ \dots & \dots & \ddots & \dots \\ G_{N'} & G_{N'} & \dots & G_{N'} \end{bmatrix}$ ，编码矩阵 G 为大小为 $(m \times 2^n) \times (m \times 2^n)$ 的矩阵，

m 和 n 为正整数, 矩阵 G_N 为大小为 $2^n \times 2^n$ 的 Polar 生成矩阵, 矩阵 O 为大小为 $2^n \times 2^n$ 的全零矩阵。

该实施方式中通信接口 1001 和处理器 1002 的具体执行流程还可以参考第四方面以及图 3 至图 7 对应的方法实施例中的描述, 此处不再赘述。该通信设备所实现的数据处理方法可以支持在译码过程中接收一部分信息后就能对该部分信息进行译码, 降低译码器的大小。

可选的, 该通信设备 1000 还可以包括至少一个存储器 1003, 用于存储程序指令和/或数据。一种实施方式中, 存储器和处理器耦合。本申请中的耦合是装置、单元或模块之间的间接耦合或通信连接, 可以是电性, 机械或其它的形式, 用于装置、单元或模块之间的信息交互。处理器可能和存储器协同操作。处理器可能执行存储器中存储的程序指令。所述至少一个存储器和处理器集成在一起。

本申请中不限定上述通信接口、处理器以及存储器之间的具体连接介质。例如, 存储器、处理器以及通信接口之间通过总线连接, 总线 1004 在图 10 中以粗线表示, 其它部件之间的连接方式, 仅是进行示意性说明, 并不引以为限。所述总线可以分为地址总线、数据总线、控制总线等。为便于表示, 图 10 中仅用一条粗线表示, 但并不表示仅有一根总线或一种类型的总线。

在本申请中, 处理器可以是通用处理器、数字信号处理器、专用集成电路、现场可编程门阵列或者其他可编程逻辑器件、分立门或者晶体管逻辑器件、分立硬件组件, 可以实现或者执行本申请中的公开的各方法、步骤及逻辑框图。通用处理器可以是微处理器或者任何常规的处理器等。结合本申请所公开的方法的步骤可以直接体现为硬件处理器执行完成, 或者用处理器中的硬件及软件模块组合执行完成。

在本申请中, 存储器可以是非易失性存储器, 比如硬盘 (hard disk drive, HDD) 或固态硬盘 (solid-state drive, SSD) 等, 还可以是易失性存储器 (volatile memory), 例如随机存取存储器 (random-access memory, RAM)。存储器是能够用于携带或存储具有指令或数据结构形式的期望的程序代码并能够由计算机存取的任何其他介质, 但不限于此。本申请中的存储器还可以是电路或者其它任意能够实现存储功能的装置, 用于存储程序指令和/或数据。

本申请提供一种通信装置, 该通信装置由输入输出接口和逻辑电路组成, 所述输入输出接口用于输入或输出数据; 所述逻辑电路按照如图 3 至图 7 对应的实施例中的方法对数据进行处理, 获取处理后的数据。

本申请提供一种通信装置, 该通信装置由输入输出接口和逻辑电路组成, 所述输入输出接口用于输入或输出数据; 所述逻辑电路按照如图 3 至图 7 对应的实施例中的方法对数据进行处理, 获取处理后的数据。

本申请提供一种通信系统, 该通信系统包括如图 3 至图 7 对应的实施例中的终端设备和网络设备。

本申请提供一种计算机可读存储介质。该计算机可读存储介质存储有程序或指令。当所述程序或指令在计算机上运行时, 使得计算机执行如图 3 至图 7 对应的实施例中的数据处理方法。

本申请中提供一种计算机程序产品。该计算机程序产品包括指令。当所述指令在计算机上运行时, 使得计算机执行如图 3 至图 7 对应的实施例中的数据处理方法。

本申请提供一种芯片或者芯片系统, 该芯片或者芯片系统包括至少一个处理器和接口, 接口和至少一个处理器通过线路互联, 至少一个处理器用于运行计算机程序或指令, 以执行如图 3 至图 7 对应的实施例中的数据处理方法。

其中，芯片中的接口可以为输入/输出接口、管脚或电路等。

上述芯片系统可以是片上系统（system on chip, SOC），也可以是基带芯片等，其中基带芯片可以包括处理器、信道编码器、数字信号处理器、调制解调器和接口模块等。

在一种实现方式中，本申请中上述描述的芯片或者芯片系统还包括至少一个存储器，该至少一个存储器中存储有指令。该存储器可以为芯片内部的存储单元，例如，寄存器、缓存等，也可以是该芯片的存储单元（例如，只读存储器、随机存取存储器等）。

本申请提供的技术方案可以全部或部分地通过软件、硬件、固件或者其任意组合来实现。当使用软件实现时，可以全部或部分地以计算机程序产品的形式实现。所述计算机程序产品包括一个或多个计算机指令。在计算机上加载和执行所述计算机程序指令时，全部或部分地产生按照本申请所述的流程或功能。所述计算机可以是通用计算机、专用计算机、计算机网络、网络设备、终端设备或者其他可编程装置。所述计算机指令可以存储在计算机可读存储介质中，或者从一个计算机可读存储介质向另一个计算机可读存储介质传输，例如，所述计算机指令可以从一个网站站点、计算机、服务器或数据中心通过有线（例如同轴电缆、光纤、数字用户线（digital subscriber line, DSL））或无线（例如红外、无线、微波等）方式向另一个网站站点、计算机、服务器或数据中心进行传输。所述计算机可读存储介质可以是计算机可以存取的任何可用介质或者是包含一个或多个可用介质集成的服务器、数据中心等数据存储设备。所述可用介质可以是磁性介质（例如，软盘、硬盘、磁带）、光介质（例如，数字视频光盘（digital video disc, DVD））、或者半导体介质等。

在本申请中，在无逻辑矛盾的前提下，各实施例之间可以相互引用，例如方法实施例之间的方法和/或术语可以相互引用，例如装置实施例之间的功能和/或术语可以相互引用，例如装置实施例和方法实施例之间的功能和/或术语可以相互引用。

显然，本领域的技术人员可以对本申请进行各种改动和变型而不脱离本申请的范围。这样，倘若本申请的这些修改和变型属于本申请权利要求及其等同技术的范围之内，则本申请也意图包含这些改动和变型在内。

权 利 要 求 书

1. 一种数据处理方法，其特征在于，包括：

获取信息比特序列；

根据编码矩阵 G 对所述信息比特序列进行编码，得到编码数据；

所述编码矩阵 $G = \begin{bmatrix} G_{N'} & O & \dots & O \\ O & G_{N'} & \dots & O \\ \dots & \dots & \ddots & \dots \\ G_{N'} & G_{N'} & \dots & G_{N'} \end{bmatrix}$ ，所述 G 为大小为 $(m \times 2^n) \times (m \times 2^n)$ 的矩阵，所述

m 和所述 n 为正整数，

所述矩阵 $G_{N'}$ 为大小为 $2^n \times 2^n$ 的 Polar 生成矩阵，

所述矩阵 O 为大小为 $2^n \times 2^n$ 的全零矩阵；

发送所述编码数据。

2. 根据权利要求 1 所述的方法，其特征在于，

所述信息比特序列包括 m 个分段，每一个分段的 Polar 生成矩阵为 $G_{N'}$ 。

3. 根据权利要求 2 所述的方法，其特征在于，

所述 m 个分段中的信息比特个数为 $k_0, k_1, \dots, k_{m-1}$ ，

所述 k_0 小于所述 k_{m-1} ，且 $k_0 \leq k_1 \leq \dots \leq k_{m-1}$ 。

4. 根据权利要求 2 或 3 所述的方法，其特征在于，

第 i 个分段的信息比特数量为 k_i ，所述 i 满足 $0 \leq i \leq m-1$ 。

5. 根据权利要求 4 所述的方法，其特征在于，所述根据编码矩阵 G 对所述信息比特序列进行编码，得到编码数据，包括：

获取 m 份缓存数据，其中，第 j 份缓存数据为采用所述矩阵 $G_{N'}$ 对所述信息比特序列的第 j 个分段进行编码后得到的，所述 j 满足 $0 \leq j \leq m-1$ ；

所述编码数据包括 m 段，

其中，第 0 段编码数据为第 $m-1$ 份缓存数据，

第 i 段编码数据为将第 j 份缓存数据与所述第 $m-1$ 份缓存数据进行异或处理得到的，所述 i 满足 $1 \leq i \leq m-1$ ，所述 j 满足 $0 \leq j \leq m-2$ 。

6. 根据权利要求 2 至 5 任一项所述的方法，其特征在于，所述发送所述编码数据，包括：

发送所述第 $m-1$ 份缓存数据，

再依次发送所述第 i 段编码数据，所述 i 满足 $1 \leq i \leq m-1$ 。

7. 根据权利要求 1 所述的方法，其特征在于，所述方法还包括：

对所述编码矩阵 G 进行初等列变换，变换后的编码矩阵 $G' = \begin{bmatrix} O & G_{N'} & \dots & O \\ O & O & \dots & \dots \\ \dots & \dots & \ddots & G_{N'} \\ G_{N'} & G_{N'} & \dots & G_{N'} \end{bmatrix}$ ；

根据变换后的编码矩阵 G' 对所述信息比特序列进行编码，得到编码数据。

8. 根据权利要求 2 或 7 所述的方法，其特征在于，

所述 m 个分段中的信息比特个数为 $k_0, k_1, \dots, k_{m-1}$ ，

所述 k_1 小于所述 k_0 ，且 $k_1 \leq \dots \leq k_{m-1} \leq k_0$ 。

9. 根据权利要求 8 所述的方法，其特征在于，

所述编码数据包括 m 段,

其中,第 0 段编码数据为根据所述矩阵 $G_{N'}$ 对所述信息比特序列的第 0 个分段进行编码得到的;

第 i 段编码数据为根据所述矩阵 $G_{N'}$ 对所述信息比特序列的第 i 个分段进行编码后,再与
所述第 0 段编码数据进行异或处理,得到的。

10. 一种数据处理方法,其特征在于,包括:

接收编码数据,所述编码数据是根据编码矩阵 G 对信息比特序列进行编码得到的,

所述编码矩阵 $G = \begin{bmatrix} G_{N'} & O & \dots & O \\ O & G_{N'} & \dots & O \\ \dots & \dots & \ddots & \dots \\ G_{N'} & G_{N'} & \dots & G_{N'} \end{bmatrix}$, 所述编码矩阵 G 为大小为 $(m \times 2^n) \times (m \times 2^n)$ 的矩

阵,所述 m 和所述 n 为正整数,

所述矩阵 $G_{N'}$ 为大小为 $2^n \times 2^n$ 的 Polar 生成矩阵,

所述矩阵 O 为大小为 $2^n \times 2^n$ 的全零矩阵;

对所述编码数据进行译码,得到译码数据。

11. 根据权利要求 10 所述的方法,其特征在于,

所述信息比特序列包括 m 个分段,每一个分段的 Polar 生成矩阵为 $G_{N'}$ 。

12. 根据权利要求 10 或 11 所述的方法,其特征在于,所述对所述编码数据进行译码,得到译码数据,包括:

获取第 0 段编码数据对应的标记数据和第 1 段编码数据对应的标记数据,

将所述第 0 段编码数据对应的标记数据和所述第 1 段编码数据对应的标记数据进行 F 运算,得到 F 运算后的第 1 段编码数据对应的标记数据,

对 F 运算后的第 1 段编码数据对应的标记数据进行 Polar 码译码,得到第 1 段编码数据对应的译码数据;

根据所述第 1 段编码数据对应的标记数据和所述第 1 段编码数据对应的译码数据对所述第 0 段编码数据对应的标记数据进行增强。

13. 根据权利要求 12 所述的方法,其特征在于,所述方法还包括:

获取第 q 段编码数据对应的标记数据,所述 q 为 $2 \leq q \leq m-1$;

将所述第 q 段编码数据对应的标记数据与增强后的第 0 段编码数据对应的标记数据进行 F 运算,得到 F 运算后的第 q 段编码数据对应的标记数据;

对 F 运算后的第 q 段编码数据对应的标记数据进行 Polar 码译码,得到第 q 段编码数据对应的译码数据;

根据所述第 q 段编码数据对应的标记数据和所述第 q 段编码数据对应的译码数据对所述增强后的第 0 段编码数据对应的标记数据进行增强。

14. 一种数据处理方法,其特征在于,包括:

获取信息比特序列,信息比特序列包括 m 个分段;

采用每一个分段的 Polar 生成矩阵 $G_{N'}$ 对每一个分段进行处理,得到 m 份缓存数据,

其中,矩阵 $G_{N'}$ 为大小为 $2^n \times 2^n$ 的 Polar 生成矩阵;

基于 m 份缓存数据,得到编码数据,

发送所述编码数据,

其中,编码数据包括 m 段,其中,第 0 段编码数据为第 $m-1$ 份缓存数据,第 i 段编码数

据为将第 j 份缓存数据与第 $m-1$ 份缓存数据进行异或处理得到的, 所述 i 满足 $1 \leq i \leq m-1$, 所述 j 满足 $0 \leq j \leq m-2$ 。

15. 根据权利要求 14 所述的方法, 其特征在于,

所述 m 个分段中的信息比特个数为 $k_0, k_1, \dots, k_{m-1}$,

所述 k_0 小于所述 k_{m-1} , 且 $k_0 \leq k_1 \leq \dots \leq k_{m-1}$ 。

16. 根据权利要求 15 所述的方法, 其特征在于,

第 i 个分段的信息比特数量为 k_i , 所述 i 满足 $0 \leq i \leq m-1$ 。

17. 根据权利要求 14 至 16 任一项所述的方法, 其特征在于, 所述得到编码数据, 包括:

根据编码矩阵 $G = \begin{bmatrix} G_{N'} & O & \dots & O \\ O & G_{N'} & \dots & O \\ \dots & \dots & \ddots & \dots \\ G_{N'} & G_{N'} & \dots & G_{N'} \end{bmatrix}$ 对信息比特序列进行编码, 得到编码数据,

所述 G 为大小为 $(m \times 2^n) \times (m \times 2^n)$ 的矩阵, 所述 m 和所述 n 为正整数,

所述矩阵 $G_{N'}$ 为大小为 $2^n \times 2^n$ 的 Polar 生成矩阵,

所述矩阵 O 为大小为 $2^n \times 2^n$ 的全零矩阵。

18. 一种数据处理方法, 其特征在于, 包括:

获取信息比特序列, 信息比特序列包括 m 个分段,

采用每一个分段的 Polar 生成矩阵 $G_{N'}$ 对每一个分段进行处理, 得到编码数据;

发送所述编码数据;

其中, 矩阵 $G_{N'}$ 为大小为 $2^n \times 2^n$ 的 Polar 生成矩阵,

所述编码数据包括 m 段, 第 0 段编码数据为根据所述矩阵 $G_{N'}$ 对所述信息比特序列的第 0 个分段进行编码得到的; 第 i 段编码数据为根据矩阵 $G_{N'}$ 对所述信息比特序列的第 i 个分段进行编码后, 再与第 0 段编码数据进行异或处理, 得到的。

19. 根据权利要求 18 所述的方法, 其特征在于,

所述 m 个分段中的信息比特个数为 $k_0, k_1, \dots, k_{m-1}$,

所述 k_1 小于所述 k_0 , 且 $k_1 \leq \dots \leq k_{m-1} \leq k_0$ 。

20. 根据权利要求 18 或 19 所述的方法, 其特征在于, 所述得到编码数据, 包括:

根据编码矩阵 $G' = \begin{bmatrix} O & G_{N'} & \dots & O \\ O & O & \dots & \dots \\ \dots & \dots & \ddots & G_{N'} \\ G_{N'} & G_{N'} & \dots & G_{N'} \end{bmatrix}$ 对信息比特序列进行编码, 得到编码数据,

所述 G' 为大小为 $(m \times 2^n) \times (m \times 2^n)$ 的矩阵, 所述 m 和所述 n 为正整数,

所述矩阵 $G_{N'}$ 为大小为 $2^n \times 2^n$ 的 Polar 生成矩阵,

所述矩阵 O 为大小为 $2^n \times 2^n$ 的全零矩阵。

21. 一种数据处理装置, 其特征在于, 包括用于执行如权利要求 1 至 20 中任一项所述的方法所采用的单元或模块。

22. 一种通信设备, 其特征在于, 包括: 存储器 and 处理器;

所述存储器, 用于存储指令;

所述处理器, 用于执行所述指令, 使得如权利要求 1 至 20 中任一项所述的方法被执行。

23. 一种通信系统, 其特征在于, 包括:

发送端，用于执行如权利要求 1 至 9 或者 14 至 17 或者 18 至 20 中任一项所述的方法；
接收端，用于执行如权利要求 10 至 13 中任一项所述的方法。

24. 一种芯片，其特征在于，包括处理器和接口；

所述处理器用于读取指令以执行权利要求 1 至 20 中任一项所述的方法。

25. 一种通信装置，其特征在于，所述通信装置由输入输出接口和逻辑电路组成，所述输入输出接口用于输入或输出数据；所述逻辑电路按照如权利要求 1 至 9 或者 14 至 17 或者 18 至 20 中任一项所述的方法对数据进行处理，获取处理后的数据。

26. 一种通信装置，其特征在于，所述通信装置由输入输出接口和逻辑电路组成，所述输入输出接口用于输入或输出数据；所述逻辑电路按照如权利要求 10 至 13 中任一项所述的方法对数据进行处理，获取处理后的数据。

27. 一种计算机可读存储介质，其特征在于，包括程序或指令，当所述程序或指令在计算机上运行时，如权利要求 1 至 20 中任一项所述的方法被执行。