

明 細 書

発明の名称：マルチレベル電力変換装置

技術分野

[0001] 本発明は、高圧大容量向けのマルチレベル電力変換装置に関する。

背景技術

[0002] 電力変換装置は、半導体素子（ＩＧＢＴ等の半導体スイッチ素子と逆並列にダイオードを接続したモジュール：以下同様）である主回路スイッチング素子により構成される。この電力変換装置の高圧化手段として、複数の半導体素子を直列に接続した回路構成がある。

[0003] このように、半導体素子を直列接続した回路構成の中に５レベルの電圧を出力するマルチレベル電力変換装置が提案されている。また、このマルチレベル電力変換装置の一つとして、特許文献１のような回路構成が提案されている。特許文献１では、図２７に示すように、使用する直流電圧源ＤＣＣ１，ＤＣＣ２，フライングキャパシタＦＣ１，ＦＣ２を３相共通にすることにより、使用するキャパシタの数を削減し、装置の小型化を図っている。

先行技術文献

特許文献

[0004] 特許文献１：特願２０１２－２０９３６８号公報

発明の概要

[0005] しかしながら、図２７に示す回路構成ではキャパシタおよび一部の半導体素子Ｓ１～Ｓ４を３相共通としているために、出力できない出力電圧の組み合わせが存在するという課題がある。具体的には、出力端子Ｕ，Ｖ，Ｗから、 $2E$ ， 0 ， $-2E$ の相電圧をそれぞれ出力しようとする、フライングキャパシタＦＣ１を短絡してしまうため、これらの相電圧の組み合わせを出力することができなかった。

[0006] 具体例を図２８に基づいて説明する。ここで、図２８は、Ｕ相が $2E$ ，Ｖ相が 0 ，Ｗ相が $-2E$ の電圧を出力した例を示している。また、図２８にお

いて、○印は導通している半導体素子を表す。

[0007] 図28に示すように、出力端子U, V, Wから $2E$, 0 , $-2E$ の電圧をそれぞれ同時に出力しようとする、フライングキャパシタFC1の両端の半導体素子S1, S2が同時に導通し、フライングキャパシタFC1を短絡してしまう。その結果、 $DCC1 \rightarrow S1 \rightarrow FC1 \rightarrow S2 \rightarrow DCC1$ の短絡ループに過電流が生じる。

[0008] この問題点があるため、図27に示す回路構成では、図28に示すような導通させる半導体素子の選択ができず、 $2E$, 0 , $-2E$ の電圧を同時に出力できない。

[0009] 図27に示す回路構成では、出力端子U, V, Wからそれぞれ $2E$, 0 , $-2E$ の電圧を同時に出力できないため、他の出力電圧の組み合わせで模擬することより代替している。例えば、出力端子U, V, Wからそれぞれ $2E$, E , $-2E$ と $2E$, $-E$, $-2E$ の電圧を繰り返し出力し、平均的に $2E$, 0 , $-2E$ の電圧を出力することによって代替している。

[0010] しかし、出力端子U, V, Wからそれぞれ $2E$, E , $-2E$ と $2E$, $-E$, $-2E$ を出力している時間を常に等しくすると共に、常に時間管理する必要がある。その結果、制御が複雑化するという問題が生じる。この問題点は図27を応用して出力相数を4相以上に増やした回路構成についても同様である。

[0011] 一方、図29(a)に示す特許文献1の[実施形態5], 図29(b)に示す[実施形態6]では、直流電圧源DCC1, DCC2の印加電圧： $2E$, フライングキャパシタCFC1, CFC2の印加電圧： E の場合、出力端子OUT_U, OUT_V, OUT_Wから $2E$, 0 , $-2E$ の電圧を同時に出力可能である。しかし、図29(a)(b)に示す回路構成では、以下(1)(2)の問題点が生じる。

[0012] (1) 図29(a), (b)の回路構成では、出力端子OUT_U, OUT_V, OUT_Wに接続する半導体素子SU5, SU6, SV5, SV6, SW5, SW6に印加される定常電圧最大値は $3E$ となる。その結果、高

耐圧の半導体素子が必要であり、装置の小型化とコスト面において不利となる問題があった。

[0013] (2) 図29(a), (b)において○で囲った半導体素子 $S_{2.1} \sim S_{2.3}$, $S_{1.1} \sim S_{1.3}$ にはU相, V相, W相の3相分の電流が流れるため、これらの半導体素子 $S_{1.1} \sim S_{1.3}$, $S_{2.1} \sim S_{2.3}$ の冷却用に冷却効果が高い大型の冷却フィンが必要となる。

[0014] 以上の問題点(1), (2)は、図29(a), (b)を応用して出力相数を4相以上に増やした回路構成についても同様である。

[0015] 以上示したようなことから、多相のマルチレベル電力変換装置において、全ての相から任意の電圧を出力すると共に、全ての相から任意の電圧レベルを出力するための制御を簡略化することが課題となる。

[0016] 本発明は、前記従来の問題に鑑み、案出されたもので、その一態様は、直流電圧源およびフライングキャパシタの電圧から複数の電圧レベルに変換した交流出力を生成するマルチレベル電力変換装置であって、直列接続された N 個($N \geq 2$)の直流電圧源と、 N 個の直流電圧源のそれぞれの正負極間に順次直列接続された第1～第4半導体素子と、第1, 第2半導体素子の共通接続点に一端が接続された第5半導体素子と、第3, 第4半導体素子の共通接続点に一端が接続された第6半導体素子と、を有する M 相($M \geq 3$)の基本回路と、全ての相の第5半導体素子の他端と全ての相の第6半導体素子の他端との間に介挿された M 相共通のフライングキャパシタと、各基本回路の第2, 第3半導体素子の共通接続点を入力端子とし、入力端子と出力端子間にそれぞれ半導体素子を有し、この半導体素子を選択的にON, OFF制御することにより、前記入力端子のうち何れかの端子の電位を出力端子から出力する M 相の電圧選択回路と、を備えたことを特徴とする。

[0017] また、その他の態様として、直流電圧源およびフライングキャパシタの電圧から複数の電圧レベルに変換した交流出力を生成するマルチレベル電力変換装置であって、直列接続された N 個($N = 2$ 以上の偶数)の直流電圧源と、直列接続された N 個の直流電圧源のうち、偶数段の直流電圧源の正極端に

一端が接続されたM相 ($M \geq 3$) 共通の第1半導体素子と、前記偶数段の第1半導体素子の他端と前記偶数段の直流電圧源の負極端との間に順次直列接続されたM相の第2～第4半導体素子と、偶数段の第3、第4半導体素子の共通接続点に一端が接続されたM相の第6半導体素子と、奇数段の直流電圧共通接続点に一端が接続されたM相の第6半導体素子と、奇数段の直流電圧源の負極端に一端が接続されたM相共通の第4半導体素子と、前記奇数段の直流電圧源の正極端と奇数段の第4半導体素子の他端との間に順次直列接続されたM相の第1～第3半導体素子と、奇数段の第1、第2半導体素子の共通接続点に一端が接続されたM相の第5半導体素子と、を有する基本回路と

、偶数段における第1、第2半導体素子の共通接続点と偶数段における全ての相の第6半導体素子の他端との間に介挿されたM相共通のフライバックと、奇数段における全ての相の第5半導体素子の他端と奇数段における第3、第4半導体素子の共通接続点との間に介挿されたM相共通の奇数段のフライバックと、各基本回路の第2、第3半導体素子の共通接続点を入力端子とし、入力端子と出力端子間にそれぞれ半導体素子を有し、この半導体素子を選択的にON、OFF制御することにより、前記入力端子のうち何れかの端子の電位を出力端子から出力するM相の電圧選択回路と、を備えたことを特徴とする。

[0018] また、その他の態様として、直流電圧源およびフライングキャパシタの電圧から複数の電圧レベルに変換した交流出力を生成するマルチレベル電力変換装置であって、直列接続されたN個 ($N = 2$ 以上の偶数) の直流電圧源と、直列接続されたN個の直流電圧源のうち、偶数段の直流電圧源の負極端に一端が接続されたM相 ($M \geq 3$) 共通の第4半導体素子と、前記偶数段の直流電圧源の正極端と偶数段の第4半導体素子の他端との間に順次直列接続されたM相の第1～第3半導体素子と、偶数段の第1、第2半導体素子の共通接続点に一端が接続されたM相の第5半導体素子と、奇数段の直流電圧源の正極端に一端が接続されたM相共通の第1半導体素子と、奇数段の第1半導体素子の他端と奇数段の直流電圧源の負極端との間に順次直列接続されたM相の第2～第4半導体素子と、奇数段の第3、第4半導体素子の共通接続点

に一端が接続されたM相の第6半導体素子と、を有する基本回路と、偶数段における全ての第5半導体素子と第3，第4半導体素子の共通接続点の間に介挿されたM相共通の偶数段のフライングキャパシタと、奇数段における第1，第2半導体素子の共通接続点と全ての第6半導体素子との間に介挿されたM相共通の奇数段のフライングキャパシタと、各基本回路の第2，第3半導体素子の共通接続点を入力端子とし、入力端子と出力端子間にそれぞれ半導体素子を有し、この半導体素子を選択的にON，OFF制御することにより、前記入力端子のうち何れかの端子の電位を出力端子から出力するM相の電圧選択回路と、を備えたことを特徴とする。

[0019] また、その他の態様として、直流電圧源およびフライングキャパシタの電圧から複数の電圧レベルに変換した交流出力を生成するマルチレベル電力変換装置であって、直列接続されたN個（ $N = 2$ 以上の偶数）の直流電圧源と、直列接続されたN個の直流電圧源のうち偶数段の直流電圧源の正極端に順次直列接続された第2，第3半導体素子と、直列接続されたN個の直流電圧源のうち奇数段の直流電圧源の負極端に順次直列接続された第3，第2半導体素子と、を有するM相（ $M \geq 3$ ）の基本回路と、前記奇数段および偶数段の第2，第3半導体素子のそれぞれに並列接続されたM相共通のフライングキャパシタと、基本回路の第2，第3半導体素子の共通接続点および偶数段の直流電圧源の負極端と奇数段の直流電圧源の正極端の共通接続点を入力端子とし、入力端子と出力端子間に半導体素子を有し、この半導体素子を選択的にON，OFF制御することにより、前記入力端子のうち何れかの端子の電位を出力端子から出力するM相の電圧選択回路と、を備えたことを特徴とする。

[0020] 直流電圧源およびフライングキャパシタの電圧から複数の電圧レベルに変換した交流出力を生成するマルチレベル電力変換装置であって、直列接続されたN個（ $N = 2$ 以上の偶数）の直流電圧源と、直列接続されたN個の直流電圧源のうち偶数段の直流電圧源の正負極間に順次直列接続された第2～第4半導体素子と、前記偶数段の第3，第4半導体素子の共通接続点に一端が

接続された第6半導体素子と、直列接続されたN個の直流電圧源のうち奇数段の直流電圧源の正負極間に順次直列接続された第1～第3半導体素子と、前記奇数段の第1，第2半導体素子の共通接続点に一端が接続された第5半導体素子と、を有するM相 ($M \geq 3$) の基本回路と、前記偶数段における全ての第6半導体素子の他端と、偶数段の直流電圧源の正極端と第2半導体素子の共通接続点の間に介挿されたM相共通の偶数段のフライングキャパシタと、前記奇数段における全ての第5半導体素子の他端と、奇数段の直流電圧源の負極端と第3半導体素子の共通接続点との間に介挿されたM相共通の奇数段のフライングキャパシタと、基本回路の第2，第3半導体素子の共通接続点を入力端子とし、入力端子と出力端子間にそれぞれ半導体素子を有し、この半導体素子を選択的にON，OFF制御することにより、前記入力端子のうち何れかの端子の電位を出力端子から出力するM相の電圧選択回路と、を備えたことを特徴とする。

[0021] また、その他の態様として、直流電圧源およびフライングキャパシタの電圧から複数の電圧レベルに変換した交流出力を生成するマルチレベル電力変換装置であって、直列接続されたN個 ($N = 2$ 以上の偶数) の直流電圧源と、直列接続されたN個の直流電圧源のうち偶数段の直流電圧源の正負極間に順次直列接続された第1～第3半導体素子と、前記偶数段の第1，第2半導体素子の共通接続点に一端が接続された第5半導体素子と、直列接続されたN個の直流電圧源のうち奇数段の直流電圧源の正負極間に順次直列接続された第2～第4半導体素子と、前記奇数段の第3，第4半導体素子の共通接続点に一端が接続された第6半導体素子と、を有するM相 ($M \geq 3$) の基本回路と、前記偶数段における全ての第5半導体素子の他端と、偶数段の直流電圧源の負極端と第3半導体素子の共通接続点の間に介挿されたM相共通の偶数段のフライングキャパシタと、前記奇数段における全ての第6半導体素子の他端と、奇数段の直流電圧源の正極端と第2半導体素子の共通接続点との間に介挿されたM相共通の奇数段のフライングキャパシタと、基本回路の第2，第3半導体素子の共通接続点を入力端子とし、入力端子と出力端子間に

それぞれ半導体素子を有し、この半導体素子を選択的にON, OFF制御することにより、前記入力端子のうち何れかの端子の電位を出力端子から出力するM相の電圧選択回路と、を備えたことを特徴とする。

[0022] また、前記基本回路および電圧選択回路の半導体素子の一部または全てを、直列数を2以上としてもよい。

[0023] さらに、前記基本回路および電圧選択回路の半導体素子の一部または全てを、並列数を2以上としてもよい。

[0024] 本発明によれば、多相のマルチレベル電力変換装置において、全ての相から任意の電圧を出力すると共に、全ての相から任意の電圧レベルを出力するための制御を簡略化することが課題となる。

図面の簡単な説明

[0025] [図1]基本セルを示す図である。

[図2]基本セルをN個直列接続した基本回路を示す図である。

[図3]電圧選択回路を示す回路構成図である。

[図4]実施形態1におけるマルチレベル電力変換装置を示す図である。

[図5]実施形態2におけるマルチレベル電力変換装置を示す図である。

[図6]実施形態3におけるマルチレベル電力変換装置を示す図である。

[図7]実施形態4におけるマルチレベル電力変換装置を示す図である。

[図8]実施形態5におけるマルチレベル電力変換装置を示す図である。

[図9]実施形態6における基本セルを示す回路構成図である。

[図10]実施形態6におけるマルチレベル電力変換装置を示す回路構成図である。

[図11]実施形態6における出力電圧別の動作例を示す図である。

[図12]実施形態6におけるマルチレベル電力変換装置の動作例を示す図である。

[図13]実施形態7におけるマルチレベル電力変換装置を示す回路構成図である。

[図14]実施形態7におけるマルチレベル電力変換装置の動作例を示す図であ

る。

[図15]実施形態8におけるマルチレベル電力変換装置を示す回路構成図である。

[図16]実施形態8におけるマルチレベル電力変換装置の動作例を示す図である。

[図17]実施形態9におけるマルチレベル電力変換装置を示す回路構成図である。

[図18]実施形態9におけるマルチレベル電力変換装置の動作例を示す図である。

[図19]実施形態10におけるマルチレベル電力変換装置を示す回路構成図である。

[図20]実施形態10におけるマルチレベル電力変換装置の動作例を示す図である。

[図21]実施形態11におけるマルチレベル電力変換装置を示す回路構成図である。

[図22]実施形態11におけるマルチレベル電力変換装置の動作例を示す図である。

[図23]実施形態12におけるマルチレベル電力変換装置を示す回路構成図である。

[図24]実施形態12におけるマルチレベル電力変換装置の動作例を示す図である。

[図25]実施形態13におけるマルチレベル電力変換装置を示す回路構成図である。

[図26]実施形態14におけるマルチレベル電力変換装置を示す回路構成図である。

[図27]従来のマルチレベル電力変換装置の一例を示す回路構成図である。

[図28]従来のマルチレベル電力変換装置の出力不可能な出力電圧を示す説明図である。

[図29]従来のマルチレベル電力変換装置の他例を示す回路構成図である。

発明を実施するための形態

[0026] [基本セル]

図1は、本発明におけるマルチレベル電力変換装置に用いる基本セルを示す回路図である。基本セルは、6個の半導体素子 $S_{N.1} \sim S_{N.6}$ （例えば、IGBT等の半導体スイッチ素子と逆並列にダイオードを接続したモジュール：以下同様）で構成される。

[0027] 具体的には、図1に示すように、端子3は直流電圧源（直流キャパシタまたは直流電源）の正極側と接続され、端子1は直流電圧源の負極側と接続される。また、端子2'にはフライングキャパシタ（または、直流電圧源）の正極側と接続され、端子2''はフライングキャパシタの負極側と接続される。

[0028] 前記端子3と端子1との間には、半導体素子 $S_{N.1} \sim S_{N.4}$ が順次直列接続される。また、端子2'と半導体素子 $S_{N.1}$ 、 $S_{N.2}$ の共通接続点との間には半導体素子 $S_{N.5}$ が介挿され、端子2''と半導体素子 $S_{N.3}$ 、 $S_{N.4}$ の共通接続点との間には半導体素子 $S_{N.6}$ が介挿される。なお、半導体素子 $S_{N.2}$ 、 $S_{N.3}$ の共通接続点は端子2とする。

[0029] [基本回路]

図2に、図1に示す基本セルを N 個直列に接続した基本回路を示す。ここで、 $N \geq 2$ とする。

[0030] 端子番号 $2N+1$ 、 $2N-1$ 間には直流電圧源を接続する。端子番号 $2N'$ 、 $2N''$ 間にはフライングキャパシタを接続する。ここで、直流電圧源の電圧を $2E$ 、各フライングキャパシタの電圧を E とすると、基本セルを N 段直列に接続した構成において、「端子 $2n$ では、 $2E_n$ 、 $2E_n - E$ または $2E_n - 2E$ 」（ $n = 1, \dots, N$ ）の電圧を出力できる。

[0031] 端子 $2N$ 、端子 $2(N-1)$ 、 $\dots$ 、端子2にそれぞれ、電圧を選択するための電圧選択回路を接続することで、 $2N+1$ レベルの電力変換装置を実現できる。

[0032] [電圧選択回路]

次に、電圧選択回路を図3に基づいて説明する。電圧選択回路は、基本回路の端子(2, ..., 2N,)を入力端子とし、この入力端子のうちどの電位を出力端子から出力するかを選択するものである。電圧選択回路は、図3の(a), (b), (c), (d)またはこれらの組み合わせなどによって構成される。各入力端子と出力端子との間には、半導体素子S1~S28が設けられ、この半導体素子S1~S28を選択的にONすることにより、入力端子((a)では2N_3、2(N-1)_3、4_3、2_3、(b)では2N_3、2(N-1)_3、3_3、2_3、(c)では4_3、3_3、2_3、(d)では4N+1_3、4N-1_3、4N-3_3、5_3、3_3、2_3)のうち何れかの端子の電位を出力することができる。

[0033] [実施形態1]

図4は、本実施形態1におけるマルチレベル電力変換装置の構成を示す概略図である。図4に示すように、本実施形態1におけるマルチレベル電力変換装置は、図2に示す基本回路、および図3に示す電圧選択回路を用いて構成したM相N段のマルチレベル電力変換装置である。なお、 $N \geq 2$, $M \geq 3$ である。

[0034] 相モジュール11~1Mはそれぞれ基本回路と電圧選択回路の組み合わせで構成される。基本回路および電圧選択回路の構成は、図2、図3と同様であるため、ここでの説明は省略する。相モジュール11~1Mの両端端子1, 2N+1間にはN個の直流電圧源DCC1~DCCNが直列に接続され、相モジュール11~1M(基本回路)の端子3, ..., 2N-1にはそれぞれ各直流電圧源DCC1~DCCNの共通接続点が接続される。また、相モジュール11~1Mの端子2'', 2', ..., 2N'', 2N'には、N個のフライングキャパシタFC1~FCNを接続する。

[0035] ここで、直流電圧源DCC1~DCCNの電圧を2Eとし、フライングキャパシタFC1~FCNの電圧をEに制御すると、端子2p'' (p=1, 2, ..., N)から(2p-2)Eと(2p-1)Eの電圧を出力できる。また

、端子 $2p'$ からは $(2p-1)E$ と $2pE$ の電圧を出力できる。また、端子 $2p-1$ からは、 $(2p-2)E$ 、端子 $2p+1$ からは $2pE$ の電圧を出力できる。

[0036] 次に、端子 $1, 2'', 2', 3, \dots, 2N-1, 2N'', 2N', 2N+1$ をそれぞれ、相モジュール $11 \sim 1M$ に入力する。そして、基本回路において、段ごとに半導体素子 $S1.1, S1.2, S1.3, S1.4 \sim SN.1, SN.2, SN.3, SN.4$ を選択的に ON することにより、端子 $1, 2'', 2', 3, \dots, 2N-1, 2N'', 2N', 2N+1$ の中から何れかの端子の電位を端子 $2, \dots, 2N$ から出力する。そして、電圧選択回路により、各段の基本回路の半導体素子を選択的に ON することにより、端子 $2, \dots, 2N$ の中から何れかの端子の電位を出力端子 $OUT1 \sim OUTM$ から出力する。その結果、出力端子 $OUT1 \sim OUTM$ には $(2N+1)$ レベルの電圧を出力できる。

[0037] 以上示したように、本実施形態 1 によれば、以下 (1), (2) の作用効果を奏する。

[0038] (1) 図 27 に示す従来の回路構成と比べて、任意の相電圧レベルを出力できるようになると共に、任意の相電圧レベルを出力するための制御が容易となる。

[0039] (2) 図 29 (a), (b) に示す従来の回路構成のように、U 相, V 相, W 相の 3 相出力電流が流れる電力損失の高い半導体素子がないため、半導体素子冷却用の冷却フィンを小型化することが可能となる。

[0040] [実施形態 2]

次に、本実施形態 2 におけるマルチレベル電力変換装置を図 5 に基づいて説明する。本実施形態 2 におけるマルチレベル電力変換装置は、図 2 に示す基本回路の偶数段の基本セルにおいて、第 1 半導体素子 $S2.1 \sim SN.1$ を M 相共通にし、第 5 半導体素子 $S2.5 \sim SN.5$ を省略した回路と、基本回路の奇数段の基本セルにおいて、第 4 半導体素子 $S1.4 \sim SN-1.4$ を M 相共通にし、第 6 半導体素子 $S1.6 \sim SN-1.6$ を省略した回路

と、をN段接続した構成である。なお、本実施形態2におけるマルチレベル電力変換装置は、M相N段であり、Nは2以上の偶数、 $M \geq 3$ である。その他の構成は実施形態1と同様である。

[0041] 実施形態2の構成では、出力端子OUT1～OUTMから $(2N+1)$ レベルの電圧を出力できる。本実施形態2におけるマルチレベル電力変換装置によれば、図27に示す従来の回路構成と比べて、任意の相電圧レベルを出力できるようになると共に、任意の相電圧レベルを出力するための制御が容易となる。また、実施形態1と比較して半導体素子の数を減少させることができる。

[0042] [実施形態3]

次に、本実施形態3におけるマルチレベル電力変換装置を図6に基づいて説明する。本実施形態3におけるマルチレベル電力変換装置は、図2に示す基本回路の偶数段の基本セルにおいて、第4半導体素子 $S_{2,4} \sim S_{N,4}$ をM相共通にし、第6半導体素子 $S_{2,6} \sim S_{N,6}$ を省略した回路と、奇数段における基本セルにおいて第1半導体素子 $S_{1,1} \sim S_{N-1,1}$ をM相共通にし、第5半導体素子 $S_{1,5} \sim S_{N-1,5}$ を省略した回路と、をN段接続した構成である。なお、本実施形態3におけるマルチレベル電力変換装置は、M相N段であり、Nは2以上の偶数、 $M \geq 3$ である。その他の構成は実施形態1と同様である。

[0043] 本実施形態3の構成では、出力端子OUT1～OUTMに、 $(2N+1)$ レベルの電圧を出力できる。

[0044] 本実施形態3におけるマルチレベル電力変換装置によれば、実施形態2と同様の作用効果を奏する。

[0045] [実施形態4]

次に、本実施形態4におけるマルチレベル電力変換装置を図7に基づいて説明する。本実施形態4は、実施形態2のマルチレベル電力変換装置において、M相共通にした偶数段の基本セルの第1半導体素子 $S_{2,1} \sim S_{N,1}$ と、M相共通にした奇数段の第4半導体素子 $S_{1,4} \sim S_{N-1,4}$ を省略

したものである。すなわち、図7において、端子1, 5, $2N-3$, $2N+1$ と接続している半導体素子を省略している。その他の構成は実施形態2と同様である。なお、 N は2以上の偶数、 $M \geq 3$ である。

[0046] 本実施形態4の構成では、出力端子OUT1～OUTMに、 $(2N+1)$ レベルの電圧を出力できる。

[0047] 本実施形態4におけるマルチレベル電力変換装置によれば、図27に示す従来の回路構成と比べて、任意の相電圧レベルを出力できるようになると共に、任意の相レベルを出力するための制御が容易となる。

[0048] 図29(a), (b)に示す従来の回路構成のように、U相, V相, W相の3相出力電流が流れる電力損失の高い半導体素子がないため、半導体素子冷却用の冷却フィンを小型化することが可能となる。

[0049] さらに、実施形態2よりも半導体素子の数を減少させることができる。

[0050] [実施形態5]

次に、本実施形態5におけるマルチレベル電力変換装置を図8に基づいて説明する。本実施形態5は、実施形態3のマルチレベル電力変換装置において、 M 相共通にした偶数段の基本セルの第4半導体素子 $S_{2,4} \sim S_{N,4}$ と、奇数段の基本セルの第1半導体素子 $S_{1,1} \sim S_{N-1,1}$ を省略したものである。すなわち、図8において、端子3, $2N-1$ と接続されている半導体素子を省略している。その他の構成は実施形態3と同様である。なお、 N は2以上の偶数、 $M \geq 3$ である。

[0051] 本実施形態5では、出力端子OUT1～OUTMから $(2N+1)$ レベルの電圧を出力できる。

[0052] 本実施形態5におけるマルチレベル電力変換装置によれば、図27に示す従来の回路構成と比べて、任意の相電圧レベルを出力できるようになると共に、任意の相レベルを出力するための制御が容易となる。

[0053] また、図29(a), (b)に示す従来の回路構成のように、U相, V相, W相の3相出力電流が流れる電力損失の高い半導体素子がないため、半導体素子冷却用の冷却フィンを小型化することが可能となる。

[0054] さらに、実施形態3よりも半導体素子の数を減少させることができる。

[0055] [実施形態6]

図9は実施形態1において $N=1$ 、 $M=3$ の場合の基本セルである。直流電圧源 $DCC1$ 、フライングキャパシタ $FC1$ 、U相の半導体素子 $SUN.1 \sim SUN.6$ 、V相の半導体素子 $SVN.1 \sim SVN.6$ 、W相の半導体素子 $SWN.1 \sim SWN.6$ から構成される。

[0056] この基本セルを直列に2段接続することで（実施形態1において $N=2$ 、 $M=3$ ）図10に示す5レベル電力変換装置を構成できる。なお、図3（a）の電圧選択回路を使用している。

[0057] この時、直流電圧源 $DCC1$ 、 $DCC2$ の電圧は $2E$ 、フライングキャパシタ $FC1$ 、 $FC2$ の電圧は E である。また、U相の基本回路は、2個の直流電圧源 $DCC1$ 、 $DCC2$ のそれぞれの正負極間に順次直列接続された第1～第4半導体素子 $SU1.1 \sim SU1.4$ 、 $SU2.1 \sim SU2.4$ と、第1、第2半導体素子 $SU1.1$ 、 $SU1.2$ 、 $SU2.1$ 、 $SU2.2$ の共通接続点に一端が接続された第5半導体素子 $SU1.5$ 、 $SU2.5$ と、第3、第4半導体素子 $SU1.3$ 、 $SU1.4$ 、 $SU2.3$ 、 $SU2.4$ の共通接続点に一端が接続された第6半導体素子 $SU1.6$ 、 $SU2.6$ と、を有する。V相、W相についても同様である。

[0058] フライングキャパシタ $FC1$ 、 $FC2$ は、第5半導体素子 $SU1.5$ 、 $SV1.5$ 、 $SW1.5$ 、 $SU2.5$ 、 $SV2.5$ 、 $SW2.5$ の他端と第6半導体素子 $SU1.6$ 、 $SV1.6$ 、 $SW1.6$ 、 $SU2.6$ 、 $SV2.6$ 、 $SW2.6$ の他端との間に介挿される。

[0059] U相の電圧選択回路は、 $SU1 \sim SU4$ から構成される。V相、W相についても同様である。

[0060] なお、U、V、Wは出力端子を表す。また、図10の変形として、高電圧に対する耐性のため、各半導体素子を2直列以上で構成する回路も含むものとし、大電流に対する耐性のため各半導体素子を2並列以上に構成する回路も含むものとする。

[0061] また、半導体素子の耐電圧が適合していれば、図10の半導体素子SU1とSU2の2直列の半導体素子を1つの半導体素子に置き換えてもよい。なお、半導体素子SV1とSV2、SW1とSW2、SU3とSU4、SV3とSV4、SW3とSW4についても同様である。

[0062] この回路は、フライングキャパシタFC1とFC2を三相で共通化しており、5レベル相電圧を出力することができる。

[0063] U相の代表的なスイッチングパターン例を表1に示す。表1のパターンで半導体素子をスイッチングすることにより、図11に示した経路で $2E$ 、 E 、 0 、 $-E$ 、 $-2E$ の5段階の電圧を出力することが可能である。なお、表1および図11は一例であり、他のパターンでも良い。

[0064] [表1]

SU2.1	SU2.2	SU1	SU2	SU3	SU4	SU1.3	SU1.4	SU2.3	SU2.4	SU1.1	SU1.2	SU2.5	SU2.6	SU1.5	SU1.6	vou
ON	ON	ON	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	$2E$
OFF	ON	ON	ON	OFF	OFF	OFF	OFF	OFF	ON	OFF	OFF	ON	ON	OFF	OFF	E
OFF	OFF	ON	ON	OFF	OFF	OFF	OFF	ON	ON	OFF	OFF	OFF	OFF	OFF	OFF	0
OFF	OFF	OFF	OFF	ON	ON	ON	OFF	OFF	OFF	ON	OFF	OFF	OFF	ON	ON	$-E$
OFF	OFF	OFF	OFF	ON	ON	ON	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	$-2E$

[0065] 図12では、出力端子 $U = 2E$ 、出力端子 $V = 0$ 、出力端子 $W = -2E$ の電圧を出力する場合の各半導体素子の動作を示す。図12中の○は導通中の半導体素子を表す。

[0066] 上記のスイッチング状態で動作した場合においてもフライングキャパシタFC1の両端に半導体素子SU1.5、SV1.5、SW1.5、SU1.6、SV1.6、SW1.6、フライングキャパシタFC2の両端に半導体素子SU2.5、SV2.5、SW2.5、SU2.6、SV2.6、SW2.6を接続することで、フライングキャパシタFC1、FC2を短絡することなく動作させることができる。

[0067] このため、図27に示す従来の回路構成では出力できない相電圧の組み合わせ $2E$ 、 0 、 $-2E$ を出力できると共に、 $2E$ 、 0 、 $-2E$ を出力するための制御を簡略化することができる。

[0068] 次に、図 1 2 に示す回路における動作時の半導体素子の耐電圧について説明する。

[0069] 例として、U相が $2E$ 、V相が 0 、W相が $-2E$ の電圧を出力している場合について説明する。また、この時、半導体素子 $SW2.1$ 、 $SW2.2$ 、 $SW1$ 、 $SW2$ のオフ時のインピーダンスが全て等しい条件とする。

[0070] この場合、半導体素子 $SW2.1$ のコレクタ端子の電位が $2E$ 、出力端子Wの電位（すなわち、半導体素子 $SW2$ のエミッタ端子の電位）が $-2E$ なので、半導体素子 $SW2.1$ 、 $SW2.2$ 、 $SW1$ 、 $SW2$ のインピーダンスによる分圧により、半導体素子 $SW2.2$ と $SW1$ との共通接続点の電位は 0 となる。よって、半導体素子 $SW1$ と $SW2$ の直列接続回路の印加電圧は $2E$ となる。なお、各電位の基準点は図 1 0 の 0 端子とする。この条件が、半導体素子 $SW2.1$ 、 $SW2.2$ 、 $SW1$ 、 $SW2$ の直列回路間の印加電圧が最大（ $4E$ ）となる条件である。

[0071] したがって、図 1 0 に示す回路では、定常時の半導体素子 $SW1$ と $SW2$ の直列接続回路の印加電圧最大値は $2E$ となる。これは、半導体素子 $SU1$ と $SU2$ 、 $SV1$ と $SV2$ 、 $SU3$ と $SU4$ 、 $SV3$ と $SV4$ 、 $SW3$ と $SW4$ についても、同様である。

[0072] 一方、図 2 9 (a) の従来回路では、スイッチング素子のON/OFF状態によって、端子W0の電圧が E 、出力端子OUT_Wの電圧が $-2E$ となるモードがある。このとき、スイッチング素子 $SW5$ には、 $3E$ の印加電圧がかかる。

[0073] 図 2 9 (b) の従来回路では、スイッチング素子のON/OFF状態によって、端子W0の電圧が E 、出力端子OUT_Wの電圧が $-2E$ となるモードがある。このとき、スイッチング素子 $SW5$ には、 $3E$ の印加電圧がかかる。

[0074] 以上により、本実施形態6は、図 2 9 (a) , (b) の従来回路と比べて、出力端子に直接接続する半導体素子の耐電圧が低くてよいという、有利点を持っている。

[0075] また、本実施形態6は、図29(a), (b)のように、U相、V相、W相の3相分の電流が流れる半導体素子がない。そのため、冷却効果の高い冷却フィンは不要となる。

[0076] これらのことは、装置のコスト面や小型化においても有利となる。

[0077] なお、本実施形態6では3相出力回路について説明したが、出力相数を4相以上に増やした回路についても、フライングキャパシタFC1, FC2を短絡させることなく、各相の相電圧を独立して出力ができる。図29(a), (b)に示す従来の回路と比べて、半導体素子の耐電圧の優位点および3相分の電流が流れる半導体素子がない優位点についても、同様である。

[0078] [実施形態7]

次に、本実施形態7におけるマルチレベル電力変換装置を図13に基づいて説明する。本実施形態7におけるマルチレベル電力変換装置では、実施形態3において、 $N=2$, $M=3$, 図3(a)の電圧選択回路を使用した構成である。なお、U, V, Wは出力端子を表す。

[0079] 基本回路は、直列接続された2個の直流電圧源DCC1, DCC2のうち、偶数段の直流電圧源DCC2の負極端に一端が接続された3相共通の第4半導体素子S2.4と、前記偶数段の直流電圧源DCC2の正極端と偶数段の第4半導体素子S2.4の他端との間に順次直列接続された3相の第1～第3半導体素子SU2.1～SU2.3, SV2.1～SV2.3, SW2.1～SW2.3と、偶数段の第1, 第2半導体素子SU2.1, SU2.2, SV2.1, SV2.2, SW2.1, SW2.2の共通接続点に一端が接続された第5半導体素子SU2.5, SV2.5, SW2.5と、奇数段の直流電圧源DCC1の正極端に一端が接続された3相共通の第1半導体素子S1.1と、奇数段の第1半導体素子S1.1の他端と奇数段の直流電圧源DCC1の負極端との間に順次直列接続された3相の第2～第4半導体素子SU1.2～SU1.4, SV1.2～SV1.4, SW1.2～SW1.4と、奇数段の第3, 第4半導体素子SU1.3, SU1.4, SV1.3, SV1.4, SW1.3, SW1.4の共通接続点に一端が接続され

た第6半導体素子 $SU1.6$ 、 $SV1.6$ 、 $SW1.6$ と、を有する。

[0080] フライングキャパシタ $FC2$ は、偶数段における全ての第5半導体素子 $SU2.5$ 、 $SV2.5$ 、 $SW2.5$ と第3、第4半導体素子 $SU2.3$ 、 $SV2.3$ 、 $SW2.3$ 、 $SU2.4$ の共通接続点の間に介挿され、フライングキャパシタ $FC1$ は、奇数段における第1、2半導体素子 $S1.1$ 、 $SU1.2$ 、 $SV1.2$ 、 $SW1.2$ の共通接続点と全ての第6半導体素子 $SU1.6$ 、 $SV1.6$ 、 $SW1.6$ との間に介挿される。

[0081] 電圧選択回路は、 $SU1 \sim SU4$ 、 $SV1 \sim SV4$ 、 $SW1 \sim SW4$ から構成される。

[0082] 図13の変形として、高電圧に対する耐性のために各半導体素子を2直列以上に構成する回路も含む。また大電流に対する耐性のために、各半導体素子を2並列以上に構成する回路も含む。

[0083] また、半導体素子の耐電圧が適合していれば、図13に示す直列接続した2つの半導体素子 $SU1$ と $SU2$ を1つの半導体素子に置き換えてもよい。また、半導体素子 $SV1$ と $SV2$ 、 $SW1$ と $SW2$ 、 $SU3$ と $SU4$ 、 $SV3$ と $SV4$ 、 $SW3$ と $SW4$ についても同様である。

[0084] 本実施形態7においても、図27に示す従来の回路で出力できなかった相電圧の組み合わせ $2E$ 、 0 、 $-2E$ を出力できる。図14にその様子を示す。図14中の○は導通している半導体素子を表す。

[0085] 図14では、出力端子 $U=2E$ 、出力端子 $V=0$ 、出力端子 $W=-2E$ を出力する場合の各半導体素子の動作を示す。この時、フライングキャパシタ $FC2$ に半導体素子 $SU2.5$ 、 $SV2.5$ 、 $SW2.5$ が接続され、フライングキャパシタ $FC1$ に半導体素子 $SU1.6$ 、 $SV1.6$ 、 $SW1.6$ が接続されているため、フライングキャパシタ $FC1$ 、 $FC2$ を短絡せずに、 $2E$ 、 0 、 $-2E$ を出力できると共に、 $2E$ 、 0 、 $-2E$ を出力するための制御を簡略化することができる。

[0086] 本実施形態7においても、半導体素子 $SW2.1$ 、 $SW2.2$ 、 $SW1$ 、 $SW2$ のオフ時のインピーダンスが全て等しい条件では、実施形態6と同様

に、定常時の半導体素子 $SW1$ と $SW2$ の直列接続回路の印加電圧最大値は $2E$ となる。これは、半導体素子 $SU1$ と $SU2$, $SV1$ と $SV2$, $SW1$ と $SW2$, $SU3$ と $SU4$, $SV3$ と $SV4$, $SW3$ と $SW4$ についても、同様である。

[0087] なお、本実施形態 7 では 3 相出力回路について説明したが、出力相数を 4 相以上に増やした回路についても、フライングキャパシタ $FC1$, $FC2$ を短絡させることなく、各相の相電圧を独立して出力ができる。図 29 (a), (b) に示す従来の回路と比較した半導体素子の耐電圧の優位点についても、同様である。

[0088] [実施形態 8]

図 15 は、本実施形態 8 におけるマルチレベル電力変換装置を示す回路構成図である。本実施形態 8 は、実施形態 2 において、 $N=2$, $M=3$, 図 3 (a) の電圧選択回路を使用した構成である。U, V, W は出力端子を表す。

[0089] 基本回路は、直列接続された 2 個の直流電圧源 $DCC1$, $DCC2$ のうち、偶数段の直流電圧源 $DCC2$ の正極端に一端が接続された 3 相共通の第 1 半導体素子 $S2.1$ と、前記偶数段の第 1 半導体素子 $S2.1$ の他端と前記偶数段の直流電圧源 $DCC2$ の負極端との間に順次直列接続された 3 相の第 2 ~ 第 4 半導体素子 $SU2.2a \sim SU2.4$, $SV2.2a \sim SV2.4$, $SW2.2a \sim SW2.4$ と、偶数段の第 3, 第 4 半導体素子 $SU2.3$, $SU2.4$, $SV2.3$, $SV2.4$, $SW2.3$, $SW2.4$ の共通接続点に一端が接続された 3 相の第 6 半導体素子 $SU2.6$, $SV2.6$, $SW2.6$ と、奇数段の直流電圧源 $DCC1$ の負極端に一端が接続された 3 相共通の第 4 半導体素子 $S1.4$ と、前記奇数段の直流電圧源 $DCC1$ の正極端と奇数段の第 4 半導体素子 $S1.4$ の他端との間に順次直列接続された 3 相の第 1 ~ 第 3 半導体素子 $SU1.1 \sim SU1.3b$, $SV1.1 \sim SV1.3b$, $SW1.1 \sim SW1.3b$ と、奇数段の第 1, 第 2 半導体素子 $SU1.1$, $SU1.2$, $SV1.1$, $SV1.2$, $SW1.1$, $SW1.2$ の

共通接続点に一端が接続された3相の第5半導体素子 $S_{U1.5}$ 、 $S_{V1.5}$ 、 $S_{W1.5}$ と、を有する。

[0090] フライングキャパシタ $FC2$ は、偶数段における第1、第2半導体素子 $S_{2.1}$ 、 $S_{U2.2a}$ 、 $S_{V2.2a}$ 、 $S_{W2.2a}$ の共通接続点と偶数段における全ての相の第6半導体素子 $S_{U2.6}$ 、 $S_{V2.6}$ 、 $S_{W2.6}$ の他端との間に介挿され、フライングキャパシタ $FC1$ は、奇数段における全ての相の第5半導体素子 $S_{U1.5}$ 、 $S_{V1.5}$ 、 $S_{W1.5}$ の他端と奇数段における第3、第4半導体素子 $S_{U1.3b}$ 、 $S_{V1.3b}$ 、 $S_{W1.3b}$ 、 $S_{1.4}$ の共通接続点との間に介挿されている。

[0091] 電圧選択回路は、半導体素子 $S_{U1} \sim S_{U4}$ 、 $S_{V1} \sim S_{V4}$ 、 $S_{W1} \sim S_{W4}$ から構成される。

[0092] 本実施形態8においても、図27に示す従来の回路で出力できなかった相電圧の組み合わせ $2E$ 、 0 、 $-2E$ を出力可能である。

[0093] 図16に基づいてその様子を説明する。なお、図16中の○は導通している半導体素子を指す。図16では出力端子 $U=2E$ 、出力端子 $V=0$ 、出力端子 $W=-2E$ の電圧を出力する場合の各半導体素子の動作を示す。この時、フライングキャパシタ $FC1$ に第5半導体素子 $S_{U1.5}$ 、 $S_{V1.5}$ 、 $S_{W1.5}$ が接続され、フライングキャパシタ $FC2$ に第6半導体素子 $S_{U2.6}$ 、 $S_{V2.6}$ 、 $S_{W2.6}$ が接続されているため、フライングキャパシタ $FC1$ 、 $FC2$ を短絡せずに、出力端子 U 、 V 、 W から $2E$ 、 0 、 $-2E$ を出力できと共に、 $2E$ 、 0 、 $-2E$ を出力するための制御を簡略化することができる。

[0094] 本実施形態8の変形として、高電圧に対する耐性のために各半導体素子を2直列以上に構成する回路も含む。また、大電流に対する耐性のために、各半導体素子を2並列以上に構成する回路も含む。さらに、半導体素子の耐電圧が適合していれば、図15の半導体素子 $S_{U1.3a}$ と $S_{U1.3b}$ の2直列の半導体素子を1つの半導体素子に置き換えてもよい。

[0095] なお、半導体素子 $S_{V1.3a}$ と $S_{V1.3b}$ 、 $S_{W1.3a}$ と $S_{W1.3b}$ 、

3 b, S U 2. 2 a と S U 2. 2 b, S V 2. 2 a と S V 2. 2 b, S W 2. 2 a と S W 2. 2 b, S U 1 と S U 2, S V 1 と S V 2, S W 1 と S W 2, S U 3 と S U 4, S V 3 と S V 4, S W 3 と S W 4, についても、同様である。

[0096] 本実施形態 8 においても、半導体素子 S W 2. 2 a, S W 2. 2 b, S W 1, S W 2 のオフ時のインピーダンスが全て等しい条件では、実施形態 6 と同様に、定常時の半導体素子 S W 1 と S W 2 の直列接続回路における印加電圧の最大値は $2E$ となる。これは、半導体素子 S U 1 と S U 2, S V 1 と S V 2, S U 3 と S U 4, S V 3 と S V 4, S W 3 と S W 4 についても、同様である。

[0097] なお、本実施形態 8 では、3 相出力回路について説明したが、出力相数を 4 相以上に増やした回路についても、フライングキャパシタ F C 1, F C 2 を短絡させることなく、各相の相電圧を独立して出力ができる。図 29 (a), (b) に示す従来の回路と比べて、半導体素子の耐電圧の優位点についても、同様である。

[0098] [実施形態 9]

次に、本実施形態 9 におけるマルチレベル電力変換装置を図 17 に基づいて説明する。本実施形態 9 におけるマルチレベル電力変換装置は、実施形態 4 において、 $N = 2$, $M = 3$, 図 3 (a) の電圧選択回路を使用した構成である。U, V, W は出力端子を表す。

[0099] 基本回路は、直列接続された 2 個の直流電圧源 D C C 1, D C C 2 のうち偶数段の直流電圧源 D C C 2 の正極端に順次直列接続された第 2 ~ 第 4 半導体素子 S U 2. 2 ~ S U 2. 4, S V 2. 2 ~ S V 2. 4, S W 2. 2 ~ S W 2. 4 と、直列接続された 2 個の直流電圧源 D C C 1, D C C 2 のうち奇数段の直流電圧源 D C C 1 の負極端に順次直列接続された第 3 ~ 第 1 半導体素子 S U 1. 3 ~ S U 1. 1, S V 1. 3 ~ S V 1. 1, S W 1. 3 ~ S W 1. 1 と、を有する。

[0100] フライングキャパシタ F C 1 は奇数段の第 2, 第 3 半導体素子 S U 1. 3

, $SU_{1.2}$, $SV_{1.3}$, $SV_{1.2}$, $SW_{1.3}$, $SW_{1.2}$ と並列に接続され、フライングキャパシタ FC_2 は偶数段の第2, 第3半導体素子 $SU_{2.2}$, $SU_{2.3}$, $SV_{2.2}$, $SV_{2.3}$, $SW_{2.2}$, $SW_{2.3}$ に並列に接続される。

[0101] なお、フライングキャパシタ FC_1 と奇数段における第2半導体素子 $SU_{1.2}$, $SV_{1.2}$, $SW_{1.2}$ との間には第5半導体素子 $SU_{1.5}$, $SV_{1.5}$, $SW_{1.5}$ が介挿され、フライングキャパシタ FC_2 と偶数段における第3半導体素子 $SU_{2.3}$, $SV_{2.3}$, $SW_{2.3}$ との間には第6半導体素子 $SU_{2.6}$, $SV_{2.6}$, $SW_{2.6}$ が介挿される。

[0102] また、奇数段における第2半導体素子 $SU_{1.2}$, $SV_{1.2}$, $SW_{1.2}$ と0端子との間には、第1半導体素子 $SU_{1.1}$, $SV_{1.1}$, $SW_{1.1}$ が介挿され、偶数段における第3半導体素子 $SU_{2.3}$, $SV_{2.3}$, $SW_{2.3}$ と0端子との間には第4半導体素子 $SU_{2.4}$, $SV_{2.4}$, $SW_{2.4}$ が介挿される。

[0103] 電圧選択回路は、 SU_1 , SU_3 , SV_1 , SV_3 , SW_1 , SW_3 から構成される。

[0104] 直流電圧源 DCC_1 , DCC_2 の電圧を $2E$, フライングキャパシタ FC_1 , FC_2 の電圧を E に制御することで、 $2E$, E , 0 , $-E$, $-2E$ の5レベルの電圧を出力できる。

[0105] 図17の変形例として、高電圧に対する耐性のために、各半導体素子を2直列以上に構成する回路も含まれる。また、大電流に対する耐性のために、各半導体素子を2並列以上に構成する回路も含む。

[0106] 図18では、出力端子 $U = 2E$, 出力端子 $V = 0$, 出力端子 $W = -2E$ を出力する場合の各半導体素子の動作を示す。図18中の○は導通中の半導体素子を表す。この時、フライングキャパシタ FC_1 に半導体素子 $SU_{1.5}$, $SV_{1.5}$, $SW_{1.5}$ が接続され、フライングキャパシタ FC_2 に半導体素子 $SU_{2.6}$, $SV_{2.6}$, $SW_{2.6}$ が接続されているため、フライングキャパシタ FC_1 , FC_2 を短絡せずに、出力端子 U , V , W から $2E$

、0、 $-2E$ の電圧をそれぞれ出力することができると共に、 $2E$ 、0、 $-2E$ を出力するための制御を簡略化することができる。

[0107] 本実施形態9においても、半導体素子 $SW2.2$ と $SW1$ のオフ時のインピーダンスが等しい条件では、実施形態6と同様に、定常時の半導体素子 $SW1$ の印加電圧最大値は $2E$ となる。これは、半導体素子 $SU1$ 、 $SV1$ 、 $SU3$ 、 $SV3$ 、 $SW3$ についても、同様である。

[0108] また、実施形態6では、図27(a)、(b)の回路と比較してU相、V相、W相の3相分の電流が流れる半導体素子がない。そのため、冷却効果の高い冷却フィンは不要となる。

[0109] なお、本実施形態9では、3相出力回路について説明したが、出力相数を4相以上に増やした回路についても、フライングキャパシタ $FC1$ 、 $FC2$ を短絡させることなく、各相の相電圧を独立して出力ができる。図29(a)、(b)に示す従来の回路と比べて半導体素子の耐電圧の優位点、および、3相分の電流が流れる半導体素子がない優位点についても、同様である。

[0110] [実施形態10]

次に、本実施形態10におけるマルチレベル電力変換装置について、図19に基づいて説明する。本実施形態10におけるマルチレベル電力変換装置は、実施形態4において、 $N=2$ 、 $M=3$ とした構成である。U、V、Wは出力端子を表す。電圧選択回路として図3(b)を使用している。

[0111] 基本回路は、直列接続された2個の直流電圧源 $DCC1$ 、 $DCC2$ のうち偶数段の直流電圧源 $DCC2$ の正極端に順次直列接続された第2、第3半導体素子 $SU2.2$ 、 $SU2.3$ 、 $SV2.2$ 、 $SV2.3$ 、 $SW2.2$ 、 $SW2.3$ と、直列接続された2個の直流電圧源 $DCC1$ 、 $DCC2$ のうち奇数段の直流電圧源 $DCC1$ の負極端に順次直列接続された第3、第2半導体素子 $SU1.3$ 、 $SU1.2$ 、 $SV1.3$ 、 $SV1.2$ 、 $SW1.3$ 、 $SW1.2$ と、を有する。

[0112] フライングキャパシタ $FC1$ は、奇数段の第2、第3半導体素子 $SU1.2$ 、 $SU1.3$ 、 $SV1.2$ 、 $SV1.3$ 、 $SW1.2$ 、 $SW1.3$ に並列

に接続される。フライングキャパシタFC2は、偶数段の第2, 第3半導体素子SU2.2, SU2.3, SV2.2, SV2.3, SW2.2, SW2.3に並列に接続される。

[0113] 電圧選択回路は、SU7, SU8, SU11, SU12, SV7, SV8, SV11, SV12, SW7, SW8, SW11, SW12から構成される。

[0114] 直流電圧源DCC1, DCC2の電圧を2E、フライングキャパシタFC1, FC2の電圧をEに制御することで2E, E, 0, -E, -2Eの5レベルの電圧を出力できる。

[0115] 図19の変形例として、高電圧に対する耐性のために各半導体素子を2直列以上に構成する回路も含む。また、大電流に対する耐性のため、各半導体素子を2並列以上に構成する回路も含む。

[0116] 図20では、出力端子U=2E, 出力端子V=0, 出力端子W=-2Eの電圧を出力する場合の各半導体素子の動作を示す。図20中の○は導通中の半導体素子を表す。この時、フライングキャパシタFC2の負極側と直流電圧源DCC2の負極側との接続はなく、フライングキャパシタFC1の正極側と直流電圧源DCC1との接続はないため、フライングキャパシタFC1, FC2を短絡せずに、出力端子U, V, Wから2E, 0, -2Eの電圧を出力できると共に、2E, 0, -2Eを出力するための制御を簡略化することができる。

[0117] また、本実施形態10は、図29(a), (b)に示す従来の回路と異なり、U相, V相, W相の3相分の電流が流れる半導体素子がない。そのため、冷却効果の高い冷却フィンは不要となる。

[0118] なお、本実施形態10では、3相出力回路について説明したが、出力相数を4相以上に増やした回路についても、フライングキャパシタFC1, FC2を短絡させることなく、各相の相電圧を独立して出力ができる。図29(a), (b)に示す従来の回路と比べて、3相分の電流が流れる半導体素子がない優位点についても、同様である。

[0119] [実施形態 1 1]

次に、本実施形態 1 1 におけるマルチレベル電力変換装置について、図 2 1 に基づいて説明する。本実施形態 1 1 におけるマルチレベル電力変換装置は、実施形態 4 において、 $N = 2$ 、 $M = 3$ とした構成である。電圧選択回路として図 3 (c) を使用している。

[0120] 基本回路は、直列接続された 2 個の直流電圧源 $DCC 1$ 、 $DCC 2$ のうち偶数段の直流電圧源 $DCC 2$ の正極端に順次直列接続された第 2、第 3 半導体素子 $SU 2. 2$ 、 $SU 2. 3$ 、 $SV 2. 2$ 、 $SV 2. 3$ 、 $SW 2. 2$ 、 $SW 2. 3$ と、直列接続された 2 個の直流電圧源 $DCC 1$ 、 $DCC 2$ のうち奇数段の直流電圧源 $DCC 1$ の負極端に順次直列接続された第 3、第 2 半導体素子 $SU 1. 3$ 、 $SU 1. 2$ 、 $SV 1. 3$ 、 $SV 1. 2$ 、 $SW 1. 3$ 、 $SW 1. 2$ と、を有する。

[0121] フライングキャパシタ $FC 1$ は、奇数段の第 2、第 3 半導体素子 $SU 1. 2$ 、 $SU 1. 3$ 、 $SV 1. 2$ 、 $SV 1. 3$ 、 $SW 1. 2$ 、 $SW 1. 3$ に並列に接続される。フライングキャパシタ $FC 2$ は、偶数段の第 2、第 3 半導体素子 $SU 2. 2$ 、 $SU 2. 3$ 、 $SV 2. 2$ 、 $SV 2. 3$ 、 $SW 2. 2$ 、 $SW 2. 3$ に並列に接続される。

[0122] 電圧選択回路は、ダイオード $DU 1$ 、 $DU 2$ 、 $DV 1$ 、 $DV 2$ 、 $DW 1$ 、 $DW 2$ 、 $SU 1 2 \sim SU 1 5$ 、 $SV 1 2 \sim SV 1 5$ 、 $SW 1 2 \sim SW 1 5$ から構成される。

[0123] 直流電圧源 $DCC 1$ 、 $DCC 2$ の電圧を $2E$ 、フライングキャパシタ $FC 1$ 、 $FC 2$ の電圧を E に制御することで出力端子 U 、 V 、 W から $2E$ 、 E 、 0 、 $-E$ 、 $-2E$ の 5 レベルの電圧を出力できる。

[0124] 図 2 1 の変形として、高電圧に対する耐性のために各半導体素子を 2 直列以上に構成する回路も含む。また、大電流に対する耐性のため、各半導体素子を 2 並列以上に構成する回路も含む。

[0125] 図 2 2 では、出力端子 $U = 2E$ 、出力端子 $V = 0$ 、出力端子 $W = -2E$ の電圧を出力する場合の各半導体素子の動作を示す。図 2 2 中の $\bigcirc$ は導通中の

半導体素子を表す。この時、フライングキャパシタ $FC2$ の負極側と直流電圧源 $DCC2$ の負極側との接続はなく、フライングキャパシタ $FC1$ の正極側と直流電圧源 $DCC1$ の正極側との接続はないため、フライングキャパシタ $FC1$ 、 $FC2$ を短絡せずに、出力端子 U 、 V 、 W から $2E$ 、 0 、 $-2E$ の電圧をそれぞれ出力できると共に、 $2E$ 、 0 、 $-2E$ を出力するための制御を簡略化することができる。

[0126] また、本実施形態 11 は、図 29 (a)、(b) に示す従来の回路と異なり、 U 相、 V 相、 W 相の 3 相分の電流が流れる半導体素子がない。そのため、冷却効果の高い冷却フィンは不要となる。

[0127] なお、本実施形態 11 では 3 相出力回路について説明したが、出力相数を 4 相以上に増やした回路についても、フライングキャパシタ $FC1$ 、 $FC2$ を短絡させることなく、各相の相電圧を独立して出力ができる。図 29 (a)、(b) に示す従来の回路と比べて、3 相分の電流が流れる半導体素子がない優位点についても、同様である。

[0128] [実施形態 12]

次に、本実施形態 12 におけるマルチレベル電力変換装置について、図 23 に基づいて説明する。本実施形態 12 におけるマルチレベル電力変換装置は、実施形態 5 において、 $N=2$ 、 $M=3$ とした構成である。電圧選択回路は、図 3 (c) を使用している。

[0129] 直列接続された 2 個の直流電圧源 $DCC1$ 、 $DCC2$ のうち偶数段の直流電圧源 $DCC2$ の正負極間に順次直列接続された第 1～第 3 半導体素子 $SU2.1 \sim SU2.3$ 、 $SV2.1 \sim SV2.3$ 、 $SW2.1 \sim SW2.3$ と、前記偶数段の第 1、第 2 半導体素子 $SU2.1$ 、 $SU2.2$ 、 $SV2.1$ 、 $SV2.2$ 、 $SW2.1$ 、 $SW2.2$ の共通接続点に一端が接続された第 5 半導体素子 $SU2.5$ 、 $SV2.5$ 、 $SW2.5$ と、直列接続された 2 個の直流電圧源 $DCC1$ 、 $DCC2$ のうち奇数段の直流電圧源 $DCC1$ の正負極間に順次直列接続された第 2～第 4 半導体素子 $SU1.2 \sim SU1.4$ 、 $SV1.2 \sim SV1.4$ 、 $SW1.2 \sim SW1.4$ と、前記奇数段の第 3、

第4半導体素子 $SU1.3$, $SU1.4$, $SV1.3$, $SV1.4$, $SW1.3$, $SW1.4$ の共通接続点に一端が接続された第6半導体素子 $SU1.6$, $SV1.6$, $SW1.6$ と、を有する。

[0130] フライングキャパシタ $FC2$ は、偶数段における全ての第5半導体素子 $SU2.5$, $SV2.5$, $SW2.5$ の他端と、偶数段の直流電圧源 $DCC2$ の負極端と第3半導体素子 $SU2.3$, $SV2.3$, $SW2.3$ の共通接続点の間に介挿され、フライングキャパシタ $FC1$ は、奇数段における第6半導体素子 $SU1.6$, $SV1.6$, $SW1.6$ の他端と、奇数段の直流電圧源 $DCC1$ の正極端と第2半導体素子 $SU1.2$, $SV1.2$, $SW1.2$ の共通接続点との間に介挿される。

[0131] 電圧選択回路は、 $SU14$, $SU15$, $SV14$, $SV15$, $SW14$, $SW15$ から構成される。

[0132] 直流電圧源 $DCC1$, $DCC2$ の電圧を $2E$ 、フライングキャパシタ $FC1$, $FC2$ の電圧を E に制御することで出力端子 U , V , W から $2E$, E , 0 , $-E$, $-2E$ の5レベルの電圧を出力できる。

[0133] 図23の変形例として、高電圧に対する耐性のために各半導体素子を2直列以上に構成する回路も含む。また、大電流に対する耐性のため、各半導体素子を2並列以上に構成する回路も含む。

[0134] 図24では、出力端子 $U=2E$ 、出力端子 $V=0$ 、出力端子 $W=-2E$ を出力する場合の各半導体素子の動作を示す。図24中の○は導通中の半導体素子を表す。

[0135] この時、フライングキャパシタ $FC1$ に第6半導体素子 $SU1.6$, $SV1.6$, $SW1.6$ が接続され、フライングキャパシタ $FC2$ に第5半導体素子 $SU2.5$, $SV2.5$, $SW2.5$ が接続されるため、フライングキャパシタ $FC1$, $FC2$ を短絡せずに、出力端子 U , V , W から $2E$, 0 , $-2E$ の電圧をそれぞれ出力できると共に、 $2E$, 0 , $-2E$ を出力するための制御を簡略化することができる。

[0136] また、本実施形態12は、図29(a), (b)に示す従来の回路と比べ

て、U相V相W相の3相分の電流が流れる半導体素子がないため、半導体素子冷却用の冷却フィンを小型化することが可能となる。

[0137] なお、本実施形態12では、3相出力回路について説明したが、出力相数を4相以上に増やした回路についても、フライングキャパシタFC1, FC2を短絡させることなく、各相の相電圧を独立して出力ができる。図29(a), (b)に示す従来の回路と比べて、3相分の電流が流れる半導体素子がない優位点についても、同様である。

[0138] [実施形態13]

次に、本実施形態13におけるマルチレベル電力変換装置について、図25に基づいて説明する。本実施形態13におけるマルチレベル電力変換装置は、実施形態4において、 $N=4$, $M=3$ とした構成である。電圧選択回路は、図3(a)と図3(d)を使用している。

[0139] 基本回路は、直列接続された4個の直流電圧源DCC1~DCC4のうち偶数段の直流電圧源DCC2, DCC4の正極端に順次直列接続された第2, 第3半導体素子SU2.2, SU2.3, SV2.2, SV2.3, SW2.2, SW2.3, SU4.2, SU4.3, SV4.2, SV4.3, SW4.2, SW4.3と、直列接続された4個の直流電圧源DCC1~DCC4のうち奇数段の直流電圧源DCC1, DCC3の負極端に順次直列接続された第3, 第2半導体素子SU1.3, SU1.2, SV1.3, SV1.2, SW1.3, SW1.2, SU3.3, SU3.2, SV3.3, SV3.2, SW3.3, SW3.2と、を有する。

[0140] フライングキャパシタFC1~FC4は、奇数段、偶数段の第2, 第3半導体素子SU2.2, SU2.3, SV2.2, SV2.3, SW2.2, SW2.3, SU4.2, SU4.3, SV4.2, SV4.3, SW4.2, SW4.3, SU1.3, SU1.2, SV1.3, SV1.2, SW1.3, SW1.2, SU3.3, SU3.2, SV3.3, SV3.2, SW3.3, SW3.2に並列に接続される。

[0141] 電圧選択回路は、SU19~SU28, SV19~SV28, SW19~

SW 2 8 から構成される。

[0142] 直流電圧源 DCC 1, DCC 2, DCC 3, DCC 4 の電圧を $2E$ 、フライングキャパシタ FC 1, FC 2, FC 3, FC 4 の電圧を E に制御することにより、 $4E$, $3E$, $2E$, E , 0 , $-E$, $-2E$, $-3E$, $-4E$ の 9 レベルの電圧を出力できる。

[0143] 下記表 2 に、U 相における各半導体素子の ON/OFF 状態時の、U 端子～0 端子間の電圧を示す

[0144] [表2]

SU4.2	SU19	SU20	SU27	SU28	SU25	SU26	SU4.3	SU21	SU22	SU23	SU24	SU17	SU3.2	SU3.3	SU2.2	SU2.3	SU18	SU1.2	SU1.3	U
ON	ON	ON	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	$4E$
OFF	ON	ON	ON	OFF	OFF	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	$3E$
OFF	OFF	ON	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF	$2E$
OFF	OFF	OFF	ON	OFF	OFF	OFF	OFF	ON	ON	OFF	OFF	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF	E
OFF	OFF	OFF	ON	OFF	OFF	OFF	OFF	ON	ON	OFF	OFF	OFF	OFF	ON	OFF	OFF	OFF	OFF	OFF	0
OFF	OFF	OFF	OFF	ON	OFF	OFF	OFF	OFF	OFF	ON	ON	OFF	OFF	OFF	OFF	ON	OFF	OFF	OFF	$-E$
OFF	OFF	OFF	OFF	ON	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	ON	OFF	OFF	$-2E$
OFF	OFF	OFF	OFF	ON	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	ON	OFF	$-3E$
OFF	OFF	OFF	OFF	ON	ON	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	ON	OFF	$-4E$

[0145] 本実施形態 1 3 では、実施形態 6～1 2 と同様に、フライングキャパシタ FC 1～FC 4 を短絡せずに、任意の電圧 ($4E$, $3E$, $2E$, E , 0 , $-E$, $-2E$, $-3E$, $-4E$) を出力端子 U, V, W からそれぞれ出力することができると共に、 $4E$, $3E$, $2E$, E , 0 , $-E$, $-2E$, $-3E$, $-4E$ を出力するための制御を簡略化することができる。

[0146] また、本実施形態 1 3 は、図 2 9 (a), (b) に示す従来の回路と比べて、U 相, V 相, W 相の 3 相分の電流が流れる半導体素子がないため、半導体素子冷却用の冷却フィンを小型化することが可能となる。

[0147] なお、本実施形態 1 3 では、3 相出力回路について説明したが、出力相数を 4 相以上に増やした回路についても、フライングキャパシタ FC 1～FC 4 を短絡させることなく、各相の相電圧を独立して出力することができる。図 2 9 (a), (b) に示す従来の回路と比べて、3 相分の電流が流れる半導体素子がない優位点についても、同様である。

[0148] [実施形態 1 4]

次に、本実施形態 14 におけるマルチレベル電力変換装置について、図 26 に基づいて説明する。本実施形態 14 におけるマルチレベル電力変換装置は、実施形態 3 において、 $N=4$ 、 $M=3$ とした構成である。電圧選択回路は、図 3 (a) を使用している。

[0149] 直列接続された 4 個の直流電圧源 $DCC1 \sim DCC4$ のうち、偶数段の直流電圧源 $DCC2$ 、 $DCC4$ の負極端に一端が接続された 3 相共通の第 4 半導体素子 $SU2.4$ 、 $SU4.4$ と、前記偶数段の直流電圧源 $DCC2$ 、 $DCC4$ の正極端と偶数段の第 4 半導体素子 $SU2.4$ 、 $SU4.4$ の他端との間に順次直列接続された 3 相の第 1 ～第 3 半導体素子 $SU2.1 \sim SU2.3$ 、 $SV2.1 \sim SV2.3$ 、 $SW2.1 \sim SW2.3$ 、 $SU4.1 \sim SU4.3$ 、 $SV4.1 \sim SV4.3$ 、 $SW4.1 \sim SW4.3$ と、偶数段の第 1、第 2 半導体素子 $SU2.1$ 、 $SU2.2$ 、 $SV2.1$ 、 $SV2.2$ 、 $SW2.1$ 、 $SW2.2$ 、 $SU4.1$ 、 $SU4.2$ 、 $SV4.1$ 、 $SV4.2$ 、 $SW4.1$ 、 $SW4.2$ の共通接続点に一端が接続された第 5 半導体素子 $SU2.5$ 、 $SV2.5$ 、 $SW2.5$ 、 $SU4.5$ 、 $SV4.5$ 、 $SW4.5$ と、奇数段の直流電圧源 $DCC1$ 、 $DCC3$ の正極端に一端が接続された 3 相共通の第 1 半導体素子 $SU1.1$ 、 $SU3.1$ と、奇数段の第 1 半導体素子 $SU1.1$ 、 $SU3.1$ の他端と奇数段の直流電圧源 $DCC1$ 、 $DCC3$ の負極端との間に順次直列接続された 3 相の第 2 ～第 4 半導体素子 $SU1.2 \sim SU1.4$ 、 $SV1.2 \sim SV1.4$ 、 $SW1.2 \sim SW1.4$ 、 $SU3.2 \sim SU3.4$ 、 $SV3.2 \sim SV3.4$ 、 $SW3.2 \sim SW3.4$ と、奇数段の第 3、第 4 半導体素子 $SU1.3$ 、 $SU1.4$ 、 $SV1.3$ 、 $SV1.4$ 、 $SW1.3$ 、 $SU3.3$ 、 $SU3.4$ 、 $SV3.3$ 、 $SV3.4$ 、 $SW3.3$ 、 $SW3.4$ の共通接続点に一端が接続された 3 相の第 6 半導体素子 $SU1.6$ 、 $SV1.6$ 、 $SW1.6$ 、 $SU3.6$ 、 $SV3.6$ 、 $SW3.6$ と、を有する。

[0150] フライングキャパシタ $FC2$ 、 $FC4$ は、偶数段における全ての第 5 半導体素子 $SU2.5$ 、 $SV2.5$ 、 $SW2.5$ 、 $SU4.5$ 、 $SV4.5$ 、 S

W4. 5と第3, 第4半導体素子SU2. 3, SV2. 3, SW2. 3, SU2. 4, SU4. 3, SV4. 3, SW4. 3, SU4. 4の共通接続点の間に介挿され、フライングキャパシタFC1, FC3は、奇数段における第1, 2半導体素子SU1. 1, SU1. 2, SV1. 2, SW1. 2, SU3. 1, SU3. 2, SV3. 2, SW3. 2の共通接続点と全ての第6半導体素子SU1. 6, SV1. 6, SW1. 6, SU3. 6, SV3. 6, SW3. 6との間に介挿される。

[0151] 電圧選択回路は、SU1～SU12, SV1～SV12, SW1～SW12から構成される。

[0152] 直流電圧源DCC1, DCC2, DCC3, DCC4の電圧を2E、フライングキャパシタFC1～FC4の電圧をEに制御することで、4E, 3E, 2E, E, 0, -E, -2E, -3E, -4Eの9レベルの電圧を出力できる。

[0153] 本実施形態14では、実施形態13と同様に、フライングキャパシタFC1～FC4を短絡せずに、任意の電圧(4E, 3E, 2E, E, 0, -E, -2E, -3E, -4E)を出力端子U, V, Wから出力できると共に、4E, 3E, 2E, E, 0, -E, -2E, -3E, -4Eを出力するための制御を簡略化することができる。

[0154] 図26の回路は、実施形態7の図13の回路を2段重ねた構成である。

[0155] 図26のSU1とSU2、SU3とSU4、SU5とSU6、SU7とSU8、SV1とSV2、SV3とSV4、SV5とSV6、SV7とSV8、SW1とSW2、SW3とSW4、SW5とSW6、SW7とSW8が、図13のSU1とSU2、SU3とSU4、SV1とSV2、SV3とSV4、SW1とSW2、SW3とSW4、に相当する。

[0156] したがって実施形態7と同様に、半導体素子SU1とSU2などの前述の各半導体素子の直列接続回路の定常時の印加電圧最大値は、それぞれ2Eとなる。

[0157] なお、本実施形態14では3相出力回路について説明したが、出力相数を

4相以上に増やした回路についても、フライングキャパシタFC1～FC4を短絡させることなく、各相の相電圧を独立して出力ができる。図29（a）、（b）に示す従来の回路と比べて、半導体素子の耐電圧の優位点についても、同様である。

請求の範囲

- [請求項1] 直流電圧源およびフライングキャパシタの電圧から複数の電圧レベルに変換した交流出力を生成するマルチレベル電力変換装置であって、
- 直列接続された N 個（ $N \geq 2$ ）の直流電圧源と、
- N 個の直流電圧源のそれぞれの正負極間に順次直列接続された第1～第4半導体素子と、第1，第2半導体素子の共通接続点に一端が接続された第5半導体素子と、第3，第4半導体素子の共通接続点に一端が接続された第6半導体素子と、を有する M 相（ $M \geq 3$ ）の基本回路と、
- 全ての相の第5半導体素子の他端と全ての相の第6半導体素子の他端との間に介挿された M 相共通のフライングキャパシタと、
- 各基本回路の第2，第3半導体素子の共通接続点を入力端子とし、入力端子と出力端子間にそれぞれ半導体素子を有し、この半導体素子を選択的にON，OFF制御することにより、前記入力端子のうち何れかの端子の電位を出力端子から出力する M 相の電圧選択回路と、
- を備えたマルチレベル電力変換装置。
- [請求項2] 直流電圧源およびフライングキャパシタの電圧から複数の電圧レベルに変換した交流出力を生成するマルチレベル電力変換装置であって、
- 直列接続された N 個（ $N = 2$ 以上の偶数）の直流電圧源と、
- 直列接続された N 個の直流電圧源のうち、偶数段の直流電圧源の正極端に一端が接続された M 相（ $M \geq 3$ ）共通の第1半導体素子と、前記偶数段の第1半導体素子の他端と前記偶数段の直流電圧源の負極端との間に順次直列接続された M 相の第2～第4半導体素子と、偶数段の第3，第4半導体素子の共通接続点に一端が接続された M 相の第6半導体素子と、奇数段の直流電圧源の負極端に一端が接続された M 相共通の第4半導体素子と、前記奇数段の直流電圧源の正極端と奇数段

の第4半導体素子の他端との間に順次直列接続されたM相の第1～第3半導体素子と、奇数段の第1，第2半導体素子の共通接続点に一端が接続されたM相の第5半導体素子と、を有する基本回路と、

偶数段における第1，第2半導体素子の共通接続点と偶数段における全ての相の第6半導体素子の他端との間に介挿されたM相共通の偶数段のフライングキャパシタと、奇数段における全ての相の第5半導体素子の他端と奇数段における第3，第4半導体素子の共通接続点との間に介挿されたM相共通の奇数段のフライングキャパシタと、

各基本回路の第2，第3半導体素子の共通接続点を入力端子とし、入力端子と出力端子間にそれぞれ半導体素子を有し、この半導体素子を選択的にON，OFF制御することにより、前記入力端子のうち何れかの端子の電位を出力端子から出力するM相の電圧選択回路と、を備えたマルチレベル電力変換装置。

[請求項3]

直流電圧源およびフライングキャパシタの電圧から複数の電圧レベルに変換した交流出力を生成するマルチレベル電力変換装置であって、

直列接続されたN個（ $N = 2$ 以上の偶数）の直流電圧源と、

直列接続されたN個の直流電圧源のうち、偶数段の直流電圧源の負極端に一端が接続されたM相（ $M \geq 3$ ）共通の第4半導体素子と、前記偶数段の直流電圧源の正極端と偶数段の第4半導体素子の他端との間に順次直列接続されたM相の第1～第3半導体素子と、偶数段の第1，第2半導体素子の共通接続点に一端が接続されたM相の第5半導体素子と、奇数段の直流電圧源の正極端に一端が接続されたM相共通の第1半導体素子と、奇数段の第1半導体素子の他端と奇数段の直流電圧源の負極端との間に順次直列接続されたM相の第2～第4半導体素子と、奇数段の第3，第4半導体素子の共通接続点に一端が接続されたM相の第6半導体素子と、を有する基本回路と、

偶数段における全ての第5半導体素子と第3，第4半導体素子の共

通接続点の間に介挿されたM相共通の偶数段のフライングキャパシタと、奇数段における第1, 2半導体素子の共通接続点と全ての第6半導体素子との間に介挿されたM相共通の奇数段のフライングキャパシタと、

各基本回路の第2, 第3半導体素子の共通接続点を入力端子とし、入力端子と出力端子間にそれぞれ半導体素子を有し、この半導体素子を選択的にON, OFF制御することにより、前記入力端子のうち何れかの端子の電位を出力端子から出力するM相の電圧選択回路と、を備えたマルチレベル電力変換装置。

[請求項4] 直流電圧源およびフライングキャパシタの電圧から複数の電圧レベルに変換した交流出力を生成するマルチレベル電力変換装置であって、

直列接続されたN個 ($N = 2$ 以上の偶数) の直流電圧源と、

直列接続されたN個の直流電圧源のうち偶数段の直流電圧源の正極端に順次直列接続された第2, 第3半導体素子と、直列接続されたN個の直流電圧源のうち奇数段の直流電圧源の負極端に順次直列接続された第3, 第2半導体素子と、を有するM相 ($M \geq 3$) の基本回路と、

前記奇数段および偶数段の第2, 第3半導体素子のそれぞれに並列接続されたM相共通のフライングキャパシタと、

基本回路の第2, 第3半導体素子の共通接続点および偶数段の直流電圧源の負極端と奇数段の直流電圧源の正極端の共通接続点を入力端子とし、入力端子と出力端子間に半導体素子を有し、この半導体素子を選択的にON, OFF制御することにより、前記入力端子のうち何れかの端子の電位を出力端子から出力するM相の電圧選択回路と、を備えたマルチレベル電力変換装置。

[請求項5] 直流電圧源およびフライングキャパシタの電圧から複数の電圧レベルに変換した交流出力を生成するマルチレベル電力変換装置であって

、

直列接続された N 個（ $N = 2$ 以上の偶数）の直流電圧源と、

直列接続された N 個の直流電圧源のうち偶数段の直流電圧源の正負極間に順次直列接続された第2～第4半導体素子と、前記偶数段の第3、第4半導体素子の共通接続点に一端が接続された第6半導体素子と、直列接続された N 個の直流電圧源のうち奇数段の直流電圧源の正負極間に順次直列接続された第1～第3半導体素子と、前記奇数段の第1、第2半導体素子の共通接続点に一端が接続された第5半導体素子と、を有する M 相（ $M \geq 3$ ）の基本回路と、

前記偶数段における全ての第6半導体素子の他端と、偶数段の直流電圧源の正極端と第2半導体素子の共通接続点の間に介挿された M 相共通の偶数段のフライングキャパシタと、前記奇数段における全ての第5半導体素子の他端と、奇数段の直流電圧源の負極端と第3半導体素子の共通接続点との間に介挿された M 相共通の奇数段のフライングキャパシタと、

基本回路の第2、第3半導体素子の共通接続点を入力端子とし、入力端子と出力端子間にそれぞれ半導体素子を有し、この半導体素子を選択的にON、OFF制御することにより、前記入力端子のうち何れかの端子の電位を出力端子から出力する M 相の電圧選択回路と、を備えたマルチレベル電力変換装置。

[請求項6]

直流電圧源およびフライングキャパシタの電圧から複数の電圧レベルに変換した交流出力を生成するマルチレベル電力変換装置であって、

、

直列接続された N 個（ $N = 2$ 以上の偶数）の直流電圧源と、

直列接続された N 個の直流電圧源のうち偶数段の直流電圧源の正負極間に順次直列接続された第1～第3半導体素子と、前記偶数段の第1、第2半導体素子の共通接続点に一端が接続された第5半導体素子と、直列接続された N 個の直流電圧源のうち奇数段の直流電圧源の正

負極間に順次直列接続された第2～第4半導体素子と、前記奇数段の第3、第4半導体素子の共通接続点に一端が接続された第6半導体素子と、を有するM相 ($M \geq 3$) の基本回路と、

前記偶数段における全ての第5半導体素子の他端と、偶数段の直流電圧源の負極端と第3半導体素子の共通接続点の間に介挿されたM相共通の偶数段のフライングキャパシタと、前記奇数段における全ての第6半導体素子の他端と、奇数段の直流電圧源の正極端と第2半導体素子の共通接続点との間に介挿されたM相共通の奇数段のフライングキャパシタと、

基本回路の第2、第3半導体素子の共通接続点を入力端子とし、入力端子と出力端子間にそれぞれ半導体素子を有し、この半導体素子を選択的にON、OFF制御することにより、前記入力端子のうち何れかの端子の電位を出力端子から出力するM相の電圧選択回路と、を備えたマルチレベル電力変換装置。

[請求項7] 前記基本回路および電圧選択回路の半導体素子の一部または全てを、直列数を2以上とした請求項1～6のうち何れかに記載のマルチレベル電力変換装置。

[請求項8] 前記基本回路および電圧選択回路の半導体素子の一部または全てを、並列数を2以上とした請求項1～7のうち何れかに記載のマルチレベル電力変換装置。