

接口、电子设备和通信系统

本申请要求 2020 年 6 月 29 日提交到中国国家知识产权局专利局的、申请号为 202010605324.3、发明名称为“接口、设备、网络系统及传输方法”的专利申请，以及 2021 年 01 月 14 日递交到中国国家知识产权局专利局的、申请号为 202110049548.5、发明名称为“接口、电子设备和通信系统”的优先权，其全部内容通过引用包括在本申请中。

技术领域

本申请涉及一种接口、电子设备和通信系统。

背景技术

当前的以太接口演进过程中，新的接口速率需要兼容之前的多种速率的电接口和光接口。但以太接口逻辑层方案，对于传输介质的性能的利用率较低。

发明内容

本申请实施例提供了一种接口、电子设备和通信系统。本申请实施例的技术方案可以充分利用光模块性能。第一方面，一种接口，包括功能部分一和功能部分二，其中所述功能部分一用于实现与媒体接入控制 MAC 速率有关的处理，所述功能部分二用于实现与所述 MAC 速率无关的处理。

在一些实施例中，所述接口为以太接口。

在一些实施例中，所述功能部分一包括媒体无关接口。

在一些实施例中，所述功能部分一包括 MAC 模块、协调子层 RS 模块以及物理编码子层 PCS 中的编码与速率适配模块。

在一些实施例中，所述功能部分二包括一个或多个功能单元，其中，所述一个或多个功能单元包括第一功能单元，所述第一功能单元包括转码模块、扰码模块、对齐标志插入模块、前向纠错 FEC 模块、物理介质接入子层 PMA 模块、物理介质关联 PMD 模块。

在一些实施例中，所述功能部分二包括一个 PMA/PMD 模块以及一个或多个功能单元，其中，所述一个或多个功能单元包括第二功能单元，所述第二功能单元包括转码模块、扰码模块、对齐标志插入模块、前向纠错 FEC 模块，所述第二功能单元与所述 PMA/PMD 模块耦合。

在一些实施例中，所述功能部分二包括级联的第一级功能单元和第二级功能单元，所述第一级功能单元包括一个或多个第一级子功能单元，其中所述第一级功能单元中的至少一个第一级子单元包括转码模块、扰码模块、对齐标志插入模块、前向纠错 FEC 模块及 PMA 模块；所述第二级功能单元包括一个或多个第二级子单元，其中所述第二级功能单元中的至少一个第二级子单元包括 PCS/FEC/PMA 模块和 PMD 模块。

在一些实施例中，所述多个功能单元二的 FEC 输出的数据在 PMA 层交织。

在一些实施例中，所述第一级功能单元中的至少一个第一级子单元包括的 FEC 模块用于执行里德-所罗门 RS(544,514) FEC 编码和/或解码，所述第二级功能单元中的至少一个第二级子单元包括的 FEC 模块用于执行 BCH FEC 编码和/或解码、里德-所罗门前向纠错 RS FEC 编码和/或解码、polar FEC 编码和/或解码、低密度奇偶校验前向纠错 LDPC FEC 编码和/或解码、级联前向纠错 cFEC 编码和/或解码、开放前向纠错 OFEC 编码和/或解码或 Turbo 乘积码前向

纠错 TPC FEC 编码和/或解码。可选地,所述第一级子单元包括的 FEC 模块为外码(outband) FEC 模块。

在一些实施例中,所述接口包括光数字信号处理器 oDSP。

在一些实施例中,所述 FEC 模块为级联 FEC 模块,所述第二级功能单元还包括内码编码模块,用于对进入第二级功能单元的数据进行级联码内码编码。可选地,所述第二级功能单元还包括解码模块,用于对进入第二级功能单元的数据的级联 FEC 码的内码进行解码。

在一些实施例中,所述功能部分一包括 MAC 模块、协调子层 RS 模块以及物理编码子层 PCS 中的编码与速率适配模块以及转码模块。

在一些实施例中,所述功能部分二包括一个或多个功能单元,所述一个或多个功能单元包括第三功能单元,所述第三功能单元包括加扰模块、对齐标志插入模块、前向纠错 FEC 模块和物理介质接入子层 PMA/物理介质关联 PMD 模块。

在一些实施例中,所述功能部分二包括一个或多个功能单元,其中,所述一个或多个功能单元包括第四功能单元,所述第四功能单元包括转码模块、扰码模块、对齐标志插入模块、前向纠错 FEC 模块、物理介质接入子层 PMA 模块、物理介质关联 PMD 模块。

在一些实施例中,所述功能部分一包括 MAC 模块、协调子层 RS 模块以及物理编码子层 PCS 中的编码与速率适配模块、转码模块以及扰码模块。

在一些实施例中,所述功能部分二包括一个或多个功能单元,所述一个或多个功能单元包括第五功能单元,所述第五功能单元包括对齐标志插入模块、前向纠错 FEC 模块和物理介质接入子层 PMA/物理介质关联 PMD 模块。

在一些实施例中,所述接口为速率为 800Gb/s、1.6Tb/s 的以太网接口。

在一些实施例中,所述转码模块为遵守 IEEE 802.3-2018 的 64B/66B 到 256B/257B 的转码器。

在一些实施例中,所述功能部分二包括 1 个、2 个、3 个、4 个、5 个、8 个或 16 个功能单元。

在一些实施例中,所述功能部分二通过数据块分发模块与所述功能部分一耦合。

另一方面,一种电子设备包括上述实施例中任一所述的接口。

另一方面,一种通信系统,包括发送侧设备和接收侧设备,所述发送侧设备和/或所述接收侧设备为所述的电子设备。

在一些实施例中,一种接口,包括通用功能单元和一个或多个特殊功能单元,其中:所述通用功能单元包括一个或多个通用功能模块;所述特殊功能单元包括一个或多个特定功能模块。

在一些实施例中,所述接口为以太网接口。

在一些实施例中,所述通用功能单元包括与媒体接入控制 MAC 速率密切相关的功能模块。

在一些实施例中,所述特殊功能单元包括与速率相关的功能部分。

在一些实施例中,所述通用功能单元包括媒体无关接口。

在一些实施例中,所述通用功能单元包括媒体接入控制 MAC 单元、协调子层 RS 单元以及 PCS 层中的编码与速率适配模块。

在一些实施例中,所述特殊功能单元包括转码单元、扰码单元、对齐单元、前向纠错 FEC 编码/解码单元以及物理介质接入子层 PMA/物理介质关联 PMD 单元。

在一些实施例中，所述特殊功能单元包括多个子功能单元及一个 PMA/PMD 单元，每个子功能单元包括转码子单元、扰码子单元、对齐处理子单元和 FEC 子单元，所述多个子功能单元与所述 PMA/PMD 单元耦合。

在一些实施例中，所述特殊功能单元包括第一级和第二级，所述第一级包括一个或多个第一级子单元，每个第一级子单元包括转码子单元、扰码子单元、对齐子单元、FEC 子单元及 PMA 子单元；所述第二级包括一个或多个第二级子单元，每个第二级子单元包括 PCS/FEC/PMA 子单元和 PMD 子单元。

在一些实施例中，多个特殊功能单元的 FEC 输出的数据在 PMA 层交织。

在一些实施例中，第一级 FEC 是 RS(544,514) FEC 编码，第二级是 BCH FEC、polar FEC、LDPC FEC、CFEC、OFEC 或 TPC FEC。

在一些实施例中，所述接口包括光数字信号处理器 oDSP。

在一些实施例中，所述 FEC 为级联 FEC，所述第二级还包括内码解码单元，用于对进入第二级的数据的级联码内码的解码(解码主要是纠错功能，解码完成之后移除内码编码带来开销)。

在一些实施例中，所述第二级中的 PCS/FEC/PMA 为 PCS/C/OFEC/PMA。

在一些实施例中，所述通用功能单元包括 MAC、RS、PCS 层中的编码与速率适配模块、以及转码模块。

在一些实施例中，所述特殊功能单元包括扰码、AM、FEC 和 PMA/PMD。

在一些实施例中，所述特殊功能单元包括多个子功能单元，每个子功能单元包括扰码子单元、对齐子单元、FEC 子单元、PMA 子单元和 PMD 子单元。

在一些实施例中，所述通用功能单元包括 MAC 单元、RS 单元、PCS 层中的编码与速率适配模块、转码模块以及扰码模块。

在一些实施例中，所述特殊功能单元包括对齐单元、FEC 单元和 PMA/PMD 单元。

在一些实施例中，所述 FEC 子单元为 800Gb/s 以太网接口。

根据权利要求 1-20 中任一所述的接口，其特征在于，所述转码遵守 IEEE 802.3-2018 的 64B/66B 到 256B/257B 转码器。

在一些实施例中，所述接口包括 1 个、2 个、4 个、5 个、8 个或 16 个特殊功能单元。

在一些实施例中，所述通用功能单元通过数据块分发模块与所述特殊功能单元耦合。

另一方面，一种电子设备包括上述实施例中任一所述的接口。

另一方面，一种网络系统包括发送侧设备和接收侧设备，所述发送侧设备和/或所述接收侧设备为所述的电子设备。

另一方面，一种计算机可读存储介质，其特征在于，包括计算机可读程序或指令，当该计算机可读程序或指令被运行时使得设备执行上述实施例中任一所述的接口的功能。

另一方面，一种计算机程序产品包括计算机可读程序或指令，当该计算机可读程序或指令被运行时使得设备执行上述实施例中任一所述的接口的功能。

另一方面，一种传输方法包括上述实施例中任一所述的接口的功能步骤。

附图说明

图 1 是一种接口组成及通信示意图；

图 2A 和图 2B 是另一种接口组成及通信示意图；

图 3 是一种实施例的接口架构示意图；

图 4A 是另一种实施例的接口架构示意图；
图 4B 是另一种实施例的接口架构示意图；
图 4C 是包括图 4A 的接口的一种通信系统的示意图；
图 4D 是包括图 4B 的接口的一种通信系统的示意图；
图 4E 是包括图 4A 的发送侧设备接口及 IEEE 802.3 标准接口的接收侧设备的一种通信系统的示意图；
图 4F 是包括图 4B 的发送侧设备接口及 IEEE 802.3 标准接口的接收侧设备的一种通信系统的示意图；
图 4G 是又一种实施例的接口架构示意图；
图 5A 是又一种实施例的接口架构示意图；
图 5B 是包括图 5A 的接口的一种通信系统的示意图；
图 6A 是又一种实施例的接口架构示意图；
图 6B 是包括图 6A 的接口的一种通信系统的示意图；
图 6C 是又一种实施例的接口架构示意图；
图 6D 是包括图 6C 的接口的一种通信系统的示意图；
图 7A 是又一种实施例的接口架构示意图；
图 7B 是包括图 7A 的接口的一种通信系统的示意图；
图 7C 是又一种实施例的接口架构示意图；
图 8 是实施例一的接口架构示意图；
图 9 是实施例二的接口架构示意图；
图 10 是实施例三的接口架构示意图；
图 11 是实施例四的接口架构示意图；
图 12A 是实施例五的接口架构示意图；
图 12B 是包括对应图 4A 的接收侧设备接口及 IEEE 802.3 标准接口的发送侧设备的一种通信系统的示意图；
图 12C 是包括对应图 4B 的接收侧设备接口及 IEEE 802.3 标准接口的发送侧设备的另一种通信系统的示意图；
图 12D 是包括对应图 5A 的接收侧设备接口及 IEEE 802.3 标准接口的发送侧设备的另一种通信系统的示意图；
图 12E 是包括对应图 6A 的接收侧设备接口及 IEEE 802.3 标准接口的发送侧设备的另一种通信系统的示意图；
图 12F 是包括对应图 6C 的接收侧设备接口及 IEEE 802.3 标准接口的发送侧设备的另一种通信系统的示意图；
图 12G 是包括对应图 7A 的接收侧设备接口及 IEEE 802.3 标准接口的发送侧设备的另一种通信系统的示意图；
图 13 是一种实施例的装置结构示意图；
图 14 是一种实施例的装置结构示意图。

具体实施方式

在本实施例中，“功能部分一”也称为“通用功能部分”或“通用功能单元”，“功能部分二”也称为“特殊功能部分”，“功能单元二”也称为“特殊功能部分”，“功能部分二”中的

多个功能单元,也称为“特殊功能单元”,比如“功能部分二”包括 n 个功能单元:第 1 功能单元、第 2 功能单元...第 n 功能单元,第 i 功能单元也称为第 i 特殊功能单元, i 为正整数, n 为大于 1 的正整数, $1 \leq i \leq n$ 。

在本申请中,介质无关接口(英文全称:media independent interface)在 10 Mb/s 和 100 Mb/s 时称为 MII, 1000 Mb/s 时称为 GMII, 10 Gb/s 时称为 XGMII。本申请中的 xMII 可以包括 RMII (reduced MII)、串行 MII (serial MII, SMII)、串行同步 MII (serial sync MII, SSMII)、源同步 SMII (source synchronous SMII, S3MII)、吉比特 MII (Gigabit MII, GMII)、RGMII (Reduced GMII)、串行 GMII (serial GMII, SGMII)、10 比特接口 (ten bit interface, TBI)、RTBI (Reduced TBI)、10 吉比特 MII (10 Gigabit MII, XGMII)、25 吉比特 MII (25 Gigabit MII)、40 吉比特 MII、50 吉比特 MII、100 吉比特 MII (100 Gb/s MII, CGMII)、200 吉比特 MII (200 Gb/s MII, 200GMII)、400 吉比特 MII (400 Gb/s MII, 400GMII)、800 吉比特 MII、1.6 太比特 MII 等多种以太网接口。

200GbE/400GbE 速率标准,实现了基于单通道电接口 50G 4 级脉冲幅度调制(four level pulse amplitude modulation, PAM4)技术下的新一代以太速率标准。下一代以太 800G/1.6TE 标准的研究中,随着单通道电接口速率提高到 100G PAM4 或者 200G (采用 N 级脉冲幅度调制 PAM- N , $N = 4, 6$ 或 8),下一代速率可能会支持该电接口速率,可能需要兼容老的每通道 50G 电接口。光接口速率则存在每个波长速率 50Gbps/100Gbps/200Gbps/400Gbps/800Gbps 等等多路线演进的可能。

目前多种以太接口逻辑层方案,不同速率的接口逻辑层之间,存在一定的共同特征,也有明显的区别,这些区别导致不同速率之间难以共享硬件资源,或者进行多个低速率以太接口绑定到一个高速率接口模块上的互通,例如:200GbE/400GbE 接口上,采用了图 1 的逻辑层架构。图 1 中,设备接口包括介质访问控制 (medium access control, MAC) 层、协调子层 (reconciliation sublayer, RS)、物理编码子层 (physical coding sublayer, PCS)、前向纠错 (forward error correction, FEC)、物理介质接入子层 (physical medium attachment sublayer, PMA) 和物理介质关联 (physical medium dependent, PMD) 层,发送侧设备的数据经处理后从 PMD 发给接收侧设备的 PMD,经多个子模块处理后到达 MAC 层。PCS 子层用于实现 64B/66B 编解码、转码、扰码、对齐标志 (alignment marker, AM) 插入、FEC 编解码等功能;PMA 子层用于实现时钟恢复、载波检测、PAM4 调制/解调等功能;PMD 子层用于对收到的数据进行并串/串并转换、并将数字信号调制到线路发送。其中,在 PCS 层中的 FEC 子层,新的交织 FEC (比如里德-所罗门 RS (544, 514) FEC) 的引入,使其逻辑层与 100GbE 的方案有很大差别,需要重新开发的工作量较大。又例如:400G-ZR 定义的逻辑层,采用了图 2A 和 2B 所示的架构。该逻辑层架构下,一个支持 400G-ZR (80km) 的光模块,由于主机侧接口固定为 400GAUI (attachment unit interface, AUI),导致其无法支持 2×200 GbE 接口。

发明人研究发现,以太速率跨代造成逻辑层改动主要在于 PCS 功能上。在 PCS 以上,RS 输出的数据具有很大相似性。如果将具有相似性的一部分,与不相似的部分区分开来,并且将不相似的部分按照与数据流方向平行的方向模块化,可实现较大的资源重用,节省开发成本,产生经济优势。根据本申请的实施例,把当前以太网架构,按照特定速率相关的功能部分、和特定 PMD 对应子速率相关的功能部分划分为二:功能部分一和功能部分二。参考图 3,功能部分一为通用功能部分,功能部分一包括与 MAC 速率密切相关的功能模块,例如 RS 模块,需要做速率适配的模块等;在一些实施例中,功能部分一还包括与速率直接相关的 xMII 接口。功能部分二包括与速率无关的功能部分,比如功能部分二包括一个或多个功能单

元：功能单元 1、功能单元 2、...功能单元 n。功能部分二可以包括基于数据流进行处理的 PCS/PMA 层功能。PMD 与介质相关，可以根据具体实现，作为功能部分二的一部分，或者认为 PMD 与协议无关，将 PMD 作为独立于功能部分一和功能部分二的功能组件。

此处选择两个功能部分的分界点的参考标准可以包括以下中的一种或多种：（1）尽可能向下选择，以便速率跨代之后通用功能部分尽可能多从而节约成本；（2）尽可能简化两功能模块之间数据分发的设计，使得数据块分发具备较小的单元；（3）尽可能使功能部分二中的单元具备完整的功能性，包括必要的校验功能以确保可靠性；（4）考虑具体实现的难易与芯片资源的控制，综合考虑，做到最优化设计。对于（4），在有些场景中，比如超高速连接场景下，传统的并行化媒体无关接口不适合作为连接功能接口。

如图 4A 所示，在一个实施例中，接口包括功能部分一、功能部分二以及位于功能部分一和功能部分二之间的数据块分发（data block distribution）模块。功能部分一包括 MAC 模块、RS 模块以及 PCS 层中的编码与速率匹配（encode and rate matching）模块。功能部分二包括一个或多个功能单元，该一个或多个功能单元中的每一个功能单元包括转码（transcode）模块、扰码（scramble）模块、对齐标志插入（AM Insertion）模块、FEC 模块、PMA/PMD 模块等多个功能子模块。

例如，假设功能部分二中每个功能单元可以处理对应速率为 200Gbps 的 MAC 数据流，那么对于速率为 800GbE（英文全称：800 Gigabit Ethernet）的 MAC 模块，则功能部分二可以包括 4 个功能单元，每个功能单元可以处理对应速率为 200Gbps 的 MAC 数据流；该 4 个功能单元可以集成或分立设置。对于速率为 1Tbps MAC 模块，则功能部分二可以包括 5 个功能单元，每个功能单元可以处理对应速率为 200Gbps 的 MAC 数据流，该 5 个功能单元可以集成或分立设置。对于速率为 1.6Tbps MAC 模块，则功能部分二可以包括 8 个功能单元，每个功能单元可以处理对应速率为 200Gbps 的 MAC 数据流，该 8 个功能单元可以集成或分立设置。

在一些实施例中，功能部分二中每个功能单元可以处理的对应其他速率的 MAC 数据流，比如 5Gbps、10 Gbps、20 Gbps、25 Gbps、100 Gbps、400 Gbps、800 Gbps、1Tbps 或 1.6 Tbps 等。

在另一些实施例中，功能部分二包括 M 个功能单元，M 个功能单元中的 N 个功能单元处于激活状态，该 N 个功能单元用于传输来自当前 MAC 模块的数据，该 N 个功能单元中包括第一功能单元和第二功能单元，所述第一功能单元可以处理的对应 MAC 数据流的速率与所述第二功能相同或不同。比如，对于速率为 800GbE 的 MAC 模块，则功能部分二可以包括 8 个功能单元：a、b、c、d、e、f、g、h，其中功能单元 a、b、c、d 被激活，功能单元 a、b、c、d 中的每个可以处理的对应 MAC 数据流的速率均为 200Gbps；也可以功能单元 d、e、f 处于激活状态而功能单元 a、b、c、d、g、h 处于未激活状态，功能单元 d、e、f 中可以处理的对应 MAC 数据流的速率分别为 200Gbps、200Gbps、400Gbps。其中 M 和 N 为正整数且 $M \geq N \geq 1$ 。

自上而下看，经过编码(比如 64B/66B 或 256B/257B 编码)和速率适配之后的数据是第一个适合作为分界点的，因为此处分发的数据以数据块为单元，数据块自带同步头（sync header），而不像 xMII 接口是数据加时钟进行同步传输的；另外，速率适配之后的数据块传输速率是固定值，可以有规律地分发，进行轮询分发之后可以保证功能部分二中的每个被激活的功能单元处理的速率一致，从而不需要在功能部分二进行任何速率适配工作。需要注意的是，以太接口中速率适配是需要识别数据流格式的，需要找到报文边界，在 MAC 帧间

隙(IFG, inter frame gap, 也称为 IPG - inter packet gap)中增加或者删除 idle 码块进行速率调整。将速率适配功能移到功能部分一, 区分了与 MAC 速率相关的部分, 和与 MAC 速率无关而仅与介质速率相关的部分。

图 4A 的接口由于 PMA/PMD 并不进行任何协议、数据格式的识别, PMA/PMD 可以跨功能部分存在, 该接口如图 4B 所示。比如功能部分二中处于激活状态、用于处理来自当前 MAC 模块的数据流的功能单元, 比如 M 个功能单元中的 N 个功能单元, 共用一个 PMA/PMD 模块。在一些实施例中, 也可能 N 个功能单元中的一部分共用第一 PMA/PMD 模块, 一部分共用第二 PMA/PMD 模块; 或 N 个功能单元中的一部分共用第一 PMA/PMD 模块, 其他功能单元中的每个使用单独的共用第一 PMA/PMD 模块。

图 4G 对应一种实施例, 是在主芯片中集成封装 oDSP(Optical Digital Signal Processor), oDSP 输出的数据流或数据帧流则可以发给 PMD, 经 PMD 处理后进入激光器, 或将 oDSP 输出的数据流或数据帧流调制后作为激光器的驱动信号, 该调制可以由 oDSP 或其他调制器完成。

可选地, 功能部分二还可以包括一种新的 FEC 编码功能 (FEC encoder x), 将 oDSP 处理过的数据进行编码; FEC encode 采用 RS FEC 编码, oDSP 处理后再第二次 FEC 编码, 二次 FEC 编码可以是 BCH FEC 或 RS FEC 编码。FEC encode x 可以位于 oDSP 中或单独设置。

在一些实施例中, 图 4A 或图 4B 或图 4G 的功能部分一和功能部分二可以集成在同一个芯片中。

在一些实施例中, 通信系统包括发送侧设备和接收侧设备, 所述发送侧设备包括图 4G 的接口, 所述接收侧设备包括的接口为任意架构的接口, 比如在一些实施例中, 通信系统包括发送侧设备和接收侧设备, 所述发送侧设备包括图 7C 的接口, 所述接收侧设备包括的接口为任意架构的接口, 比如图 4A、图 4B、4G、5A、6A、7A、7C、8、9、10、11、12A 或 IEEE 802.3 标准的以太接口。

以发送侧设备和接收侧设备的接口为图 4B 的架构为例, 参考图 4D, 参考图 4D, 通信系统包括发送侧设备和接收侧设备。

发送侧设备接口收到的报文进入发送侧设备接口的功能部分一。

在该实施例中, 发送侧设备接口的功能部分一包括 MAC 模块、RS 模块以及编码与速率匹配(encode and rate matching)模块, 所述报文经 MAC 模块、RS 模块以及编码与速率匹配模块处理后进入数据块分发 (data block distribution) 模块。具体地, MAC 模块处理后得到的数据帧由 RS 模块转换成相应比特宽度 (宽度随速率改变) 的数据, 通过介质无关接口 MII 发给编码与速率匹配模块处理, 编码与速率匹配模块将从 MII 发来的数据处理后生成 64B/66B 的块 (block)。

在一种实施例中, 传输速率采用 100G 的 PCS 层的输入数据是协调子层 RS 的 100G 以太网介质无关接口 (CGMII) 格式的并行数据。400G 以太网 (英文简称 400GbE) 接口将输入数据转换成相应的 CDGMII 格式, 具体 CDGMII 接口的数据格式描述如下: CDGMII 接口数位位宽为 (64+8+2), CDGMII 接口的格式是 64bit 的数据信息位加 8 位控制信息指示位, 和发送、接收对应的两路时钟, 其中 8 比特控制信息位指示 64bit 的 8 个字节的数据代表数据还是控制信息。CDGMII 数据格式传输到 64B/66B 编码模块进行编码。

发送侧设备的数据块分发模块收到编码与速率匹配模块处理后的数据块后, 将所述数据块分发到发送侧设备的功能部分二中的 N 个功能单元。

在该实施例中，N 个功能单元中的每个包括一个或多个 PCS lane。在有些实施例中，N 个功能单元中的一个或多个中的每个功能单元包括一个或多个 PCS lane。

在该实施例中，数据块分发模块将编码与速率匹配模块处理后生成的 64B/66B 的块分发到 N 个功能单元。在一些实施例中，数据块分发模块采用 round robin 方式逐个将 64B/66B 的块分发到 N 个功能单元，比如数据块分发模块将收到的第一个 64B/66B 的块分发到 N 个功能单元的第一个中，将收到的第二个 64B/66B 的块分发到 N 个功能单元的第二个中，...，将收到的第 N 个 64B/66B 的块分发到 N 个特殊功能单元的第 N 个中。

在该实施例中，N 个功能单元中的每个包括转码模块、扰码模块、AM 模块、FEC 编码模块、PMA/PMD 模块，每个功能单元中的转码模块、扰码模块、AM 模块、FEC 编码模块分别对进入该功能单元的数据块进行相应处理。比如 N 个功能单元中的第 i 个功能单元对从数据分发模块收到的数据依次进行转码、扰码、AM 插入、FEC 编码处理，处理后的数据经由 PMA/PMD 及介质（例如，背板或光纤）发往接收侧设备。例如，对数据流进行 64B/66B 编码后的块进行转码，转码模块转码后的数据的具体格式有 256BB/257B，512B/513B，256B/258B，512B/514B 等等转码方式，本申请不限定具体那一种转码方式。

具体地，扰码模块对转码之后的数据流进行加扰。在一些实施例中，加扰可以按照一定的粒度整体或者部分加扰。可以采用统一的整体数据流进行自同步加扰(self-synchronizing scramble, 又称为 multiplicative scramble)，或者以 FEC 粒度对应的进行同步加扰(synchronous scramble, 又称为 additive scramble)，或者以 PCS 的通道（英文名称 lane）为粒度的自同步或者同步加扰，并且对于同步加扰情况下，扰码、解扰模块的初始化值可以配置保证整个系统的性能。

对齐标志插入模块在加扰后的数据流中插入对齐标志 AM 后，数据进入 FEC 编码模块进行 FEC 编码。在一些实施例中，FEC 模块处理收到的数据流，可以基于里德所罗门 RS(544,514) FEC、博斯-乔赫里-霍克文黑姆（英文：Bose-Chaudhuri-Hocquenghem，简称：BCH）FEC、polar FEC、LDPC FEC、CFEC FEC、OFEC FEC、或 TPC FEC 中的一个或者多个编码方式处理。FEC 编码模块处理后的数据依次经由 PMA 模块和 PMD 模块到达传输介质。PMA 模块和 PMD 模块可以集成在一个功能模块中或独立设置。PMA 模块可将收到的数据进行串并转换后发到 PMD 模块，PMD 模块将收到的信号转换到对应的传输介质上。

如图 4D，在一种实施例中，接收侧设备接口的架构与图 4A 所示的接口结构对应，则发送侧设备的功能部分二处理后的 N 路数据经介质进入接收侧设备接口的功能部分二，接收侧设备接口的功能部分二的 N 个功能单元与发送侧设备接口的功能部分二的 N 个功能单元一一对应。接收侧设备接口的功能部分二的 N 个功能单元分别接收功能部分二的 N 个功能单元发送的数据。功能部分二的 N 个功能单元中的每个包括反向转码（reverse transcode）模块、解扰模块、对齐标志删除（AM removal）模块、FEC 解码模块、对齐（Alignment lock）模块。比如 N 个功能单元中的第 i 个功能单元对从 PMA/PMD 模块收到的数据依次进行对齐标志对齐、FEC 解码、删除对齐标志、解扰码、反向转码处理，处理后的 N 路数据进入接收侧设备接口的数据块分发模块。接收侧设备接口的数据块分发模块将 N 路数据块发到接收侧设备接口的功能部分一。接收侧设备接口的功能部分一包括 MAC 模块、RS 模块及解码和速率匹配模块。接收侧设备接口的解码和速率匹配模块对数据块分发模块分发的 N 路数据解码并进行速率匹配解除后发给 RS 模块，RS 模块处理后到达接收侧设备接口的 MAC 模块。可选地，接收侧设备接口的解码和速率匹配模块对 N 路数据进行速率匹配解除后经由 xMII 到达接收侧设备接口的 RS 模块。

参考图 4C, 通信系统包括发送侧设备和接收侧设备, 发送侧设备接口的架构如图 4A, 接收侧设备接口的架构对应图 4A 的接口架构, 发送侧设备接口将数据处理后发送到接收侧设备接口的过程, 以及接收侧设备接口处理收到的数据的过程与图 4D 中的通信系统中的发送侧设备接口及接收侧设备接口类似, 在此不再赘述。

参考图 4E, 一种通信系统包括发送侧设备和接收侧设备, 其中发送侧设备包括如图 4A 所示的接口, 接收侧设备的接口为 IEEE 802.3 的标准以太网接口。发送侧设备接口对待发送数据的处理过程与图 4C 中的发送侧设备接口的操作类似, 在此不再赘述。发送侧设备接口对数据处理后, 发送侧设备的功能部分二处理后的 N 路数据经介质进入接收侧设备接口。接收侧设备接口为 IEEE 802.3 的以太网接口, 包括 MAC 模块、RS 模块、解码与速率匹配模块、数据块分发模块、反向转码模块、解扰 (descramble) 模块、对齐标志删除模块、FEC 解码模块和 PMA/PMD 模块。接收侧设备接口经介质接收到发送侧设备发来的数据流后, 依次经 PMD/PMA 处理、对齐标志对齐、FEC 解码、对齐标志删除、解扰、反向转码后到达数据块分发模块, 数据块分发模块将收到的数据流处理后依次经编码和速率匹配处理、RS 处理后到达 MAC 模块, 由 MAC 模块处理后生成以太网帧。

参考图 4F, 一种通信系统包括发送侧设备和接收侧设备, 其中发送侧设备包括如图 4B 所示的接口, 接收侧设备的接口为 IEEE 802.3 的标准以太网接口。其中发送侧设备接口对待发送数据的处理过程与图 4D 中的发送侧设备接口的操作类似, 在此不再赘述。接收侧设备接收对收到的数据的处理过程与图 4E 中的接收侧设备接口的处理过程, 在此不再赘述。

如图 5A 所示, 在一种实施例中, 以太网接口包括功能部分一、功能部分二及位于功能部分一和功能部分二之间的数据块分发模块, 功能部分一包括 MAC 模块、Reconciliation 模块和 Encode and Rate Matching 模块, 功能部分二包括多个功能单元, 比如每个功能单元多个 PCS functions。功能部分一和功能部分二之间包括 Data block distribution 模块。Data block distribution 模块接入功能部分二的多个功能单元。功能部分二的多个功能单元经由 PMA/PMD 输出。在一些实施例中, 功能部分二的多个功能单元可以接入一个共用的 PMA/PMD。

参考图 5B, 一种通信系统包括发送侧设备和接收侧设备, 其中发送侧设备包括图 5A 所示的接口, 接收侧设备包括对应图 5A 所示的接口的接口。图 5A 所示接口的功能部分一的各个模块的处理方式与图 4A 中的功能部分一类似, 在此不再赘述。图 5A 的功能部分二包括 m 个 PCS functions, m 为大于或等于 1 的整数, 每个 PCS functions 包括转码模块、扰码模块、对齐标志插入模块和 FEC 编码模块, 这些模块的处理方式与图 4A 中的对应模块类似。数据块分发模块将来自 Encode and Rate Matching 模块的数据块分发到 m 个 PCS functions, m 个 PCS functions 执行对应的处理后, 将 m 路 PCS functions 的数据发到一个 PMA 模块。经该 PMA 模块处理后的数据被分发到一个或多个 PMD 模块, 经 PMD 模块处理后发到传输介质。图 5A 的方案中, 功能部分二中仅将转码模块、扰码模块、对齐标志插入模块和 FEC 编码模块分离设置, 而使用单独的一个 PMA 模块来处理 m 个 PCS function 输出的数据, 可以更灵活地处理数据。发送侧设备的功能部分二处理后的 m 路数据经介质进入接收侧设备的功能部分二, 接收侧设备的功能部分二包括 m 个 PCS functions 及该 m 个 PCS functions 共用的 PMA、PMD。发送侧设备的功能部分二处理后的 m 路数据经介质进入功能部分二, 经接收侧设备的 PMD、

PMA 处理后分别进入接收侧设备的 m 个 PCS functions。接收侧设备的功能部分二的 m 个 PCS functions 与发送侧设备的功能部分二的 m 路功能单元一一对应，每个功能单元包括反向转码模块、解扰模块、对齐标志删除模块、FEC 解码模块、对齐（alignment lock）模块。接收侧设备的功能部分二的 m 个 PCS functions 分别接收功能部分一的 m 个 PCS functions 发送的数据。比如 m 个 PCS functions 中的第 i 个 PCS functions 对从 PMA 收到的数据进行 PCS 处理。接收侧设备的功能部分二的 m 个 PCS functions 处理后输出的数据经 Data block distribution 模块处理后进入接收侧设备的功能部分一。接收侧设备的功能部分一对来自 Data block distribution 模块的数据依次进行 decode and rate matching、Reconciliation、MAC 模块处理后得到以太网帧。

在一些实施例中，如图 6A 和 6B 所示，接口中的数据分发位置可以不同，以 transcode(转码)为界分发，则数据按照转码后的粒度（例如 257-bit）进行分发，功能部分二进行按照 257-bit 数据流进行处理。在图 6A 中，接口包括功能部分一、功能部分二以及位于功能部分一和功能部分二之间的数据块分发（data block distribution）模块。功能部分一包括 MAC 模块、RS 模块、PCS 层中的编码与速率匹配（encode and rate matching）模块以及转码模块，功能部分二包括多个功能单元，每个功能单元包括加扰（scramble）模块、对齐标志插入（AM insertion）模块、FEC 编码模块、PMA/PMD 模块。功能部分一经由 data block distribution 模块与功能部分二耦合和通信。图 6A 的以太网接口结构，可以用于发送侧设备。图 6A 中的各个功能模块 MAC 模块、RS 模块、编码与速率匹配模块、转码模块、数据块分发模块、扰码模块、FEC 模块、PMA 模块、PMD 模块的功能与图 4A 中的对应模块的功能类似，在此不再赘述。图 6A 中，功能部分一包括 MAC 模块、RS 模块和转码模块。对于发送侧设备来说，发送侧设备收到报文后，报文进入发送侧设备的功能部分一，功能部分一的 MAC 模块处理后形成数据帧，所述数据帧经 RS 模块转换为相应比特宽度的数据后，发给编码与速率匹配模块，编码与速率匹配模块将收到的数据处理后生成 64B/66B 的块（block）。64B/66B 的块被转发到转码模块，转码模块将收到的数据块进行转码，比如，对数据流进行 64B/66B 64B/66B 编码后的块进行转码，转码模块转码后的数据的具体格式有 256B/257B，512B/513B，256B/258B，512B/514B 等等转码方式，本申请不限定具体那一种转码方式。

数据块分发模块将转码后的数据流分发到功能部分二包括的 m 个功能单元， m 个功能单元中的每个包括扰码模块、对齐标志插入模块、FEC 编码模块、PMA 模块和 PMD 模块。此处的扰码模块、对齐标志插入模块、FEC 编码模块、PMA 模块和 PMD 模块的功能与操作与图 4A 中对应的功能模块的功能类似，在此不再赘述。数据块分发模块将转码后的数据流分发到功能部分二包括的 m 个功能单元，具体包括：数据块分发模块通过 round-robin 模式将转码后的数据流分发到功能部分二包括的 m 个功能单元。

在一些实施例中，图 6A 的功能部分二中， m 个功能单元中的每个包括扰码模块、对齐模块和 FEC 编码模块。 m 个子功能单元中的 FEC 模块将经 FEC 处理后的数据发送到一个或多个 PMA 模块，经该一个或多个 PMA 模块处理后发送到一个或多个 PMD 模块处理，所述一个或多个 PMD 模块将处理后的数据经传输介质发送给接收侧设备。

如图 6B，一种通信系统包括发送侧设备和接收侧设备，其中发送侧设备包括图 6A 所示的接口，接收侧设备包括与图 6A 所示接口对应的接口。接收侧设备接口包括功能部分一、功能部分二以及位于功能部分一和功能部分二之间的数据块分发模块。功能部分一包括 MAC 模块、RS 模块、PCS 层中的解码与速率匹配（decode and rate matching）模块以及转码模块，

功能部分二包括多个功能单元，每个功能单元包括解扰(descramble)模块、对齐标志删除(AM Removal)模块、FEC 解码模块、对齐(alignment lock)模块、PMA/PMD 模块。功能部分一经由 data block distribution 模块与功能部分二耦合和通信。图 6B 中的接收侧设备接口的各个功能模块 MAC 模块、RS 模块、解码与速率匹配模块、反向转码(reverse transcode)模块、数据块分发模块、解扰模块、对齐标志删除(AM Removal)模块、FEC 解码模块、对齐(alignment lock)模块、PMA 模块、PMD 模块的功能与图 4C 中的对应模块的功能类似，在此不再赘述。

在一些实施例中，图 6A 的功能部分一和功能部分二可以集成在同一个芯片中。

参考图 6C，在另一种接口结构中，以 scramble(扰码)后为界分发，则数据可以有多种分发粒度，例如 1-bit，10-bit 等等。接口包括功能部分一、功能部分二以及位于功能部分一和功能部分二之间的数据块分发模块，功能部分一经由 data block distribution 与功能部分二耦合和通信。功能部分一包括 MAC 模块、RS 模块、PCS 层中的编码与速率适配(encode and rate matching)模块、转码模块及扰码模块，功能部分二包括 AM 插入模块、FEC 编码模块、PMA/PMD 模块。功能部分二包括 m 路功能单元，m 路功能单元中的每个包括对齐标志插入模块、FEC 模块、PMA/PMD 模块。

如图 6D，一种通信系统包括发送侧设备和接收侧设备，其中发送侧设备包括图 6C 所示的接口，接收侧设备包括与图 6C 所示接口对应的接口。接收侧设备接口包括功能部分一、功能部分二以及位于功能部分一和功能部分二之间的数据块分发模块。功能部分一包括 MAC 模块、RS 模块、PCS 层中的解码与速率匹配(decode and rate matching)模块、反向转码模块、解扰(Descramble)模块，功能部分二包括多个功能单元，每个功能单元包括对齐标志删除(AM Removal)模块、FEC 解码模块、对齐(alignment lock)模块、PMA/PMD 模块。功能部分一经由 data block distribution 模块与功能部分二耦合和通信。图 6D 中接收侧设备的各个功能模块 MAC 模块、RS 模块、解码与速率匹配模块、反向转码模块、数据块分发模块、解扰模块、对齐标志删除(AM Removal)模块、FEC 解码模块、对齐模块、PMA 模块、PMD 模块的功能与图 4C 中的对应模块的功能类似，在此不再赘述。在发送侧设备，MAC 单元将接收到的报文处理后获得数据帧，并转发该数据帧给 RS 模块，RS 模块将收到的数据帧转换为相应比特宽度的数据，并将转换后的数据发给编码与速率匹配模块，编码与速率匹配模块将所述数据处理后生成 64B/66B 的块(block)。转码模块接收编码与速率匹配模块处理后的数据块，对所述数据块转码处理，转码单元转码后的数据的具体格式有 256B/257B，512B/513B，256B/258B，512B/514B 等等转码方式，本申请不限定具体那一种转码方式。经转码模块转码处理后的数据流在加扰模块处扰码后发给数据块分发模块。数据块分发模块将收到的数据流分发到发送侧设备的功能部分一的 m 路功能单元，m 为大于或等于 1 的整数。m 路功能单元中每路的对齐标志插入(AM Insertion)模块在收到的数据流中加入对齐标志 AM 后发给 FEC 编码模块，FEC 编码模块对收到的数据流进行 FEC 编码处理后发给 PMA 模块，所述数据经 PMA 模块及 PMD 模块后发到传输介质。发送侧设备中的对齐标志插入模块对数据的处理为插入对齐标志，称为 AM insertion。数据块分发模块将收到的数据流分发到发送侧设备的功能部分一的 m 路功能单元，具体包括：数据块分发模块将加扰后的数据，按照一定的粒度(例如 1-bit，2-bit，8-bit，10-bit 等)进行 round-robin 分发，将收到的数据流分发到发送侧设备的功能部分一的 m 路功能单元。

在接收侧设备，接收侧设备经由传输介质接收包括图 6C 所示的接口的发送侧设备发送的数据。发送侧设备发送的 m 路数据分别进入接收侧设备的功能部分二的 m 路功能单元。对

于接收侧设备的 m 路功能单元中每一路而言, 所述 PMD 模块将收到的符合传输介质的传输格式的数据转换为符合接收侧设备格式的符号, 并将该符号发给 PMA 模块。PMA 模块将收到的符号进行并串转换后发给对齐 (alignment lock) 模块, 对齐后的数据进入 FEC 解码模块, FEC 解码模块对所述符号进行 FEC 解码的处理后, 删除对齐标志, 然后发给数据块分发模块。所述数据块分发模块将收到的 m 路数据发给接收侧设备的接口的功能部分一的解扰模块, 所述解扰模块对收到的数据进行去扰 (descramble) 处理后发给转码单元, 转码模块对收到的数据进行反向转码处理, 比如将 256B/257B, 512B/513B, 256B/258B, 512B/514B 等格式的数据转码为 64B/66B 的码块 (block)。反向转码模块将生成的 64B/66B 的码块发给解码与速率匹配模块, 解码与速率匹配模块对所述 64B/66B 的块处理后得到对应比特宽度的数据, 并将该对应比特宽度的数据发给 RS 模块, RS 模块对对应比特宽度的数据处理后得到数据帧, 并将所述数据帧发给 MAC 模块处理。所述 MAC 模块将所述数据帧处理后得到发送侧设备发送的报文。其中接收侧设备的对齐标志删除 (AM Removal) 模块移除收到的数据流中的对齐标识的处理也称为 AM removal, 接收侧设备的 RS 模块对对应比特宽度的数据的处理称为 Reconciliation, 接收侧设备的 FEC 解码模块对数据流进行 FEC 解码的处理称为 FEC decode。

在一些实施例中, 发送侧设备包括图 6A 或 6C 所示的接口, 接收侧设备包括 IEEE 802.3 的标准接口。发送侧设备处理后的 m 路数据经介质进入接收侧设备。接收侧设备的接口的 PMA 将收到的 m 路数据转换为符号, 符号经由 PMA 模块的串并/并串转换后发给对齐标志删除模块, 对齐后的数据进入 FEC 解码模块, FEC 解码模块将收到的数据进行 FEC 解码后发给 descramble 模块, descramble 模块对收到的数据解扰后发给转码模块, 转码模块对收到的数据转码处理, 转码模块转码后的数据的具体格式有 256B/257B, 512B/513B, 256B/258B, 512B/514B 等等转码方式, 本申请不限定具体那一种转码方式。反向转码后的块依次经由数据块分发模块、解码与速率匹配模块、RS 模块处理后到达 MAC 模块。在一些实施例中, RS 模块与解码与速率匹配模块之间通过 MII 连接。

在一些实施例中, 图 6A~6D 中的功能部分二的 m 路功能单元中, 每个功能单元也可以不包括 PMA 模块和 PMD 模块, m 路功能单元共用一个 PMA 模块和 PMD 模块。

在一些实施例中, 本申请各个实施例接口的功能部分二可以有延伸, 包括两级甚至多级功能部分二, 例如图 7A 通过两级功能部分二实现 FEC 级联, 来提高传输距离。功能部分一包括 MAC、RS、PCS 层中的编码与速率适配 (encode and rate matching) 功能单元, 功能部分二包括两级, 第一级包括多个第一级功能单元, 每个第一级功能单元包括转码模块、加扰模块、对齐标志插入模块、FEC 编码模块、PMA 模块。第二级包括多个第二级功能单元, 第二级功能单元与所述第一级功能单元一一对应, 第二级功能单元包括 PCS/FEC/PMA 模块和 PMD 模块。功能部分一经由 data block distribution 模块与功能部分二耦合和通信。

图 7A 所示的接口包括功能部分一、功能部分二和数据块分发模块。所述功能部分二包括 m 个第一级功能单元及 m 个第二级功能单元, 所述 m 个第二级功能单元与所述 m 个第一级功能单元一一对应。功能部分一包括 MAC 模块、RS 模块和编码与速率匹配模块。每个第一级功能单元包括转码模块、扰码模块、对齐模块、FEC 编码模块和 PMA 模块, 每个第二级功能单元包括 PCS 模块、FEC 模块、PMA/PMD 模块。

如图 7B 所示, 一种通信系统包括发送侧设备和接收侧设备, 发送侧设备包括图 7A 所示

的接口,接收侧设备包括对应图 7A 的接口。在发送侧设备,MAC 模块将接收到的报文流处理后获得数据帧,并转发该数据帧给 RS 模块,RS 模块将收到的数据帧转换为相应比特宽度的数据,并将转换后的数据发给编码与速率匹配模块,编码与速率匹配模块将所述数据处理后生成数据块,比如 64B/66B 的块(block),并将所述数据块发给数据块分发模块。数据块分发模块接收编码与速率匹配模块处理后的数据块,将所述数据块分发到发送侧设备的功能部分二的 m 路第一级功能单元,m 为大于或等于 1 的正整数。数据块分发模块将所述数据块分发到功能部分二的 m 路第一级功能单元的方法,以及每路第一级功能单元中的各个模块的功能,与前述实施例中类似,在此不再赘述。发送侧设备处理后的 m 路数据经介质进入接收侧设备。接收侧设备的接口的第二级功能单元、第一级功能单元、数据块分发模块、编码与速率匹配模块、RS 模块、MAC 模块依次对收到的 m 路数据处理得到以太网帧。具体地,发送侧设备处理后的 m 路数据经介质到达第二级功能单元中对应于发送侧设备接口的 m 路第二级功能单元,每路功能单元中的 PMD 模块和 PCS/FEC/PMA 模块将收到的数据转换为信号,该信号进入第一级功能单元中对应的每路第一级功能单元,每路第一级功能单元中的 PMA 模块对收到的信号进行串并/并串转换后发给 FEC 解码模块,FEC 解码模块将收到的数据进行 FEC 解码,FEC 解码后的数据依次经对齐标志删除(AM removal)模块、descramble 模块及转码模块处理后到达数据块分发模块。其中,对齐标志删除模块删除数据中的对齐标志,descramble 模块对去除了对齐标志的数据解扰,解扰后的数据到达反向转码模块,反向转码模块对收到的数据进行反向转码处理,转码模块转码后的数据的具体格式有 256B/257B, 512B/513B, 256B/258B, 512B/514B 等等转码方式,本申请不限定具体那一种转码方式。转码后的块依次经由数据块分发模块、编码与速率匹配模块、RS 模块处理后到达 MAC 模块。在一些实施例中,RS 模块与编码与速率匹配模块之间通过 MII 连接。

参考图 7C,第二级功能单元还包括集成封装 oDSP(Optical Digital Signal Processor)。第二级功能单元中的 PMA 的输出进入该 oDSP,oDSP 处理后输出的数据流或数据帧流则可以发给 PMD,经 PMD 处理后进入激光器,或将 oDSP 输出的数据流或数据帧流调制后作为激光器的驱动信号而无需经过 PMD 模块,该调制可以由 oDSP 或其他调制器完成。

可选地,oDSP 还可以包括一种新的 FEC 编码功能(FEC encoder x),将 oDSP 处理后的数据进行编码;第一级功能单元的 FEC encode 采用 RS FEC 编码,oDSP 处理后再第二次 FEC 编码,第二次 FEC 编码可以是 BCH FEC 或 RS FEC 编码。

可选地,第二级功能单元中,还可以包括 FEC decode 模块,该 FEC decode 模块将第一级功能单元中的 FEC encode 模块编码后的数据流或数据帧流解码,解码后的数据流进入第二级功能单元的 oDSP 中的 FEC encode x 进行第二次 FEC 编码。所述 FEC decode 模块位于第一级功能单元中或第二级功能单元中。FEC encode x 可以位于 oDSP 中或单独设置。

在一些实施例中,通信系统包括发送侧设备和接收侧设备,所述发送侧设备包括图 7C 的接口,所述接收侧设备包括的接口为任意架构的接口,比如图 4A 或图 4B 或图 7A 或图 7B 或 IEEE 802.3 标准的以太网接口。

在一些实施例中,通信系统包括发送侧设备和接收侧设备,所述发送侧设备包括图 7C 的接口,所述接收侧设备包括的接口为任意架构的接口,比如图 4A、图 4B、4G、5A、6A、7A、7C、8、9、10、11、12A 或 IEEE 802.3 标准的以太网接口。

在图 3-图 7 中,功能部分二中每组功能单元图示中,各个框图仅表示功能,并不表示执行该功能的电路、模块的数量。例如,FEC 功能中,可能包含多个 FEC encoder/decoder,FEC

编码后的数据，也不一定是按照单路输出，而是通过多条虚拟通道（或 PCS lane）输出。

以下基于具体的 MAC 速率来详细说明本申请实施例的技术方案。

实施例一：功能部分二包括一组功能单元，支持 800Gb/s MAC 速率

图 8 为一种可能的 800GE 接口结构示意图。该接口包括功能部分一、功能部分二以及位于功能部分一和功能部分二之间的编码与速率匹配模块。其中**功能部分一**中包括 MAC 模块、RS 模块、Encode and Rate Matching 模块，**功能部分二**包括转码模块、扰码模块、对齐模块、FEC 编码模块、PMA 模块及 PMD 模块。其中 FEC 编码模块用于实现对数据流的 FEC 编码。输出为按照 64B/66B 编码的 66-bit 大小的数据块。这些数据块将按原有顺序经 data block distribution 进入**功能部分二**，逐步进行**功能部分二**中的各个处理步骤。**功能部分二**包括一组或多组功能单元，每组功能单元包括转码模块、扰码模块、AM 插入模块、800G FEC 模块、PMA 模块和 PMD 模块。此处转码器可以是和 IEEE 802.3-2018 中同样的 64B/66B 到 256B/257B 转码器，AM 插入可以是类似 200GE/400GE 的 AM 插入方式，FEC 编码可以采用里德所罗门 RS-FEC 进行多码块编码交织，编码后数据按照 FEC symbol (10-bit symbol) 交织分发到多条 PCS lane 上，然后通过 PMA 层 bit mux 实现到多种 PMD 的适配。

在一些实施例中，**功能部分二**可以包括多个功能单元，每个功能单元包括转码模块、扰码模块、对齐标志插入模块、FEC 编码模块、PMA 模块及 PMD 模块。具体实现方式可参考前述实施例。图 8 所示的接口可以用于发送侧设备，其处理数据方法可参考前述实施例。

实施例二：功能部分二包括两组功能单元，利用实施例一的技术实现 1.6TbE 接口

在图 8 所示的接口架构的基础上，如图 9 所示，可以通过实现**功能部分二**中的功能单元，实现 1.6Tb/s MAC 的支持。MAC、RS、Encode and Rate Matching 功能位于**功能部分一**，其功能上与实施例一类似，仅是速率翻倍。数据块分发（data block distribution）模块将编码后的 66-bit 数据块轮询分发到**功能部分二**中两组功能单元中，所以每组功能单元的运行速率、运行方式均与实施例一中相同。其中，PMA 层可以跨功能单元进行简单的 bit level 操作，将两部分数据进行 bitmux，便于支持多种 PMD。

实施例三：功能部分二级联实现 FEC 级联

图 10 中，**功能部分一**中包括 MAC、RS、Encode and Rate Matching 功能，输出为按照 64B/66B 编码的 66-bit 大小的数据块。这些数据块将按原有顺序经 data block distribution 进入**功能部分二**，逐步进行**功能部分二**中的各个处理步骤。**功能部分二**包括第一级和第二级，两级中的功能单元不相同。例如，“**功能部分二**”中的第一级包括多组功能单元，每组功能单元包括转码、扰码、对齐标志插入、FEC 编码、PMA 等多种功能子模块。第一级处理后的数据进入第二级。“**功能部分二**级联”即第二级中，可以针对上一级的输出数据流进行第二级 FEC 编码操作。第二级包括与第一级一一对应的功能单元，每个功能单元包括 PCS/FEC/PMA、PMD。两级**功能部分二**的作用，都是针对其上一级传输的数据进行处理，无需进行感知**功能部分一**中的 MAC 数据的协议。该实施例的一个典型场景可以是主芯片（host ASIC）外接光数字信号处理器（optical digital signal processor, oDSP）的场景。其中，第二级**功能部分二**可以不终结上一级的 FEC，而直接进行第二级 FEC 的编码。例如，第一级 FEC 是 RS(544,514) FEC 编码，第二级可以是 BCH 编码（Bose–Chaudhuri–Hocquenghem codes）FEC、polar FEC、低

密度奇偶校验 (low density parity check, LDPC) FEC、级联 FEC (concatenated FEC, cFEC)、开放 FEC (Open FEC, OFEC)、Turbo 乘积码 (TPC) FEC、源编码 FEC (source coding FEC, SCFEC) 等中的一个或多个。

实施例四：功能部分二级联实现 FEC 级联

如图 11 所示，类似实施例三，有的场景下，两个功能部分二之间可能需要更强的 FEC 保护，如图 11 所示，上层功能部分二中已经包含了级联 FEC，采用了 RS+BCH 的级联，而级联的功能部分二当中，受数据开销限制和 SerDes 速率限制，可能会有需要先去掉级联 FEC 的内码，再交给 oDSP 中的更强的 FEC 帧封装。此时级联的功能部分二中，也不需要针对功能部分一的 MAC 速率对应的数据流进行操作，而是仅针对上层功能部分二中的一个功能单元的数据流速率进行处理。

根据本申请技术方案，可以通过功能部分二的多路并行，实现一路功能单元复制为多路拼接为任意速率，最终实现功能单元投资的重用，大大降低以太接口成本。

在一些实施例中，将以太接口从逻辑层架构上划分为两层功能部分：基于某个特定接口速率的全带宽进行处理的功能部分一，以及基于该特定接口速率的子集（部分带宽）进行处理的功能部分二，功能部分二包括至少一个功能单元，在一些实施例中，功能部分二包括两个及以上功能单元。

在一些实施例中，功能部分一完成基于该特定全带宽接口的数据处理，包括当前以太标准的 MAC、RS 子层，以及从属于 PCS 子层的 64/66B Encode/Decode 子层。功能部分一还可以基于不同实施例进一步包括转码、加解扰、或者完整的该特定全带宽 PCS/FEC/PMA 子层。

在一些实施例中，功能部分一向从属于功能部分二的功能单元进行按照设定规律或者顺序的数据轮转分发，分发为不体现该特定接口速率的报文格式内容的数据块，数据块粒度可以为 bit、64/66B、转码后的 256/257B 以及其他不同的转码后数据形式、FEC Symbol 等或者这些的组合。

在一些实施例中，功能部分二的每个功能单元对于从功能部分一来数据块，进行进一步数据传输需要的 PCS/FEC/PMA 层处理，但是这些处理不再需要了解到功能部分一的该特定速率接口的全景信息，通俗理解为每个功能单元只计及自身接收到的数据的信息进行再交织组合形成数据块并基于此做进一步 PCS/FEC/PMA 层的处理，这个组合的过程不需要感知功能部分一全带宽数据才可以体现出来的内容信息进行处理，也不再需要恢复或者感知功能部分一的以太数据帧的特定信息（如 Idle、Preamble/SFD 等）才可以进行。进一步不同功能单元之间在 PMA 层面可选的只进行 Bit 级数据的再组合或者交织分发，而不需要在多个功能单元之间进行基于感知多 bit 组合后信息基础上的交互。

在一些实施例中，功能部分二中每个功能单元单独工作，不再需要重新恢复该特定速率接口的功能部分一的部分或者全部功能，如功能部分二不再做功能部分一中 Idle 的统一增删调整，或者不再做功能部分一中的 AM 识别或者再对齐后恢复相对应的数据。

在一些实施例中，功能部分二的每个功能单元对应从属自身功能单元的 PMD 物理层，这样理论上可以多个功能单元任意数量组合形成匹配该特定速率以太接口需要的物理层方案，实现速率无关的以太架构。

在一些实施例中，本申请实施例的接口是独立芯片或部署在其他设备上的功能模块。

在一些实施例中，本申请实施例的接口位于网络设备或工作站或存储设备或服务器上。

在一些实施例中，工作站可以是主机、终端、服务器或虚拟机等各种类型的设备。网络

设备可以是交换机、路由器（router）等在通信网络中用于转发报文的设备，并且在同一通信网络中的网络设备可以是相同的网络设备，也可以是不同的网络设备。例如，同一通信网络中的所有网络设备均是路由器，或者，一部分网络设备是路由器，另一部分网络设备是交换机。

对于本申请图 1~11 的非 breakout 场景，对齐标志插入的过程，需要做到多个功能单元之间的协同（比如，按比特间距或码块间距插入）插入。这样才能在接收侧按照发送侧的分发单元的分发顺序，进行数据块的恢复操作。

实施例五 Breakout 场景

Breakout 场景是将一个大容量端口通过物理通道分离从而支持多个相对低速的端口或接口，例如某交换机支持 breakout 的一个 400GbE 端口，可以通过 breakout cable 或突围式光缆（fanout cable）或者模块支持 4 个 100GbE 端口，或者 8 个 50 GbE 端口等。本申请中，由于功能部分二天然支持多路运行，对于 breakout 场景支持有先天优势。例如，如果功能部分一已有一个 1.6 TbE MAC，而功能部分二有 8 路功能单元，每路支持 200 Gb/s 的数据处理能力，则架构可以通过很小的改动实现 2×800 GbE 的 breakout，如图 12A 所示。此时，功能部分一由一个 1.6 TbE 功能单元，分为两个 800GbE 功能单元，每个单元是一个标准的 800 GbE MAC；功能部分二的 8 个功能单元保持不变，仅通过修改最终数据汇聚的方式，从原来的一路输出变为两路输出，每路是一个标准的 800 GbE 物理端口。

breakout 场景下，每个单元跑自己的，对齐标志插入过程均为自适应实现，无需在多个功能单元之间协同插入，即可在接收侧按照发送侧的分发单元的分发顺序，进行数据块的恢复操作。

参考图 12B，在一些实施例中，一种通信系统包括接收侧设备和多个发送侧设备，其中发送侧设备的接口为 IEEE 802.3 的标准以太接口，接收侧设备包括对应图 4A 所示的接口，但在 PMA 模块和 FEC 模块之间还包括对齐（alignment lock）模块，并将图 4A 中的 scramble 模块替换为 Descramble 模块，将图 4A 中的对齐标志插入（AM Insertion）模块替换为对齐标志删除（AM Removal）模块。发送侧接口将待发送数据按照 IEEE 802.3 的以太接口的处理方式处理后经介质发送给接收侧设备。接收侧设备的接口接收来自发送侧设备的数据。在 breakout 场景下，接收侧设备的接口将来自多个发送侧设备接口的数据分别对应分发到接收侧设备接口中对应应该发送侧设备接口速率的一个或多个功能单元。比如，4 个速率为 200Gbps 的 IEEE 802.3 的标准以太接口向图 4A 所示的接口发送数据，图 4A 所示的接口接收该 4 路速率为 200Gbps 的数据，将该 4 路速率为 200Gbps 的数据分别对应到自身的功能部分二的 4 个速率为 200Gbps 的功能单元，进行功能部分二的处理，之后进行功能部分一的处理后得到 4 个发送侧设备发送的数据。

参考图 12C，一种通信系统包括接收侧设备和多个发送侧设备，其中发送侧设备的接口为 IEEE 802.3 的标准以太接口，接收侧设备包括对应图 4B 所示的接口，但在 PMA 模块和 FEC 模块之间还包括对齐（alignment lock）模块，并将图 4B 中的 scramble 模块替换为 Descramble 模块，将图 4B 中的对齐标志插入（AM Insertion）模块替换为对齐标志删除（AM Removal）模块。其中发送侧设备接口对待发送数据的处理过程与图 12B 中的发送侧设备接口的操作类似，在此不再赘述。

参考图 12D，一种通信系统包括接收侧设备和多个发送侧设备，其中发送侧设备的接口为 IEEE 802.3 的标准以太接口，接收侧设备包括对应图 5A 所示的接口，但在 PMA 模块和

FEC 模块之间还包括对齐 (alignment lock) 模块, 并将图 5A 中的 scramble 模块替换为 Descramble 模块, 将图 5A 中的对齐标志插入 (AM Insertion) 模块替换为对齐标志删除 (AM Removal) 模块。其中发送侧设备接口对待发送数据的处理过程与图 12B 中的发送侧设备接口的操作类似, 在此不再赘述。

参考图 12E, 一种通信系统包括接收侧设备和多个发送侧设备, 其中发送侧设备的接口为 IEEE 802.3 的标准以太网接口, 接收侧设备包括对应图 6A 所示的接口, 但在 PMA 模块和 FEC 模块之间还包括对齐 (alignment lock) 模块, 并将图 6A 中的 scramble 模块替换为 Descramble 模块, 将图 6A 中的对齐标志插入 (AM Insertion) 模块替换为对齐标志删除 (AM Removal) 模块。其中发送侧设备接口对待发送数据的处理过程与图 12B 中的发送侧设备接口的操作类似, 在此不再赘述。

参考图 12F, 一种通信系统包括接收侧设备和多个发送侧设备, 其中发送侧设备的接口为 IEEE 802.3 的标准以太网接口, 接收侧设备包括对应图 6C 所示的接口, 但在 PMA 模块和 FEC 模块之间还包括对齐 (alignment lock) 模块, 并将图 6C 中的 scramble 模块替换为 Descramble 模块, 将图 6C 中的对齐标志插入 (AM Insertion) 模块替换为对齐标志删除 (AM Removal) 模块。其中发送侧设备接口对待发送数据的处理过程与图 12B 中的发送侧设备接口的操作类似, 在此不再赘述。

参考图 12G, 一种通信系统包括接收侧设备和多个发送侧设备, 其中发送侧设备的接口为 IEEE 802.3 的标准以太网接口, 接收侧设备包括对应图 7A 所示的接口, 但在 PMA 模块和 FEC 模块之间还包括对齐 (alignment lock) 模块, 并将图 7A 中的 scramble 模块替换为 Descramble 模块, 将图 7A 中的对齐标志插入 (AM Insertion) 模块替换为对齐标志删除 (AM Removal) 模块。其中发送侧设备接口对待发送数据的处理过程与图 12B 中的发送侧设备接口的操作类似, 在此不再赘述。

对于本申请实施例中接收侧设备接口的功能部分二中的功能单元, 如果只有单 PCS Lane, 只需要进行对齐锁定 (alignment lock), 如果有多条 PCS Lane, 需要在对齐锁定后进行各条 lane 之间的去偏斜 (lane deskew)。

在一些实施例中, 对于接收侧设备接口的功能部分二中的功能单元, FEC decode 模块可以共用, 即功能部分二中的多个或全部功能单元共用同一个 FEC decode 模块, 由同一个 FEC decode 模块执行对来自多个或全部功能单元的其他模块的数据进行 FEC 解码。

参见图 13, 图 13 示出了本申请另一个示例性实施例的装置 2100 的结构示意图。该装置 2100 例如是交换机、路由器等, 该装置 2100 可以由总线体系结构来实现。

如图 13 所示, 装置 2100 包括: 主控板 2110 和接口板 2130, 所述接口板 2130 包括上述图 3-12 中任一所示的接口。

主控板也称为主处理单元 (main processing unit, MPU) 或路由处理卡 (route processor card), 主控板 2110 用于对装置 2100 中各个组件的控制和管理, 包括路由计算、设备管理、设备维护、协议处理功能。主控板 2110 包括: 中央处理器 2111 和存储器 2112。

接口板 2130 也称为线路接口单元卡 (line processing unit, LPU)、线卡 (line card) 或业务板。接口板 2130 用于提供各种业务接口并实现数据包的转发。业务接口包括而限于以太网接口、POS(Packet over SONET/SDH)接口等, 以太网接口例如是灵活以太网业务接口 (Flexible Ethernet Client, FlexE Client)。接口板 2130 包括: 中央处理器 2131、网络处理器 2132、

转发表项存储器 2134 和物理接口卡 (physical interface card, PIC) 2133。

接口板 2130 上的中央处理器 2131 用于对接口板 2130 进行控制管理与主控板 2110 上的中央处理器 2111 进行通信。

网络处理器 2132 用于实现报文的转发处理。网络处理器 2132 的形态可以是转发芯片。转发芯片可以是网络处理器 (network processor, NP)。在一些实施例中, 转发芯片可以通过专用集成电路 (application-specific integrated circuit, ASIC) 或现场可编程门阵列 (field programmable gate array, FPGA) 实现。具体而言, 网络处理器 2132 用于基于转发表项存储器 2134 保存的转发表转发接收到的报文, 如果报文的地址为装置 2100 的地址, 则将该报文上送至 CPU (如中央处理器 2131) 处理; 如果报文的地址不是装置 2100 的地址, 则根据该地址从转发表中查找出该地址对应的下一跳和出接口, 将该报文转发到该地址对应的出接口。其中, 上行报文的处理可以包括: 报文入接口的处理, 转发表查找; 下行报文的处理可以包括: 转发表查找等等。在一些实施例中, 中央处理器也可执行转发芯片的功能, 比如基于通用 CPU 实现软件转发, 从而接口板中不需要转发芯片。

物理接口卡 2133 用于实现物理层的对接功能, 原始的流量由此进入接口板 2130, 以及处理后的报文从该物理接口卡 2133 发出。物理接口卡 2133 也称为子卡, 可安装在接口板 2130 上, 负责将光电信号转换为报文并对报文进行合法性检查后转发给网络处理器 2132 处理。在一些实施例中, 中央处理器 2131 也可执行网络处理器 2132 的功能, 比如基于通用 CPU 实现软件转发, 从而物理接口卡 2133 中不需要网络处理器 2132。

可选地, 装置 2100 包括多个接口板, 例如装置 2100 还包括接口板 2140, 接口板 2140 包括: 中央处理器 2141、网络处理器 2142、转发表项存储器 2144 和物理接口卡 2143。接口板 2140 中各部件的功能和实现方式与接口板 2130 相同或相似, 在此不再赘述。所述接口板包括一个或多个上述实施例中描述的接口。

可选地, 装置 2100 还包括交换网板 2120。交换网板 2120 也可以称为交换网板单元 (switch fabric unit, SFU)。在装置有多个接口板的情况下, 交换网板 2120 用于完成各接口板之间的数据交换。例如, 接口板 2130 和接口板 2140 之间可以通过交换网板 2120 通信。

主控板 2110 和接口板耦合。例如, 主控板 2110、接口板 2130 和接口板 2140, 以及交换网板 2120 之间通过系统总线与系统背板相连实现互通。在一种可能的实现方式中, 主控板 2110 和接口板 2130 及接口板 2140 之间建立进程间通信协议 (inter-process communication, IPC) 通道, 主控板 2110 和接口板 2130 及接口板 2140 之间通过 IPC 通道进行通信。

在逻辑上, 装置 2100 包括控制面和转发面, 控制面包括主控板 2110 和中央处理器 2111, 转发面包括执行转发的各个组件, 比如转发表项存储器 2134、物理接口卡 2133 和网络处理器 2132。控制面执行路由器、生成转发表、处理信令和协议报文、配置与维护装置的状态等功能, 控制面将生成的转发表下发给转发面, 在转发面, 网络处理器 2132 基于控制面下发的转发表对物理接口卡 2133 收到的报文查表转发。控制面下发的转发表可以保存在转发表项存储器 2134 中。在有些实施例中, 控制面和转发面可以完全分离, 不在同一装置上。

值得说明的是, 主控板可能有一块或多块, 有多块的时候可以包括主用主控板和备用主控板。接口板可能有一块或多块, 提供的接口板越多, 装置的数据处理能力越强。接口板上的物理接口卡也可以有一块或多块。交换网板可能没有, 也可能有一块或多块, 有多块的时候可以共同实现负荷分担冗余备份。在集中式转发架构下, 装置可以不需要交换网板, 接口板承担整个系统的业务数据的处理功能。在分布式转发架构下, 装置可以有至少一块交换网板, 通过交换网板实现多块接口板之间的数据交换, 提供大容量的数据交换和处理能力。所

以，分布式架构的装置的数据接入和处理能力要大于集中式架构的装置。可选地，装置的形式也可以是一块板卡，即没有交换网板，接口板和主控板的功能集成在该一块板卡上，此时接口板上的中央处理器和主控板上的中央处理器在该一块板卡上可以合并为一个中央处理器，执行两者叠加后的功能，这种形态装置的数据交换和处理能力较低（例如，低端交换机或路由器等装置）。具体采用哪种架构，取决于具体的组网部署场景，此处不做任何限定。

应理解的是，上述处理器可以是中央处理器（Central Processing Unit, CPU），还可以是其他通用处理器、数字信号处理器（digital signal processing, DSP）、专用集成电路（application specific integrated circuit, ASIC）、现场可编程门阵列（field-programmable gate array, FPGA）或者其他可编程逻辑器件、分立门或者晶体管逻辑器件、分立硬件组件等。通用处理器可以是微处理器或者是任何常规的处理器等。值得说明的是，处理器可以是支持进阶精简指令集机器（advanced RISC machines, ARM）架构的处理器。

进一步地，在一种可选的实施例中，上述存储器可以包括只读存储器和随机存取存储器，并向处理器提供指令和数据。存储器还可以包括非易失性随机存取存储器。例如，存储器还可以存储设备类型的信息。

该存储器可以是易失性存储器或非易失性存储器，或可包括易失性和非易失性存储器两者。其中，非易失性存储器可以是只读存储器（read-only memory, ROM）、可编程只读存储器（programmable ROM, PROM）、可擦除可编程只读存储器（erasable PROM, EPROM）、电可擦除可编程只读存储器（electrically EPROM, EEPROM）或闪存。易失性存储器可以是随机存取存储器（random access memory, RAM），其用作外部高速缓存。通过示例性但不是限制性说明，许多形式的 RAM 可用。例如，静态随机存取存储器（static RAM, SRAM）、动态随机存取存储器（dynamic random access memory, DRAM）、同步动态随机存取存储器（synchronous DRAM, SDRAM）、双倍数据速率同步动态随机存取存储器（double data rate SDRAM, DDR SDRAM）、增强型同步动态随机存取存储器（enhanced SDRAM, ESDRAM）、同步连接动态随机存取存储器（synchlink DRAM, SLD RAM）和直接内存总线随机存取存储器（direct rambus RAM, DR RAM）。

参见图 14，图 14 示出了本申请一个示例性实施例提供的设备 4000 的结构示意图。图 14 所示的设备 4000 用于执行上述图 3-12 中任一所示的接口功能所涉及的操作。该装置 4000 例如是交换机、路由器、控制器等，还可以是服务器、存储设备及网络设备等。该设备 4000 可以由总线体系结构来实现。

如图 14 所示，装置 4000 包括至少一个处理器 4001 以及至少一个通信接口 4004。在一些实施例中，处理器 4001 耦合到存储器 4003。

处理器 4001 例如是通用中央处理器（central processing unit, CPU）、数字信号处理器（digital signal processor, DSP）、网络处理器（network processor, NP）、图形处理器（Graphics Processing Unit, GPU）、神经网络处理器（neural-network processing units, NPU）、数据处理单元（Data Processing Unit, DPU）、微处理器或者一个或多个用于实现本申请方案的集成电路。例如，处理器 2001 包括专用集成电路（application-specific integrated circuit, ASIC），可编程逻辑器件（programmable logic device, PLD）或者其他可编程逻辑器件、晶体管逻辑器件、硬件部件或者其任意组合。PLD 例如是复杂可编程逻辑器件（complex programmable logic device, CPLD）、现场可编程逻辑门阵列（field-programmable gate array, FPGA）、通用阵列逻辑（generic array logic, GAL）或其任意组合。其可以实现或执行结合本发明实施例公开内容所描述的各种逻辑方框、模块和电路。所述处理器也可以是实现计算功能的组合，例如包

括一个或多个微处理器组合，DSP 和微处理器的组合等等。

可选的，装置 4000 还包括总线。总线用于在装置 4000 的各组件之间传送信息。总线可以是外设部件互连标准（peripheral component interconnect，简称 PCI）总线或扩展工业标准结构（extended industry standard architecture，简称 EISA）总线等。总线可以分为地址总线、数据总线、控制总线等。为便于表示，图 14 中仅用一条粗线表示，但并不表示仅有一根总线或一种类型的总线。

存储器 4003 例如是只读存储器（read-only memory，ROM）或可存储静态信息和指令的其它类型的静态存储设备，又如是随机存取存储器（random access memory，RAM）或者可存储信息和指令的其它类型的动态存储设备，又如是电可擦可编程只读存储器（electrically erasable programmable read-only Memory，EEPROM）、只读光盘（compact disc read-only memory，CD-ROM）或其它光盘存储、光碟存储（包括压缩光碟、激光碟、光碟、数字通用光碟、蓝光光碟等）、磁盘存储介质或者其它磁存储设备，或者是能够用于携带或存储具有指令或数据结构形式的期望的程序代码并能够由计算机存取的任何其它介质，但不限于此。存储器 4003 例如是独立存在，并通过总线与处理器 4001 相连接。存储器 4003 也可以和处理器 4001 集成在一起。

通信接口 4004 使用任何收发器一类的装置，用于与其它设备或通信网络通信，通信网络可以为以太网、无线接入网（RAN）或无线局域网（wireless local area networks，WLAN）等。通信接口 4004 可以包括有线通信接口，还可以包括无线通信接口。具体的，通信接口 4004 可以为以太（Ethernet）接口、快速以太（Fast Ethernet，FE）接口、千兆以太（Gigabit Ethernet，GE）接口，异步传输模式（Asynchronous Transfer Mode，ATM）接口，无线局域网（wireless local area networks，WLAN）接口，蜂窝网络通信接口或其组合。以太网接口可以是光接口，电接口或其组合。在本申请实施例中，通信接口 4004 可以用于装置 4000 与其他设备进行通信。

在具体实现中，作为一种实施例，处理器 4001 可以包括一个或多个 CPU，如图 14 中所示的 CPU0 和 CPU1。这些处理器中的每一个可以是一个单核（single-CPU）处理器，也可以是一个多核（multi-CPU）处理器。这里的处理器可以指一个或多个设备、电路、和/或用于处理数据（例如计算机程序指令）的处理核。

在具体实现中，作为一种实施例，装置 4000 可以包括多个处理器，如图 14 中所示的处理器 4001 和处理器 4005。这些处理器中的每一个可以是一个单核处理器（single-CPU），也可以是一个多核处理器（multi-CPU）。这里的处理器可以指一个或多个设备、电路、和/或用于处理数据（如计算机程序指令）的处理核。

在具体实现中，作为一种实施例，装置 4000 还可以包括输出设备和输入设备。输出设备和处理器 2001 通信，可以以多种方式来显示信息。例如，输出设备可以是液晶显示器（liquid crystal display，LCD）、发光二极管（light emitting diode，LED）显示设备、阴极射线管（cathode ray tube，CRT）显示设备或投影仪（projector）等。输入设备和处理器 4001 通信，可以以多种方式接收用户的输入。例如，输入设备可以是鼠标、键盘、触摸屏设备或传感设备等。

在一些实施例中，存储器 4003 用于存储执行本申请方案的程序代码 4010，处理器 4001 可以执行存储器 4003 中存储的程序代码 4010。也即是，装置 4000 可以通过处理器 4001 以及存储器 4003 中的程序代码 4010，来实现图 3-12 中任一所示的接口的各项功能。程序代码 4010 中可以包括一个或多个软件模块。可选地，处理器 4001 自身也可以存储执行本申请方案的程序代码或指令。

在一些实施例中，通信接口 4004 用于执行上述图 3-12 中任一所示的接口功能所涉及的操作。

本申请实施例还提供了一种计算机可读存储介质，存储介质中存储有至少一条指令，指令由处理器加载并执行以实现如图 3-12 中任一所示的接口的各项功能。

本申请实施例提供了一种计算机程序（产品），当计算机程序被计算机执行时，可以使得处理器或计算机执行图 3-12 中任一所示的接口的各项功能。

本申请实施例提供了一种芯片，包括处理器，用于从存储器中调用并运行所述存储器中存储的指令，使得安装有所述芯片的通信设备执行图 3-12 中任一所示的接口的各项功能。

本申请实施例提供另一种芯片，包括：输入接口、输出接口、处理器和存储器，所述输入接口、输出接口、所述处理器以及所述存储器之间通过内部连接通路相连，所述处理器用于执行所述存储器中的代码，当所述代码被执行时，所述处理器用于图 3-12 中任一所示的接口的各项功能。

以上实施例中，如果功能部分二中包含 m 个功能单元，而每个功能单元的可处理的对应 MAC 数据流的速率为 R ，则功能部分二可支持的功能部分一的最大速率为 $m \cdot R$ 。其中， m 的取值一般取 2 的整数次幂，例如 $m = 2^k$ ，其中 $k = 0, 1, 2, \dots$ ；而 R 的取值，则通常为 5 Gbps, 10 Gbps, 25Gbps, 50Gbps, 100Gbps, 200Gbps, 400Gbps 等等。

在一些实施例中，每个功能单元中由于编码、转码、FEC 等功能的引入，可能导致实际输出速率比标称的 100Gbps、200Gbps 要高，例如，对于某 100Gbps MAC 数据流，如果采用 64B/66B 编码，256B/257B 转码，并增加 RS(544,514) FEC 编码后的数据流速率为 106.25Gbps，如果 FEC 采用 RS(528,514)，则编码后速率为 103.125Gbps。业界一般近似统称为 100G 速率。其他速率同理。

当功能部分一中的功能单元个数为 n 时，可以通过对应的 $n \cdot 2^k$ 个功能单元二支持。

在上述实施例中，可以全部或部分地通过软件、硬件、固件或者其任意组合来实现。当使用软件实现时，可以全部或部分地以计算机程序产品的形式实现。所述计算机程序产品包括一个或多个计算机指令。在计算机上加载和执行所述计算机程序指令时，全部或部分地产生按照本申请所述的流程或功能。所述计算机可以是通用计算机、专用计算机、计算机网络、或者其他可编程装置。所述计算机指令可以存储在计算机可读存储介质中，或者从一个计算机可读存储介质向另一个计算机可读存储介质传输，例如，所述计算机指令可以从一个网站站点、计算机、服务器或数据中心通过有线（例如同轴电缆、光纤、数字用户线）或无线（例如红外、无线、微波等）方式向另一个网站站点、计算机、服务器或数据中心进行传输。所述计算机可读存储介质可以是计算机能够存取的任何可用介质或者是包含一个或多个可用介质集成的服务器、数据中心等数据存储设备。所述可用介质可以是磁性介质，（例如，软盘、硬盘、磁带）、光介质（例如，DVD）、或者半导体介质（例如固态硬盘 Solid State Disk）等。

以上所述的具体实施方式，对本申请的目的、技术方案和有益效果进行了进一步详细说明，所应理解的是，以上所述仅为本申请的具体实施方式而已，并不用于限定本申请的保护范围，凡在本申请的技术方案的基础之上，所做的任何修改、等同替换、改进等，均应包括在本申请的保护范围之内。

本领域普通技术人员可以意识到，结合本文中所公开的实施例中描述的各方法步骤和模

块，能够以软件、硬件、固件或者其任意组合来实现，为了清楚地说明硬件和软件的可互换性，在上述说明中已经按照功能一般性地描述了各实施例的步骤及组成。这些功能究竟以硬件还是软件方式来执行，取决于技术方案的特定应用和设计约束条件。本领域普通技术人员可以对每个特定的应用来使用不同方法来实现所描述的功能，但是这种实现不应认为超出本申请的范围。

本领域普通技术人员可以理解实现上述实施例的全部或部分步骤可以通过硬件来完成，也可以通过程序来指令相关的硬件完成，该程序可以存储于一种计算机可读存储介质中，上述提到的存储介质可以是只读存储器，磁盘或光盘等。

当使用软件实现时，可以全部或部分地以计算机程序产品的形式实现。该计算机程序产品包括一个或多个计算机程序指令。作为示例，本申请实施例的方法可以在机器可执行指令的上下文中被描述，机器可执行指令诸如包括在目标的真实或者虚拟处理器上的器件中执行的程序模块中。一般而言，程序模块包括例程、程序、库、对象、类、组件、数据结构等，其执行特定的任务或者实现特定的抽象数据结构。在各实施例中，程序模块的功能可以在所描述的程序模块之间合并或者分割。用于程序模块的机器可执行指令可以在本地或者分布式设备内执行。在分布式设备中，程序模块可以位于本地和远程存储介质二者中。

用于实现本申请实施例的方法的计算机程序代码可以用一种或多种编程语言编写。这些计算机程序代码可以提供给通用计算机、专用计算机或其他可编程的数据处理装置的处理器，使得程序代码在被计算机或其他可编程的数据处理装置执行的时候，引起在流程图和/或框图中规定的功能/操作被实施。程序代码可以完全在计算机上、部分在计算机上、作为独立的软件包、部分在计算机上且部分在远程计算机上或完全在远程计算机或服务器上执行。

在本申请实施例的上下文中，计算机程序代码或者相关数据可以由任意适当载体承载，以使得设备、装置或者处理器能够执行上文描述的各种处理和操作。载体的示例包括信号、计算机可读介质等等。

信号的示例可以包括电、光、无线电、声音或其它形式的传播信号，诸如载波、红外信号等。

机器可读介质可以是包含或存储用于或有关于指令执行系统、装置或设备的程序的任何有形介质。机器可读介质可以是机器可读信号介质或机器可读存储介质。机器可读介质可以包括但不限于电子的、磁的、光学的、电磁的、红外的或半导体系统、装置或设备，或其任意合适的组合。机器可读存储介质的更详细示例包括带有一根或多根导线的电气连接、便携式计算机磁盘、硬盘、随机存储存取器（RAM）、只读存储器（ROM）、可擦除可编程只读存储器（EPROM 或闪存）、光存储设备、磁存储设备，或其任意合适的组合。

所属领域的技术人员可以清楚地了解到，为了描述的方便和简洁，上述描述的系统、设备和模块的具体工作过程，可以参见前述方法实施例中的对应过程，在此不再赘述。

在本申请所提供的几个实施例中，应该理解到，所揭露的系统、设备和方法，可以通过其它的方式实现。例如，以上所描述的设备实施例仅仅是示意性的，例如，该模块的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式，例如多个模块或组件可以结合或者可以集成到另一个系统，或一些特征可以忽略，或不执行。另外，所显示或讨论的相互之间的耦合或直接耦合或通信连接可以是通过一些接口、设备或模块的间接耦合或通信连接，也可以是电的，机械的或其它的形式连接。

该作为分离部件说明的模块可以是或者也可以不是物理上分开的，作为模块显示的部件可以是或者也可以不是物理模块，即可以位于一个地方，或者也可以分布到多个网络模块上。

可以根据实际的需要选择其中的部分或者全部模块来实现本申请实施例方案的目的。

另外，在本申请各个实施例中的各功能模块可以集成在一个处理模块中，也可以是各个模块单独物理存在，也可以是两个或两个以上模块集成在一个模块中。上述集成的模块既可以采用硬件的形式实现，也可以采用软件功能模块的形式实现。

该集成的模块如果以软件功能模块的形式实现并作为独立的产品销售或使用，可以存储在一个计算机可读存储介质中。基于这样的理解，本申请的技术方案本质上或者说对现有技术做出贡献的部分，或者该技术方案的全部或部分可以以软件产品的形式体现出来，该计算机软件产品存储在一个存储介质中，包括若干指令用以使得一台计算机设备（可以是个人计算机，服务器，或者网络设备等）执行本申请各个实施例中方法的全部或部分步骤。而前述的存储介质包括：U 盘、移动硬盘、只读存储器（read-only memory，ROM）、随机存取存储器（random access memory，RAM）、磁碟或者光盘等各种可以存储程序代码的介质。

本申请中术语“第一”“第二”等字样用于对作用和功能基本相同的相同项或相似项进行区分，应理解，“第一”、“第二”、“第 n”之间不具有逻辑或时序上的依赖关系，也不对数量和执行顺序进行限定。还应理解，尽管以下描述使用术语第一、第二等来描述各种元素，但这些元素不应受术语的限制。这些术语只是用于将一元素与另一元素区别分开。例如，在不脱离各种所述示例的范围的情况下，第一图像可以被称为第二图像，并且类似地，第二图像可以被称为第一图像。第一图像和第二图像都可以是图像，并且在某些情况下，可以是单独且不同的图像。

还应理解，在本申请的各个实施例中，各个过程的序号的大小并不意味着执行顺序的先后，各过程的执行顺序应以其功能和内在逻辑确定，而不应对本申请实施例的实施过程构成任何限定。

本申请中术语“至少一个”的含义是指一个或多个，本申请中术语“多个”的含义是指两个或两个以上，例如，多个第二报文是指两个或两个以上的第二报文。本文中术语“系统”和“网络”经常可互换使用。

应理解，在本文中对各种所述示例的描述中所使用的术语只是为了描述特定示例，而并非旨在进行限制。如在对各种所述示例的描述和所附权利要求书中所使用的那样，单数形式“一个(“a”，“an”)”和“该”旨在也包括复数形式，除非上下文另外明确地指示。

还应理解，术语“包括”(也称“includes”、“including”、“comprises”和/或“comprising”)当在本说明书中使用指定存在所陈述的特征、整数、步骤、操作、元素、和/或部件，但是并不排除存在或添加一个或多个其他特征、整数、步骤、操作、元素、部件、和/或其分组。

还应理解，术语“若”和“如果”可被解释为意指“当...时”(“when”或“upon”)或“响应于确定”或“响应于检测到”。类似地，根据上下文，短语“若确定...”或“若检测到[所陈述的条件或事件]”可被解释为意指“在确定...时”或“响应于确定...”或“在检测到[所陈述的条件或事件]时”或“响应于检测到[所陈述的条件或事件]”。

应理解，根据 A 确定 B 并不意味着仅仅根据 A 确定 B，还可以根据 A 和/或其它信息确定 B。

还应理解，说明书通篇中提到的“一个实施例”、“一实施例”、“一种可能的实现方式”意味着与实施例或实现方式有关的特定特征、结构或特性包括在本申请的至少一个实施例中。因此，在整个说明书各处出现的“在一个实施例中”或“在一实施例中”、“一种可能的实现方式”未必一定指相同的实施例。此外，这些特定的特征、结构或特性可以任意适合的方式结合在一个或多个实施例中。

以上描述仅为本申请的可选实施例，并不用以限制本申请，凡在本申请的原则之内，所作的任何修改、等同替换、改进等，均应包含在本申请的保护范围之内。

权 利 要 求 书

1. 一种接口, 其特征在于, 包括功能部分一和功能部分二, 其中:
所述功能部分一用于实现与媒体接入控制 MAC 速率有关的处理;
所述功能部分二用于实现与所述 MAC 速率无关的处理。
2. 根据权利要求 1 所述的接口, 其特征在于, 所述接口为以太网接口。
3. 根据权利要求 1 或 2 所述的接口, 其特征在于, 所述功能部分一包括 MAC 模块、协调子层 RS 模块以及物理编码子层 PCS 中的编码与速率适配模块。
4. 根据权利要求 3 所述的接口, 其特征在于, 所述功能部分二包括一个或多个功能单元, 其中, 所述一个或多个功能单元包括第一功能单元, 所述第一功能单元包括转码模块、扰码模块、对齐标志插入模块、前向纠错 FEC 模块、物理介质接入子层 PMA 模块、物理介质关联 PMD 模块。
5. 根据权利要求 3 所述的接口, 其特征在于, 所述功能部分二包括一个 PMA/PMD 模块以及一个或多个功能单元, 其中, 所述一个或多个功能单元包括第二功能单元, 所述第二功能单元包括转码模块、扰码模块、对齐标志插入模块、前向纠错 FEC 模块, 所述第二功能单元与所述 PMA/PMD 模块耦合。
6. 根据权利要求 3 所述的接口, 其特征在于, 所述功能部分二包括级联的第一级功能单元和第二级功能单元, 所述第一级功能单元包括一个或多个第一级子功能单元, 其中所述第一级功能单元中的至少一个第一级子单元包括转码模块、扰码模块、对齐标志插入模块、前向纠错 FEC 模块及 PMA 模块; 所述第二级功能单元包括一个或多个第二级子单元, 其中所述第二级功能单元中的至少一个第二级子单元包括 PCS/FEC/PMA 模块和 PMD 模块。
7. 根据权利要求 4-6 中任一所述的接口, 其特征在于, 所述多个功能部分二的 FEC 模块输出的数据在 PMA 层交织。
8. 根据权利要求 6 或 7 所述的接口, 其特征在于, 所述第一级功能单元中的至少一个第一级子单元包括的 FEC 模块是里德-所罗门 RS(544,514) FEC 编码, 所述第二级功能单元中的至少一个第二级子单元包括是 BCH FEC、里德-所罗门前向纠错 RS FEC、polar FEC、低密度奇偶校验前向纠错 LDPC FEC、级联前向纠错 cFEC、开放前向纠错 OFEC 或 Turbo 乘积码前向纠错 TPC FEC。
9. 根据权利要求 3-8 中任一所述的接口, 其特征在于, 所述接口包括光数字信号处理器 oDSP。
10. 根据权利要求 3-9 中任一所述的接口, 其特征在于, 所述 FEC 模块为级联 FEC 模块, 所述第二级功能单元还包括 FEC 编码模块, 用于对进入第二级功能单元的数据的级联码的编码。
11. 根据权利要求 1 或 2 所述的接口, 其特征在于, 所述功能部分一包括 MAC 模块、协调子层 RS 模块以及物理编码子层 PCS 中的编码与速率适配模块以及转码模块。
12. 根据权利要求 11 所述的接口, 其特征在于, 所述功能部分二包括一个或多个功能单元, 所述一个或多个功能单元包括第三功能单元, 所述第三功能单元包括加扰模块、对齐标志插入模块、前向纠错 FEC 模块和物理介质接入子层 PMA/物理介质关联 PMD 模块。
13. 根据权利要求 11 所述的接口, 其特征在于, 所述功能部分二包括一个或多个功能单元, 其中, 所述一个或多个功能单元包括第四功能单元, 所述第四功能单元包括扰码模块、

对齐标志插入模块、前向纠错 FEC 模块、物理介质接入子层 PMA 模块/物理介质关联 PMD 模块。

14. 根据权利要求 1 或 2 所述的接口，其特征在于，所述功能部分一包括 MAC 模块、协调子层 RS 模块以及物理编码子层 PCS 中的编码与速率适配模块、转码模块以及扰码模块。

15. 根据权利要求 14 所述的接口，其特征在于，所述功能部分二包括一个或多个功能单元，所述一个或多个功能单元包括第五功能单元，所述第五功能单元包括对齐标志插入模块、前向纠错 FEC 模块和物理介质接入子层 PMA/物理介质关联 PMD 模块。

16. 根据权利要求 1-15 中任一所述的接口，其特征在于，所述接口为速率为 800Gb/s、1.6Tb/s 的以太网接口。

17. 根据权利要求 1-16 中任一所述的接口，其特征在于，所述转码模块为遵守 IEEE 802.3-2018 的 64B/66B 到 256B/257B 的转码器。

18. 根据权利要求 1-17 中任一所述的接口，其特征在于，所述功能部分二包括 1 个、2 个、3 个、4 个、5 个、8 个或 16 个功能单元。

19. 根据权利要求 1-18 中任一所述的接口，其特征在于，所述功能部分二通过数据块分发模块与所述功能部分一耦合。

20. 根据权利要求 1-19 中任一所述的接口，其特征在于，所述功能部分一包括媒体无关接口。

21. 一种电子设备，其特征在于，包括权利要求 1-20 中任一所述的接口。

22. 一种通信系统，其特征在于，包括发送侧设备和接收侧设备，所述发送侧设备和/或所述接收侧设备为权利要求 21 所述的电子设备。