

屏蔽栅沟槽器件及其制备方法

技术领域

本申请涉及半导体技术领域，特别涉及一种屏蔽栅沟槽器件及其制备方法。

背景技术

屏蔽栅器件是指器件体区设置有屏蔽栅极的半导体器件，如 SGT MOSFE (Shielded Gate Trench Metal-Oxide-Semiconductor Field-Effect Transistor，屏蔽栅沟槽金属氧化物半导体场效应晶体管)等。屏蔽栅极能够在体区引入横向电场以辅助漂移区耗尽，但在沟槽深度方向上呈现出的横向电场存在中部场强低底部场强高的分布特点(参考图1)，器件耐压性能不高且不稳定。相关技术为解决上述问题，采用渐变掺杂浓度的 EPI(外延层，epitaxial layer)，或在沟槽内壁采用复合材料层的场氧层以利用其腐蚀速率差异形成阶梯场板，拉高中部场强，改善中部场强低的问题。但前一种方式的场强分布改善效果差且影响屏蔽栅沟槽的刻蚀，导致沟槽尺寸不可控等问题，后一种方式仅适用于高压厚场板的器件中，无法适配于场氧需求较薄的中低压器件。

发明内容

为解决上述技术问题，本申请于一方面公开了一种屏蔽栅沟槽器件的制备方法，其包括：

提供衬底，所述衬底包括外延层、位于所述外延层中的第一沟槽、以及覆盖所述外延层的至少部分表面和所述第一沟槽内壁的第一氧化层；

形成填充所述第一沟槽的多晶硅结构，沿所述第一沟槽的槽底至顶端的方向，所述多晶硅结构的掺杂浓度呈渐进式递减；

对所述多晶硅结构进行回刻处理，形成第二沟槽，所述第二沟槽的多晶硅内壁覆盖所述第一沟槽内壁的第一氧化层，所述第二沟槽用于形成屏蔽栅结构；

基于氧化处理使所述第二沟槽的多晶硅内壁形成第二氧化层，沿所述第一沟槽的槽底至顶端的方向，所述第二氧化层的厚度呈渐进式递减。

一示例的实施方式中，沿所述第一沟槽的槽底至顶端的方向，所述多晶硅结构的掺杂浓度呈阶梯递减，所述第二氧化层的厚度呈阶梯递减；或者，

沿所述第一沟槽的槽底至顶端的方向，所述多晶硅结构的掺杂浓度呈渐变递减，所述第二氧化层的厚度呈渐变递减。

一示例的实施方式中，所述多晶硅结构包括多层沿所述第一沟槽的深度方向依次层叠的多晶硅层，各所述多晶硅层的掺杂浓度呈渐进式变化；所述形成填充所述第一沟槽的多晶硅结构包括：

于所述第一沟槽中，重复执行多次掺杂多晶硅淀积处理和多晶硅回刻处理，形成所述多层多晶硅层，且在时序上各次掺杂多晶硅淀积的步骤中采用的掺杂元素气体的气流量渐进式降低。

一示例的实施方式中，各所述多晶硅层的掺杂浓度和厚度是基于所述屏蔽栅器件对应的仿真结构设计数据确定的，所述仿真结构设计数据是基于所述屏蔽栅器件中体区的预设电场分布生成的，所述预设电场分布用于指示沿所述第一沟槽的深度方向上体区横向电场的期望强度分布。

一示例的实施方式中，所述第二沟槽的多晶硅内壁的氧化处理采用湿氧热氧化工艺。

一示例的实施方式中，所述提供衬底包括：

提供初始衬底，所述初始衬底包括基底层和位于基底层一侧的外延层；

对所述外延层进行沟槽刻蚀，以形成所述第一沟槽；

通过氧化膜淀积形成顺形覆盖所述外延层的至少部分表面和所述第一沟槽内壁的所述第一氧化层。

一示例的实施方式中，所述对所述多晶硅结构进行回刻处理，形成第二沟槽包括：

对所述多晶硅结构进行研磨，至暴露所述外延层表面的第一氧化层；

于所述第一氧化层和所述多晶硅结构上形成掩膜层，以遮挡所述第一氧化层、以及所述多晶硅结构表面与所述多晶硅侧壁对位的区域，并暴露所述多晶硅结构表面与所述第二沟槽对位的区域；

对具有掩膜层的衬底进行干法刻蚀处理并去除所述掩膜层，形成所述第二沟槽。

一示例的实施方式中，所述刻蚀处理的工艺参数是基于仿真结构设计数据对应的预设刻蚀倾角和所述第二沟槽内壁的预设底部厚度确定的，所述预设刻蚀倾角与所述第二氧化层侧壁的变化梯度负相关，所述预设刻蚀倾角是指所述

第二沟槽的侧壁与所述基底的表面间的夹角，为所述第二沟槽的侧壁与所述第二沟槽的底壁间夹角的余角。

一示例的实施方式中，在所述基于氧化处理使所述第二沟槽的多晶硅内壁形成第二氧化层之后，所述制备方法还包括：

于所述第二沟槽中形成与所述第二氧化层顺形的所述屏蔽栅结构，沿所述第二沟槽的槽底至顶端的方向，所述屏蔽栅结构的宽度呈渐进式递增。

本申请于另一方面还公开了一种屏蔽栅沟槽器件，其是基于上述的制备方法制备得到的。

一示例的实施方式中，所述屏蔽栅沟槽器件包括：

衬底，包括外延层、位于所述外延层中的第一沟槽；

第一氧化层，覆盖所述外延层的至少部分表面和第一沟槽内壁；

场氧层，设置于所述第一沟槽内壁，所述场氧层围设形成第二沟槽，沿所述第一沟槽的槽底至顶端的方向，所述场氧层的厚度呈渐进式递减。

一示例的实施方式中，沿所述第一沟槽的槽底至顶端的方向，所述场氧层的厚度呈阶梯递减；或者，沿所述第一沟槽的槽底至顶端的方向，所述场氧层的厚度呈渐变递减。

本申请于另一方面还公开了一种集成电路，所述集成电路包括上述的屏蔽栅沟槽器件。

本申请于另一方面还公开了一种电子装置，其包括上述的屏蔽栅沟槽器件。

基于上述技术方案，本申请具有以下有益效果：

本申请于外延层的第一沟槽中形成填充的多晶硅结构，且沿第一沟槽的槽底至顶端，多晶硅结构的掺杂浓度呈渐进式递减，形成用于形成场氧的预结构，然后对多晶硅结构进行回刻处理，形成第二沟槽，以得到具有浓度变化的沟槽内壁，进而基于氧化处理使多晶硅内壁氧化而形成第二氧化层，由于掺杂浓度的变化，第二氧化层的厚度也随之变化，进而与第一氧化层接合形成厚度自槽底至顶端渐进式变化的场氧层，实现第二沟槽中屏蔽栅结构宽度的自由调控，以显著优化体区中部场强低的问题，使得体区的场强积分面积趋于最大化，有效提升器件的耐压性能；并且，在第二氧化层的制备过程中，仅需一次热氧化处理，热预算小且避免衬底中的掺杂杂质的反扩问题，避免降低器件耐压性能；此外，通过沟槽中多晶硅结构的掺杂浓度调制可实现场氧层厚度尺寸和厚度变化的自由调控，

不会限制场氧厚度，结构制备的自由度高，能够适配于各种电压需求的耐压器件。

附图说明

为了更清楚地说明本申请实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为现有技术提供一种屏蔽栅沟槽器件的结构示意图；

图 2 为本申请示例性的一种屏蔽栅沟槽器件的制备方法的流程示意图；

图 3-11 为本申请示例性的一种屏蔽栅沟槽器件制备过程中的器件结构图；

图 12 为本申请提供的一参考例的屏蔽栅沟槽器件制备过程中的器件结构图；

图 13 为本申请示例性的一种屏蔽栅沟槽器件的器件体区的横向场强分布图；

以下对附图作补充说明：

101-基底层，102-外延层，103-第一氧化层，104-第二氧化层，105-第一沟槽，106-体区，107-场氧层，201-多晶硅结构，202-多晶硅层，203-多晶硅侧壁，204-第二沟槽 204，205-屏蔽栅结构，206-栅极结构，207-隔离氧化层，301-掩膜层。

具体实施方式

下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述。显然，所描述的实施例仅仅是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域普通技术人员在没有作出创造性劳动的前提下所获得的所有其他实施例，都属于本申请保护的范围。

此处所称的“一个实施例”或“实施例”是指可包含于本申请至少一个实现方式中的特定特征、结构或特性。在本申请的描述中，需要理解的是，术语“上”、“下”、“顶”、“底”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本申请和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本申请的限制。此外，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含的包括一个或者更多个该特征。而且，术语“第一”、“第二”等是用于区别类似的对象，而不必用于描述特定的顺序或先后次序。应该理解这样使用的数据在适当情况下可以互换，以便这里描述的本申请的实施例能够以除

了在这里图示或描述的那些以外的顺序实施。

当本文中公开一个数值范围时，上述范围视为连续，且包括该范围的最小值及最大值，以及这种最小值与最大值之间的每一个值。进一步地，当范围是指整数时，包括该范围的最小值与最大值之间的每一个整数。此外，当提供多个范围描述特征或特性时，可以合并该范围。换言之，除非另有指明，否则本文中所公开之所有范围应理解为包括其中所归入的任何及所有的子范围。例如，从“1 至 10”的指定范围应视为包括最小值 1 与最大值 10 之间的任何及所有的子范围。

范围 1 至 10 的示例性子范围包括但不限于 1 至 6.1、3.5 至 7.8、5.5 至 10 等。

本申请中所使用的术语“层”是指包括具有一定厚度的区域的材料部分。层可以在整个下层或上层结构上延伸，或者可以在下层或上层结构的局部范围延伸。此外，层可以是均质或不均质连续结构的区域，其厚度小于连续结构的厚度。例如，层可以位于连续结构的顶表面和底表面之间或在其之间的任何一对水平平面之间。层可以水平地、垂直地和/或沿着锥形表面延伸。一层可以包括多层。例如，场氧层 107 可以包括第一氧化层 103 和第二氧化层 104 等，并且可以具有相同或不同的材料。

应当理解地，本申请中所使用的“一致”，“垂直”等限定是指满足工艺误差的基本一致或基本垂直等，不指代物理意义上的绝对一致或绝对垂直。

应当理解地，本申请中所使用的“面”，如“第一面”，“第二面”等是指衬底等的 XY 平面，对应于半导体器件的 XY 平面，“面内方向”是指与 XY 平面平行的方向，“厚度方向”，“沟槽深度方向”或“纵向”是指相对于 XY 平面的 Z 向。

以下结合图 2-12 介绍本申请实施例提供的屏蔽栅沟槽器件的制备方法，图 2 是屏蔽栅沟槽器件的制备方法的流程示意图。本说明书提供了如实施例或流程图的方法操作步骤，但基于常规或者无创造性的劳动可以包括更多或者更少的操作步骤。实施例中列举的步骤顺序仅仅为众多步骤执行顺序中的一种方式，不代表唯一的执行顺序。在实际中的制备方法执行时，可以按照实施例或者附图所示的方法顺序执行或者并行执行。制备方法可以包括 S11-S14：

S11：提供衬底。

具体地，参考图 4，衬底包括外延层 102、位于外延层 102 中的第一沟槽 105、以及覆盖外延层 102 的至少部分表面和第一沟槽 105 内壁的第一氧化层 103。

具体地，衬底还包括基底层 101，外延层 102 形成于基底层 101 的一侧，基底层 101 为能够进行半导体器件加工的半导体基体，示例性地，基底层 101 的构成材料可以是以下中的至少一种：硅、包含硅的材料（诸如砷化镓（GaAs）的 III-V 族化合物半导体材料）、绝缘体上硅（Silicon On Insulator, SOI）中的至少一种，或其它能够形成基底层 101 的其它类型的半导体材料。

具体地，外延层 102 形成于基底层 101 上。可选的，外延层 102 可以通过外延生长工艺形成，可以为与基底层 101 同质的外延层 102，如能够沿着基底层 101 的晶格方向继续生长形成的外延层 102，也可以为异质外延层 102，具体的生长温度等工艺条件可以与现有工艺相同，也可以进行适应性的调整。可选地，外延层 102 可以通过化学气相沉积（Chemical Vapor Deposition, CVD）、物理气相沉积（Physical Vapor Deposition, PVD）、原子层沉积（Atomic Vapor Deposition, ALD）或其它方法形成。示例性地，外延层 102 的材料可以包括硅、锗、砷化镓、磷化镓（GaP）、氮化镓（GaN）等，或可以为其它能够外延生长或沉积于基底层 101 上并能够进行器件区加工的材料。

具体地，第一沟槽 105 是通过沟槽刻蚀形成于外延层 102 中的，外延层 102 中可以包括多个第一沟槽 105 并基于器件性能需求间隔分布。衬底上还包括顺形覆盖外延层 102 的至少部分表面和第一沟槽 105 内壁的第一氧化层 103，可选地，第一氧化层 103 的构成材料可以为氧化硅，还可以为其它能够作为栅极的场氧层 107 的材料。

可能的实施方式中，S11 可以包括 S111-S113：

S111：提供初始衬底；

S112：对外延层 102 进行沟槽刻蚀，以形成第一沟槽 105；

S113：通过氧化膜淀积形成顺形覆盖外延层 102 的至少部分表面和第一沟槽 105 内壁的第一氧化层 103。

具体地，参考图 3，初始衬底包括基底层 101 和位于基底层 101 一侧的外延层 102。沟槽刻蚀可采用掩膜进行湿法刻蚀或干法刻蚀，优选地，采用干法刻蚀方法，更为优选地，采用各向同性干法刻蚀方法，以形成尺寸精度高且内壁平坦的第一沟槽 105，从而提升第一氧化层 103 的平坦性。

可选地，S113 中的氧化膜淀积为场氧层 107 的第一层薄层的淀积过程，可以通过热氧化法、化学气相沉积、物理气相沉积、原子层沉积等方法实现。以热

氧化法形成二氧化硅氧化层为例，于外延层 102 和第一沟槽 105 中先沉积多晶硅材料，然后热氧处理，得到第一氧化层 103，热氧处理可以为干氧或湿氧热处理，优选为湿氧热处理；以沉积方法为例，可以于外延层 102 和第一沟槽 105 表面沉积氧化材料，以形成第一氧化层 103，如图 4 所示。

通过形成顺形覆盖的第一氧化层 103，能够作为后续的场氧结构并作为第二氧化层 104 制备过程中的隔离层，避免第二氧化层 104 制备过程中的外延层离子反扩和结构损伤。

S12：形成填充第一沟槽 105 的多晶硅结构 201，沿第一沟槽 105 的槽底至顶端的方向 L，多晶硅结构 201 的掺杂浓度呈渐进式递减。

具体地，参考图 5-6，多晶硅结构 201 形成于第一沟槽 105 中的第一氧化层 103 上并填充第一沟槽 105，多晶硅结构 201 可以通过多晶硅淀积形成的。

可选地，多晶硅结构 201 的离子掺杂类型可以为 N 型掺杂或 P 型掺杂，可以基于器件的功能需求选择。示例性地，掺杂元素可以包括但不限于硼 (B)、铝 (Al)、镓 (Ga)、铟 (In)、磷 (P)、砷 (As)、锑 (Sb) 或铋 (Bi) 中的一种或几种，或者为其它能够实现 P 型掺杂或 N 型掺杂的元素。一些实施例中，采用 P 型掺杂，掺杂元素可以为硼 (B)、铝 (Al)、镓 (Ga) 和铟 (In) 等，另一些实施例中，基底隔离层 110 为采用 N 型掺杂，掺杂元素可以为磷 (P)、砷 (As)、锑 (Sb) 和铋 (Bi) 等。

可能的实施方式中，沿第一沟槽 105 的深度方向上，多晶硅结构 201 的掺杂浓度自槽底到顶端阶梯递减或渐变递减，优选地，渐变递减可以为线性递减，掺杂浓度是指多晶硅结构 201 中掺杂元素的浓度。可选地，多晶硅结构 201 可以通过化学气相沉积、物理气相沉积、原子层沉积或其它方法形成。

一些实施方式中，多晶硅结构 201 可以通过两次或两次以上的淀积过程和相应的回刻工艺形成；多晶硅结构 201 包括多层沿第一沟槽 105 的深度方向依次层叠的多晶硅层 202，每一淀积过程和回刻处理形成一层多晶硅层 202，各多晶硅层 202 的掺杂浓度呈渐进式变化，相应地，S12 可以包括：于第一沟槽 105 中，重复执行多次掺杂多晶硅淀积处理和多晶硅回刻处理，形成多层多晶硅层 202。掺杂多晶硅淀积处理是指在多晶硅的淀积过程中通过加入掺杂元素气体实现原位掺杂。

具体地，通过掺杂多晶硅淀积处理形成填充第一沟槽 105 的第一结构，回刻处理至第一沟槽 105 中的第一结构残留厚度达到所需厚度，得到第一多晶硅层 202；再次进行掺杂多晶硅淀积处理以形成填充第一沟槽 105 剩余部分的第二结构，再次回刻至第二结构的残留厚度达到所需厚度，得到第二多晶硅层 202，依次类推，得到多晶硅结构 201。如此，经多次掺杂多晶硅沉积与回刻可形成沟槽内纵向阶梯变化或渐变掺杂浓度的多晶硅。

具体地，在时序上各次掺杂多晶硅淀积的步骤中采用的掺杂元素气体的气流量渐进式降低；掺杂元素气体可以基于掺杂元素的种类需求确定，在次不做具体限制，示例性地，P 元素掺杂采用的掺杂元素气体可以为 PH_3 等。示例性地，参考图 5 和图 6，多晶硅结构 201 包括 5 层多晶硅层 202，从顶端到底部的掺杂浓度阶梯递增，由后至前的递增气流量设置将沉积掺杂浓度递增的多晶硅，在氧化后形成的氧化层厚度成比例变化，阶梯宽度也随之变化。多晶硅层 202 的厚度可以通过回刻深度调控，具体可通过刻蚀时间调节。

一些情况下，单层多晶硅层 202 的淀积过程中掺杂元素气体的气流量稳定不变，时序上的后一层多晶硅层 202 采用的掺杂元素气体的气流量低于前一层多晶硅层 202，以实现阶梯递减的掺杂浓度。另一些情况下，除时序上后一层多晶硅层 202 采用的掺杂元素气体的气流量低于前一层之外，单层多晶硅层 202 的淀积过程中掺杂元素气体的气流量也随时序递减，以实现渐变递减的掺杂浓度。

如此，通过重复进行 N 次（N 为大于等于 2 的正整数）变浓度掺杂的多晶硅淀积和回刻形成 N-1 级阶梯浓度的多晶硅，并可通过调整多晶硅淀积过程的掺杂元素气流量和回刻深度，在实现原位掺杂的同时调节阶梯宽度和深度，以便于后续第二氧化层 104 的阶梯厚度和深度的调控。

可选地，回刻采用干法刻蚀，优选为各向同性干法刻蚀，以使回刻后形成的沟槽尺寸精准且内壁平坦，有利于后一多晶硅层 202 形成的尺寸和形状的精准控制。回刻的刻蚀速率等工艺条件可以基于实际需求设置，在此不做限制，采用的回刻方法对第一氧化层 103 具有刻蚀惰性。

可能的实施方式中，多晶硅结构 201 的掺杂浓度变化程度是基于仿真结构设计数据确定的，仿真结构设计数据至少包括屏蔽栅沟槽器件中外延层 102、体区 106、第二沟槽 204、场氧层 107 和屏蔽栅结构 205 的尺寸等参数。在多晶硅

包括多个多晶硅层 202 的情况下，各多晶硅层 202 的掺杂浓度和厚度是基于屏蔽栅器件对应的仿真结构设计数据确定的。其中，仿真结构设计数据是基于屏蔽栅器件中体区 106 的预设电场分布生成的，体区 106 包括部分外延层 102、位于外延层 102 中的场氧层 107 和屏蔽栅结构 205，器件的体区 106 通过设置屏蔽栅结构 205 和场氧层 107 引入了横向电场，能够辅助漂移区耗尽，提升器件耐压性能，体区 106 的横向电场沿纵向具有一定的场强分布，预设电场分布用于指示沿第一沟槽 105 的深度方向上体区横向电场的期望强度分布，预设电场分布中体区 106 中部的场强与两端的场强趋于接近。通过期望场强分布倒推设计不同多晶硅层 202 的掺杂浓度和厚度，以使器件体区 106 的横向场强分布均匀且场强积分面积（耐压性能）趋于最大化，显著改善现有结构（如图 1）的中部场强低导致的耐压性能不足等问题。

S13：对多晶硅结构 201 进行回刻处理，形成第二沟槽 204。

具体地，通过多晶硅结构 201 的整体回刻形成深沟槽，回刻方法优选为各向异性干法刻蚀。参考图 8，第二沟槽 204 的多晶硅内壁覆盖第一沟槽 105 内壁的第一氧化层 103，第二沟槽 204 用于形成屏蔽栅结构 205。可以理解地，多晶硅内壁的掺杂浓度变化基于多晶硅结构 201 的掺杂浓度变化形成，掺杂浓度越高，多晶硅氧化后形成的氧化层越厚，相应地，第二沟槽 204 的宽度越小，屏蔽栅结构 205 的对应区域宽度越小。

可能的实施方式中，S13 可以包括 S131-S133：

S131：对多晶硅结构 201 进行研磨，至暴露外延层 102 表面的第一氧化层 103；

S132：于第一氧化层 103 和多晶硅结构 201 上形成掩膜层 301，以遮挡第一氧化层 103、以及多晶硅结构 201 表面与多晶硅侧壁 203 对位的区域，并暴露多晶硅结构 201 表面与第二沟槽 204 对位的区域；

S133：对具有掩膜层 301 的衬底进行干法刻蚀处理并去除掩膜层 301，形成第二沟槽 204。

具体地，在多晶硅结构 201 淀积形成后，存在部分多余的多晶硅材料覆盖外延层 102 上的第一氧化层 103，如图 5 所示，通过化学机械研磨等方式去除多晶硅结构 201 的表层部分至暴露第一氧化层 103，研磨后多晶硅结构 201 的表面优选为与外延层 102 上的第一氧化层 103 齐平，如图 6 所示。

进一步地,参考图 7,掩膜层 301 可以通过光刻图形化工艺形成,具体可以采用化学气相沉积形成,例如等离子体增强化学气相沉积(Plasma Enhanced CVD, PECVD)、高密度等离子体化学气相沉积(High Density Plasma CVD, HDPCVD)、次大气压化学气相沉积(Sub Atmospheric CVD, SACVD)、低压化学气相沉积(Low Pressure CVD, LPCVD)、原子层沉积(Atomic Layer Deposition, ALD)、等离子体增强原子层沉积(Plasma Enhanced Atomic Layer Deposition, PEALD)、或其它种类的化学气相沉积工艺等。掩膜层 301 的材料具体可以为氮化硅、氮化钛、二氧化硅等。参考图 7 和图 8,掩膜层 301 用于暴露第二沟槽 204 对应的多晶硅区域,以便于深沟槽刻蚀,进而得到第二沟槽 204。

可能的实施方式中,可以基于需求调整第二沟槽 204 的侧壁倾角和底部深度以调节第二氧化层 104 的侧壁梯度变化和底部厚度。相应地,刻蚀处理的工艺参数是基于仿真结构设计数据对应的预设刻蚀倾角和第二沟槽内壁的预设底部厚度确定的,第二沟槽内壁的底部厚度是指第二沟槽底面至第一氧化层背离外延层的表面间的距离,预设刻蚀倾角与第二氧化层 104 侧壁的变化梯度负相关,预设刻蚀倾角 α 是指第二沟槽 204 的侧壁与基底 101 的表面间的夹角,为所述第二沟槽的侧壁与所述第二沟槽的底壁间夹角的余角,即预设刻蚀倾角 α 越小,第二沟槽 204 的侧壁越倾斜,底壁宽度越窄,第二氧化层 104 侧壁的厚度变化梯度越大,反之越小。一个参考例中,参考图 12,采用一致的掺杂浓度进行多晶硅结构 201 填充,通过调整预设刻蚀倾角 α ,形成倾斜第二沟槽侧壁,沿第二沟槽 204 的槽底至顶端的方向 L,第二氧化层 104 的厚度呈渐变递减,屏蔽栅结构 205 的宽度呈渐变递增。具体地,刻蚀处理的工艺参数可以包括但不限于混合刻蚀气体的比例、射频参数等,如碳氟气体与氧气比例等,通过预设刻蚀倾角和预设底部厚度设置刻蚀工艺参数,以实现特定侧壁倾角,进而实现多晶硅侧壁 203 的厚度变化和底部厚度的自由调控。

S14: 基于氧化处理使第二沟槽 204 的多晶硅内壁形成第二氧化层 104,沿第一沟槽 105 的槽底至顶端的方向 L,第二氧化层 104 的厚度呈渐进式递减。

如此,利用多晶硅掺杂浓度与形成氧化膜厚度的正相关的关系,在沟槽内形成纵向多级阶梯变化或渐变掺杂浓度的多晶硅,再进行二次沟槽刻蚀和湿氧化以一次成型多级可自由调节宽度和深度的阶梯场氧或形成渐变厚度场氧。

可选地,多晶硅内壁的氧化处理可以为干氧热氧化工艺或湿氧热氧化工艺。

优选实施方式中,第二沟槽 204 的多晶硅内壁的氧化处理采用湿氧热氧化工艺,以使不同掺杂浓度的多晶硅形成的氧化层厚度差异更为显著,从而提升体区横向电场的分布调制效果。多晶硅内壁氧化完成后形成厚度渐变或阶梯变化的场氧层 107。

可以理解地,第二氧化层 104 的厚度随多晶硅侧壁 203 的掺杂浓度变化而相应变化。一些实施方式中,沿第一沟槽 105 的槽底至顶端的方向,多晶硅结构 201 的掺杂浓度呈阶梯递减,第二氧化层 104 的厚度呈阶梯递减。另一些实施方式中,沿第一沟槽 105 的槽底至顶端的方向,多晶硅结构 201 的掺杂浓度呈渐变递减,第二氧化层 104 的厚度呈渐变递减。

综上,本申请于外延层 102 的第一沟槽 105 中形成填充的多晶硅结构 201,且沿第一沟槽 105 的槽底至顶端,多晶硅结构 201 的掺杂浓度呈渐进式递减,形成用于形成场氧的预结构,然后对多晶硅结构 201 进行回刻处理,形成第二沟槽 204,以得到具有浓度变化的沟槽内壁,进而基于氧化处理使多晶硅内壁氧化而形成第二氧化层 104,由于掺杂浓度的变化,第二氧化层 104 的厚度也随之变化,进而与第一氧化层 103 接合形成厚度自槽底至顶端渐进式变化的场氧层 107,实现第二沟槽 204 中屏蔽栅结构 205 宽度的自由调控,以显著优化体区 106 中部场强低的问题,使得体区 106 的场强积分面积趋于最大化,有效提升器件的耐压性能;并且,在第二氧化层 104 的制备过程中,仅需一次热氧化处理,热预算小且避免衬底中的掺杂杂质的反扩问题,避免降低器件耐压性能;此外,通过沟槽中多晶硅结构 201 的掺杂浓度调制可实现场氧层 107 厚度尺寸和厚度变化的自由调控,不会限制场氧厚度,结构制备的自由度高,能够适配于各种电压需求的耐压器件。

基于上述部分或全部实施方式,可能的实施方式中,参考图 10,在 S14 之后,制备方法还包括 S15:于第二沟槽 204 中形成与第二氧化层 104 顺形的屏蔽栅结构 205,沿第二沟槽 204 的槽底至顶端的方向 L,屏蔽栅结构 205 的宽度呈渐进式递增,以实现场强的均匀分布,提升耐压性能。

一些实施方式中,参考图 9 和图 10,沿第二沟槽 204 的槽底至顶端的方向 L,第二氧化层 104 的厚度呈阶梯递减,屏蔽栅结构 205 的宽度呈阶梯递增。

可能的实施方式中,屏蔽栅结构 205 填充于第二沟槽 204 的部分区域。在屏蔽栅沟槽器件的制备工艺中,除了上述工艺步骤外,还包括栅极的形成、体区

106 掺杂、源极掺杂、接触孔形成等工艺，如对于栅极结构 206 的形成过程具体可以通过在如图 11 所示的屏蔽栅结构 205 的顶部继续形成隔离氧化层 207，隔离氧化层 207 用于隔离栅极与屏蔽栅极，再进一步于隔离氧化层 207 上形成栅极结构 206，还可以在外延层 102 表面和第一沟槽 105 表面覆盖栅介质层并形成接触孔。栅极材料和屏蔽栅极的材料可以是多晶硅等。在其它实施例中，栅极材料和屏蔽栅极的材料也可以为铜、铝、钨、铬、钛、银、铂、镍或者金等金属栅极材料。以上栅极的形成过程仅为一种示例性的方案，本申请对栅极的制备方法不做限制。

相关技术中，场氧层 107 的制备过程，也可先在沟槽中填充多晶硅材料，再利用掩膜层 301 进行多次不同宽度的沟槽刻蚀且每次刻蚀后进行侧壁热氧化，以制备阶梯场板。但该方式的沟槽尺寸和精度难以保证，热预算高，且基底层 101 的掺杂浓度高于外延层 102，多次热氧化处理导致基底层 101 离子会反向扩散至外延层 102，导致外延层 102 掺杂浓度增大，反扩问题突出，严重影响器件耐压性能。或者，也可采用复合场氧结构，通过腐蚀速率差异形成阶梯场板，即于沟槽内壁形成由两种或两种以上材料制备的复合氧化层，不同材料层的致密性和材质等差异导致氧化层的腐蚀速率（如氢氟酸腐蚀速率）不同，各种材料剩余的部分就会形成阶梯场氧。但该方式制备的场氧层 107 过厚，仅适用于高压厚场板的器件，在需要较薄场氧层 107 的情况下，腐蚀过程中不易产生阶梯且材料选择限制较大。

而本申请的方案通过在第一沟槽 105 中形成掺杂浓度渐进变化的多晶硅结构 201，并回刻形成相应的多晶硅内壁，以基于多晶硅掺杂浓度越高，氧化层越厚的特性，形成纵向厚度渐进变化的场氧层 107，过程中可以只进行一次热氧，热预算小，且能够根据仿真设计结构需求通过调整掺杂浓度和刻蚀深度来实现任意深度和宽度搭配的多层场氧阶梯，结构制备自由度高，适配于各种厚度的场氧制备，从而能够满足低中高压 SGT 的工艺开发需求。相较于图 1 中示出的器件结构，采用本申请的技术方案形成的屏蔽栅沟槽器件中，器件体区 106 的场强分布得到显著改善，参考图 13，图中蓝色曲线为图 1 中器件结构的体区场强分布，绿色虚线为基于图 11 中的器件结构而模拟的体区场强分布，可见，体区场强分布均匀且场强积分面积趋于最大化，显著改善中部场强过低致使的器件耐压性能缺陷。

以下结合图 11 介绍本申请的屏蔽栅沟槽器件。可以理解的，附图中的屏蔽栅沟槽器件仅为本申请一个具体实施例的技术方案，本申请的屏蔽栅沟槽器件可以包括更少或更多的结构特征，不以附图中描述的装置结构为限。

屏蔽栅沟槽器件包括衬底、第一氧化层 103 和场氧层 107，衬底包括外延层 102、位于外延层 102 中的第一沟槽 105，第一氧化层 103 覆盖外延层 102 的至少部分表面和第一沟槽内壁。场氧层 107 设置于第一沟槽内壁，场氧层 107 围设形成第二沟槽 204；沿第一沟槽 105 的槽底至顶端的方向，场氧层 107 的厚度呈渐进式递减。

可能的实施方式中，沿第一沟槽 105 的槽底至顶端的方向，场氧层 107 的厚度呈阶梯递减；或者，沿第一沟槽 105 的槽底至顶端的方向，场氧层 107 的厚度呈渐变递减。

可能的实施方式中，屏蔽栅沟槽器件还包括形成于第二沟槽 204 内的屏蔽栅结构 205，屏蔽栅结构 205 顺形填充第二沟槽 204 的部分区域，沿第二沟槽 204 的槽底至顶端的方向，屏蔽栅结构 205 的宽度呈渐进式递增。

可能的实施方式中，沿第二沟槽 204 的槽底至顶端的方向，屏蔽栅结构 205 的宽度呈阶梯递增；或者，沿第二沟槽 204 的槽底至顶端的方向，屏蔽栅结构 205 的宽度呈渐变递增。

可能的实施方式中，屏蔽栅沟槽器件还包括位于第二沟槽 204 内且层叠设置于屏蔽栅结构 205 上方的隔离氧化层 207 和栅极结构 206，隔离氧化层 207 位于屏蔽栅结构 205 和栅极结构 206 之间。

需要说明的是，上述屏蔽栅沟槽器件实施例和制备方法的实施例基于同样的申请构思，屏蔽栅沟槽器件可以采用上述屏蔽栅沟槽器件的制备方法制得。

本申请实施例还提供了一种电子设备，其包括上述的屏蔽栅沟槽器件。具体的，电子设备包括屏蔽栅沟槽器件以及与上述屏蔽栅沟槽器件相连的电子组件。

本申请实施例的电子设备，可以选自手机、掌上电脑(Personal DigitalAssistant, PDA)、平板电脑(pad)、笔记本电脑、游戏机、电视机、视频高密光盘(Video Compact Disc, VCD)、数字化视频光盘(Digital Video Disc, DVD)、导航仪、照相机、摄像机、录音笔、MP3、MP4、掌上游戏机(PlayStation Portable, PSP)等任何电子产品或设备，也可以是任何包括上述屏蔽栅沟槽器件制得的电子器件的中间产品。

需要说明的是：上述本申请实施例先后顺序仅仅为了描述，不代表实施例的优劣。且上述对本说明书特定实施例进行了描述。其它实施例在所附权利要求书的范围内。在一些情况下，在权利要求书中记载的动作或步骤可以按照不同于实施例中的顺序来执行并且仍然可以实现期望的结果。另外，在附图中描绘的过程不一定要求示出的特定顺序或者连续顺序才能实现期望的结果。在某些实施方式中，多任务处理和并行处理也是可以的或者可能是有利的。

本说明书中的各个实施例均采用递进的方式描述，各个实施例之间相同相似的部分互相参见即可，每个实施例重点说明的都是与其他实施例的不同之处。尤其，对于设备实施例而言，由于其基本相似于方法实施例，所以描述的比较简单，相关之处参见方法实施例的部分说明即可。

本领域普通技术人员可以理解实现上述实施例的全部或部分步骤可以通过硬件来完成，也可以通过程序来指令相关的硬件完成，的程序可以存储于一种计算机可读存储介质中，上述提到的存储介质可以是只读存储器，磁盘或光盘等。

以上所述仅为本申请的较佳实施例，并不用以限制本申请，凡在本申请的精神和原则之内，所作的任何修改、等同替换、改进等，均应包含在本申请的保护范围之内。

权 利 要 求 书

1.一种屏蔽栅沟槽器件的制备方法，其特征在于，包括：

提供衬底，所述衬底包括外延层、位于所述外延层中的第一沟槽、以及覆盖所述外延层的至少部分表面和所述第一沟槽内壁的第一氧化层；

形成填充所述第一沟槽的多晶硅结构，沿所述第一沟槽的槽底至顶端的方向，所述多晶硅结构的掺杂浓度呈渐进式递减；

对所述多晶硅结构进行回刻处理，形成第二沟槽，所述第二沟槽的多晶硅内壁覆盖所述第一沟槽内壁的第一氧化层，所述第二沟槽用于形成屏蔽栅结构；

基于氧化处理使所述第二沟槽的多晶硅内壁形成第二氧化层，沿所述第一沟槽的槽底至顶端的方向，所述第二氧化层的厚度呈渐进式递减。

2.根据权利要求1所述的制备方法，其特征在于，沿所述第一沟槽的槽底至顶端的方向，所述多晶硅结构的掺杂浓度呈阶梯递减，所述第二氧化层的厚度呈阶梯递减；或者，

沿所述第一沟槽的槽底至顶端的方向，所述多晶硅结构的掺杂浓度呈渐变递减，所述第二氧化层的厚度呈渐变递减。

3.根据权利要求1所述的制备方法，其特征在于，所述多晶硅结构包括多层沿所述第一沟槽的深度方向依次层叠的多晶硅层，各所述多晶硅层的掺杂浓度呈渐进式变化；所述形成填充所述第一沟槽的多晶硅结构包括：

于所述第一沟槽中，重复执行多次掺杂多晶硅淀积处理和多晶硅回刻处理，形成所述多层多晶硅层，且在时序上各次掺杂多晶硅淀积的步骤中采用的掺杂元素气体的气流量渐进式降低。

4.根据权利要求3所述的制备方法，其特征在于，各所述多晶硅层的掺杂浓度和厚度是基于所述屏蔽栅器件对应的仿真结构设计数据确定的，所述仿真结构设计数据是基于所述屏蔽栅器件中体区的预设电场分布生成的，所述预设电场分布用于指示沿所述第一沟槽的深度方向上体区横向电场的期望强度分布。

5.根据权利要求1所述的制备方法，其特征在于，所述第二沟槽的多晶

硅内壁的氧化处理采用湿氧热氧化工艺。

6.根据权利要求 1-5 中任一项所述的制备方法，其特征在于，所述提供衬底包括：

提供初始衬底，所述初始衬底包括基底层和位于基底层一侧的外延层；

对所述外延层进行沟槽刻蚀，以形成所述第一沟槽；

通过氧化膜淀积形成顺形覆盖所述外延层的至少部分表面和所述第一沟槽内壁的所述第一氧化层。

7.根据权利要求 1-5 中任一项所述的制备方法，其特征在于，所述对所述多晶硅结构进行回刻处理，形成第二沟槽包括：

对所述多晶硅结构进行研磨，至暴露所述外延层表面的第一氧化层；

于所述第一氧化层和所述多晶硅结构上形成掩膜层，以遮挡所述第一氧化层、以及所述多晶硅结构表面与所述多晶硅侧壁对位的区域，并暴露所述多晶硅结构表面与所述第二沟槽对位的区域；

对具有掩膜层的衬底进行干法刻蚀处理并去除所述掩膜层，形成所述第二沟槽。

8.根据权利要求 7 所述的制备方法，其特征在于，所述刻蚀处理的工艺参数是基于仿真结构设计数据对应的预设刻蚀倾角和所述第二沟槽内壁的预设底部厚度确定的，所述预设刻蚀倾角与所述第二氧化层侧壁的变化梯度负相关，所述预设刻蚀倾角是指所述第二沟槽的侧壁与所述基底的表面间的夹角，为所述第二沟槽的侧壁与所述第二沟槽的底壁间夹角的余角。

9.根据权利要求 1-5 中任一项所述的制备方法，其特征在于，在所述基于氧化处理使所述第二沟槽的多晶硅内壁形成第二氧化层之后，所述制备方法还包括：

于所述第二沟槽中形成与所述第二氧化层顺形的所述屏蔽栅结构，沿所述第二沟槽的槽底至顶端的方向，所述屏蔽栅结构的宽度呈渐进式递增。

10.一种屏蔽栅沟槽器件，其特征在于，所述屏蔽栅沟槽器件是基于如权利要求 1-9 中任一项所述的制备方法制备得到的。

11.根据权利要求 10 所述的屏蔽栅沟槽器件，其特征在于，所述屏蔽栅沟槽器件包括：

衬底，包括外延层、位于所述外延层中的第一沟槽；

第一氧化层，覆盖所述外延层的至少部分表面和第一沟槽内壁；

场氧层，设置于所述第一沟槽内壁，所述场氧层围设形成第二沟槽，沿所述第一沟槽的槽底至顶端的方向，所述场氧层的厚度呈渐进式递减。