

半导体封装方法及半导体封装结构

技术领域

[01]本公开的实施例涉及一种半导体封装方法及半导体封装结构。

背景技术

[02]相关技术中，在封装过程中，可以将封装组件中的电感和裸片一同排布在载板上形成并列排列结构的封装体。这类结构的封装体的体积较大，结构不紧凑。

[03]随着电子设备小型轻量化，具有紧凑结构、小体积的芯片封装体受到越来越多的市场青睐。

发明内容

[04]本公开的至少一个实施例提供了一种半导体封装方法，包括：

[05]将裸片、电感元件和导电柱固定于载板上，其中，所述裸片的正面朝向所述载板，所述电感元件设置在所述裸片的与所述正面相对的背面上，所述导电柱位于所述裸片的周侧；

[06]在所述载板上形成塑封层，所述塑封层包裹所述裸片、所述电感元件和所述导电柱，所述电感元件的至少部分以及所述导电柱的第一端的表面分别从所述塑封层中露出；

[07]在所述塑封层靠近所述裸片的背面的表面上形成第一导电迹线，所述第一导电迹线连接所述电感元件的所述至少部分与所述导电柱的第一端；

[08]去除所述载板；以及

[09]在所述塑封层靠近所述裸片的正面的表面上形成第二导电迹线，所述第二导电迹线连接所述裸片的焊垫与所述导电柱的第二端。

[10]本公开的至少一个实施例还提供了一种半导体封装结构，其包括：塑封层；裸片，所述裸片设置在塑封层中，所述裸片的正面设置有焊垫；电感元件，位于所述裸片的背面，设置在所述裸片和所述塑封层之间；导电柱，设置在所述塑封层中并位于所述裸片的周侧，所述导电柱的第一端从所述塑封层接近所述裸片背面的表面露出，所述导电柱的第二端从所述塑封层接近所述裸片正面的表面露出；第一导电迹线，设置在所述塑封

层靠近所述裸片的背面的表面上，并连接所述电感元件与所述导电柱的第一端；以及第二导电迹线，设置在所述塑封层靠近所述裸片的正面的表面上，并连接所述焊垫与所述导电柱的第二端。

[11]在本公开的实施例中，通过将电感元件设置在裸片的背面，使得裸片和电感元件在裸片的厚度方向上层叠设置，合理利用了裸片厚度方向上的空间，可以使半导体封装结构的结构紧凑，进而减小半导体封装结构的体积。因此，本公开实施例中，半导体封装结构的体积小、结构紧凑，适合小型轻量电子设备。

[12]本公开的一个或多个实施例的细节在下面的附图和描述中提出。本申请的其他特征、目的和优点将从说明书、附图以及权利要求书变得明显。

附图说明

[13]为了更清楚地说明本公开实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本公开的一些实施例，而非对本公开的限制。

[14]图 1 是根据本公开一实施例示出的半导体封装结构的结构示意图。

[15]图 2 是根据本公开一实施例示出的半导体封装方法的流程示意图。

[16]图 3A 是根据本公开一实施例示出的在制备半导体封装结构的过程中产生的一种中间结构的结构示意图。

[17]图 3B 是根据本公开一实施例示出的在制备半导体封装结构的过程中产生的一种中间结构的结构示意图。

[18]图 3C 是根据本公开一实施例示出的在制备半导体封装结构的过程中产生的一种中间结构的结构示意图。

[19]图 4 是根据本公开一实施例示出的在制备半导体封装结构的过程中产生的另一种中间结构的结构示意图。

[20]图 5 是根据本公开一实施例示出的在制备半导体封装结构的过程中产生的另一种中间结构的结构示意图。

[21]图 6 是根据本公开一实施例示出的在制备半导体封装结构的过程中产生的另一种中间结构的结构示意图。

[22]图 7 是根据本公开一实施例示出的在制备半导体封装结构的过程中产生的另一种中

间结构的结构示意图。

[23]图 8A 是根据本公开一实施例示出的在制备半导体封装结构的过程中产生的另一种中间结构的结构示意图。

[24]图 8B 是根据本公开一实施例示出的在制备半导体封装结构的过程中产生的另一种中间结构的结构示意图。

[25]图 9 是根据本公开一实施例示出的在制备半导体封装结构的过程中产生的另一种中间结构的结构示意图。

[26]图 10 是根据本公开一实施例示出的在制备半导体封装结构的过程中产生的另一种中间结构的结构示意图。

[27]图 11 是根据本公开一实施例示出的在制备半导体封装结构的过程中产生的另一种中间结构的结构示意图。

[28]图 12 是根据本公开一实施例示出的在制备半导体封装结构的过程中产生的另一种中间结构的结构示意图。

[29]图 13 是根据本公开一实施例示出的在制备半导体封装结构的过程中产生的另一种中间结构的结构示意图。

[30]图 14 是根据本公开一实施例示出的在制备半导体封装结构的过程中产生的另一种中间结构的结构示意图。

[31]图 15 是根据本公开一实施例示出的在制备半导体封装结构的过程中产生的另一种中间结构的结构示意图。

[32]图 16 是根据本公开一实施例示出的对塑封体进行切割的示意图。

具体实施方式

[33]这里将详细地对示例性实施例进行说明，其示例表示在附图中。下面的描述涉及附图时，除非另有表示，不同附图中的相同数字表示相同或相似的要素。以下示例性实施例中所描述的实施方式并不代表与本公开相一致的所有实施方式。相反，它们仅是与如所附权利要求书中所详述的、本公开的一些方面相一致的装置和方法的例子。

[34]在本公开使用的术语是仅仅出于描述特定实施例的目的，而非旨在限制本公开。在本公开和所附权利要求书中所使用的单数形式的“一种”、“所述”和“该”也旨在包

括多数形式，除非上下文清楚地表示其他含义。还应当理解，本文中使用的术语“和/或”是指并包含一个或多个相关联的列出项目的任何或所有可能组合。

[35]应当理解，尽管在本公开可能采用术语第一、第二、第三等来描述各种信息，但这些信息不应限于这些术语。这些术语仅用来将同一类型的信息彼此区分开。例如，在不脱离本公开范围的情况下，第一信息也可以被称为第二信息，类似地，第二信息也可以被称为第一信息。取决于语境，如在此所使用的词语“如果”可以被解释成为“在……时”或“当……时”或“响应于确定”。

[36]下面结合附图，对本公开的一些实施例作详细说明。在不冲突的情况下，下述的实施例及实施例中的特征可以相互组合。

[37]本公开的至少一个实施例提供一种半导体封装结构，包括：塑封层；裸片，所述裸片设置在塑封层中，所述裸片的正面设置有焊垫；电感元件，位于所述裸片的背面，设置在所述裸片和所述塑封层之间；导电柱，设置在所述塑封层中并位于所述裸片的周侧，所述导电柱的第一端从所述塑封层接近所述裸片背面的表面露出，所述导电柱的第二端从所述塑封层接近所述裸片正面的表面露出；第一导电迹线，设置在所述塑封层靠近所述裸片的背面的第一表面上，并连接所述电感元件与所述导电柱的第一端；以及第二导电迹线，设置在所述塑封层靠近所述裸片的正面的第二表面上，并连接所述焊垫与所述导电柱的第二端。

[38]半导体封装结构即为芯片封装体。该半导体封装结构适用于天线芯片封装。该半导体封装结构可应用于电子设备，例如手机、电脑等等。如图1所示，该半导体封装结构1包括：塑封层14；裸片11，所述裸片11设置在所述塑封层14中，所述裸片11的正面101设置有焊垫102；电感元件12，所述电感元件12设置在所述裸片11的与所述正面101相对的背面103，且位于所述裸片11和所述塑封层14之间；导电柱13，设置在所述塑封层14中且位于所述裸片11的周侧；第一导电迹线15，设置在所述塑封层14靠近所述裸片11的背面103的第一表面141上；第二导电迹线16，设置在所述塑封层14靠近所述裸片的正面101的第二表面142上；保护层17，设置在所述裸片11的正面101上。所述半导体封装结构1还第一导电填充接口18、第二导电填充接口19、第一介电层110、导电凸柱111、第二介电层112与表面处理层111。

[39]在本公开的一个实施例中，裸片11包括正面101和背面103，正面101和背面103相对。裸片11的正面为活性面，裸片11的正面101设置有焊垫102，焊垫102配置为和外界进行电连接。

[40]在本公开的一个实施例中,如图1所示,电感元件12位于裸片11的背面103。电感元件12为一种电磁转化的器件。在本公开的一个实施例中,电感元件12的材料为铜,但不限于此。

[41]在本公开的一个实施例中,电感元件12包括第一电连接点,第一电连接点位于电感元件12远离裸片11的一侧。第一电连接点配置为和外界进行电连接。

[42]在本公开的一个实施例中,如图1所示,导电柱13位于裸片11的周侧。导电柱13的材料可以是铜,但不限于此。导电柱13包括第一端131与第二端132,第一端131位于导电柱13靠近电感元件12的一端,第二端132位于导电柱13远离电感元件12的一端,导电柱13的第一端131与导电柱13的第二端132位置相对。导电柱13的第一端131的表面以及导电柱13的第二端132的表面分别从塑封层14中露出。

[43]在本公开的一个实施例中,如图1所示,塑封层14包裹裸片11、电感元件12和导电柱13。塑封层14可以为聚合物、树脂、树脂复合材料、聚合物复合材料。例如塑封层14可以为具有填充物的树脂,其中,填充物为无机颗粒。

[44]在本公开的一个实施例中,塑封层14包括第一开口143,以暴露电感元件12的第一电连接点。例如,第一开口143位于塑封层14上靠近电感元件12的一侧,第一开口143在电感元件12上的投影与第一电连接点在电感元件12上投影至少部分重合,以使至少部分第一电连接点从塑封层14中露出。例如,第一开口143在电感元件12上的投影与第一电连接点在电感元件12上投影可完全重合,以使第一电连接点从塑封层14中露出。再如,第一开口143在电感元件12上的投影与第一电连接点在电感元件12上投影可部分重合,以使第一电连接点的一部分从塑封层14中露出。

[45]在本公开的一个实施例中,如图1所示,所述半导体封装结构还包括第一导电填充接口18,所述第一导电填充接口18位于第一开口143中,第一导电填充接口18与电感元件12的第一电连接点电连接,且与第一导电迹线15电连接。第一导电填充接口18的材料可为铜,但不限于此。

[46]在本公开的一个实施例中,如图1所示,所述半导体封装结构还包括第一导电迹线15,所述第一导电迹线15位于塑封层14靠近裸片11的背面的一侧,并连接电感元件12的第一电连接点与导电柱13的第一端131。第一导电迹线15的材料为铜,但不限于此。

[47]在本公开的一个实施例中,如图1所示,所述半导体封装结构还包括第一介电层110,

所述第一介电层 110 设置在所述塑封层 14 的第一表面 141 上并至少覆盖第一导电迹线 15。第一介电层 110 的材料为一层或多层的绝缘材料，可以为聚酰亚胺 (PI)，PBO (聚苯并恶唑)、有机聚合物膜、有机聚合物复合材料或者其它具有类似特性的材料。

[48]在本公开的一个实施例中，如图 1 所示，所述半导体封装结构还包括保护层 17，所述保护层 17 设置在裸片 11 的正面 101 上。保护层 17 为一层或多层的绝缘材料，可以为 PI (聚酰亚胺)，PBO (聚苯并恶唑)、有机聚合物膜、有机聚合物复合材料或者其它具有类似特性的材料。

[49]在本公开的一个实施例中，保护层 17 包括第二开口 171，所述第二开口 171 暴露裸片 11 的焊垫 102。第二开口 171 在裸片 11 上的投影与焊垫在裸片 11 上的投影至少部分重合，以使至少部分焊垫 102 从保护层 17 中露出。例如，第二开口 171 在裸片 11 上的投影与焊垫 102 在裸片 11 上的投影完全重合，以使焊垫 102 从保护层 17 中露出。再如，第二开口 171 在裸片 11 上的投影与焊垫 102 在裸片 11 上的投影部分重合，以使部分焊垫 102 从保护层 17 中露出。

[50]在本公开的一个实施例中，如图 1 所示，第二导电填充接口 19 位于第二开口 171 中，第二导电填充接口 19 与裸片 11 的焊垫 102 电连接，第二导电迹线 16 与第二导电填充接口 19 电连接。其中，第二导电填充接口 19 的材料为铜，但不限于此。

[51]在本公开的一个实施例中，所述半导体封装结构还包括第二导电迹线 16，所述第二导电迹线 16 所述保护层 17 上并位于塑封层 14 靠近裸片 11 的正面的第二表面 142 上，并连接裸片 11 的焊垫 102 与导电柱 13 的第二端 132。其中，第二导电迹线 16 的材料为铜，但不限于此。

[52]在本公开的一个实施例中，如图 1 所示，所述半导体封装结构还包括导电凸柱 111，所述导电凸柱 111 位于第二导电迹线 16 上。导电凸柱 111 的材料为铜，但不限于此。

[53]在本公开的一个实施例中，如图 1 所示，所述半导体封装结构还包括第二介电层 112，所述第二介电层 112 设置在所述保护层 17 远离所述裸片 11 的一侧，至少覆盖第二导电迹线 16 并包覆导电凸柱 111，导电凸柱 111 远离裸片 11 的表面从第二介电层 112 中露出。第二介电层 112 的材料为一层或多层的绝缘材料，可以为 PI (聚酰亚胺)，PBO (聚苯并恶唑)、有机聚合物膜、有机聚合物复合材料或者其它具有类似特性的材料。

[54]在本公开的一个实施例中，半导体封装结构还可以包括表面处理层 1111，所述表面处理层 1111 位于露出的导电凸柱 111 的表面上，构造为延缓导电凸柱 111 被氧化的速

率。表面处理层的材料可以是 matte tin (雾锡) 或复合电镀层。例如, 复合电镀层可以包括第三金属层与第四金属层, 第三金属层位于导电凸柱 111 的表面上, 第四金属层位于第三金属层上, 第三金属层的材料为镍 (Ni), 第四金属层的材料为金 (Au)。再如, 复合电镀层还可以包括夹在第三金属层和第四金属层之间的第五金属层, 第五金属层的材料为钯 (Pd)。

[55]在本公开的一个实施例中, 电感元件 12 通过第一导电填充接口 18、第一导电迹线 15、导电柱 13、第二导电迹线 16、第二导电填充接口 19 与裸片 11 的焊垫 102 电连接。

[56]在本公开的实施例中, 通过将电感元件设置在裸片的背面, 使得裸片和电感元件在裸片的厚度方向上层叠设置, 合理利用了裸片厚度方向上的空间, 可以使半导体封装结构的结构紧凑, 进而减小半导体封装结构的体积。因此, 本公开实施例中, 半导体封装结构的体积小、结构紧凑, 适合小型轻量电子设备。

[57]本公开的至少一个实施例还提供一种半导体封装方法。如图 2 所示, 该半导体封装方法包括以下步骤 S201~S211:

[58]在步骤 201 中, 将裸片、电感元件和导电柱固定于载板上, 其中, 裸片 11 的设置焊垫 102 的正面 101 朝向载板, 裸片 11 的正面 101 还设置有保护层 17, 裸片 11 的背面 103 设置有电感元件 12, 导电柱 13 位于裸片 11 的周侧。

[59]在本公开的一个实施例中, 所述裸片 11 的正面 101 还设置有保护层 17, 所述保护层 17 远离电感元件 12 的表面与电感元件 12 远离保护层 17 的表面之间的距离小于导电柱 13 的高度, 导电柱 13 的高度为导电柱 13 的第一端 131 与导电柱 13 的第二端 132 之间的距离。

[60]在本公开的一个实施例中, 将裸片 11、电感元件 12 和导电柱 13 固定于载板 31 上, 得到如图 3A 所示的中间结构。在图 3A 中仅示出了三个裸片 11 固定在载板上, 实际上固定在载板上的裸片可以是一个或多个, 本公开不对封装单元个数进行限定。

[61]在本公开的一个实施例中, 载板 31 上具有粘结层, 用于将排布在载板 31 上的裸片 11 和导电柱 13 进行固定。在本公开的一个实施例中, 粘结层为热分离粘结层。

[62]在本公开的一个实施例中, 步骤 S201 可包括: 首先, 如图 3B 所示, 在载板 31 上形成导电柱金属层 32; 然后, 如图 3C 所示, 通过刻蚀工艺对导电柱金属层 32 进行刻蚀, 得到导电柱 13; 然后, 通过粘结层将裸片 11 贴装在载板 31 上。

[63]在本公开的另一个实施例中, 导电柱为预成型的。步骤 S201 可包括: 首先, 提供

裸片 11 和预成型的导电柱 13; 然后, 将通过粘结层裸片 11 和导电柱 13 贴装在载板 31 上。

[64]在本公开的一些实施例中, 在步骤 S201 之前, 还包括以下步骤:

[65]首先, 通过溅射工艺在硅晶片的背面形成种子层。

[66]如图 4 所示, 在本公开的一个实施例中, 所述种子层 40 包括位于硅晶片 42 上的第一种子层 401。第一种子层 401 的材料为铜。

[67]在本公开的另一个实施例中, 所述种子层 40 还包括设置在所述硅晶片 42 和所述第一种子层 401 之间的第二种子层 402, 硅晶片所述第二种子层 402 的材料为钛。形成种子层的方法是, 先在硅晶片的背面形成第二种子层 402, 再在第二种子层上形成第一种子层 401。先在所述硅晶片 42 上形成由钛制成的第二种子层 402, 然后在第二种子层 402 上形成由铜制成的第一种子层 401, 可以提高硅晶片 42 和第一种子层 401 之间的粘合力, 第一种子层 401 的材料为铜, 力学性能和导电性能好。

[68]接着, 通过电镀工艺在种子层上形成第一金属层。在本公开的一个实施例中, 第一金属层的材料可以是铜。在种子层上形成第一金属层 41 后, 得到如图 4 所示的中间结构, 其中第一金属层 41 与硅晶片 42 之间包括种子层。

[69]需要说明的是, 第一金属层与硅晶片的背面之间也可以不设种子层。在之后的图示中, 为简化起见, 其中未示出种子层 40。

[70]接着, 通过刻蚀工艺对第一金属层 41 与种子层进行刻蚀, 得到电感元件 12。在本实施例中, 如图 5 所示, 对第一金属层 41 进行刻蚀, 得到电感元件 12。例如, 可采用旋涂光胶 (spinning photo material)、曝光 (exposing)、显影 (developing)、蚀刻 (etching)、剥膜 (striping) 的方法, 在硅晶片背面形成电感元件 (inductor/coil)。在本公开的一个实施例中, 所述电感元件可以为线圈。

[71]接着, 在硅晶片的正面形成保护层 17。在本公开的一个实施例中, 如图 6 所示, 在硅晶片 42 的正面形成保护层 17。其中, 保护层 17 可以采用层压、旋涂、印刷、模塑或者其它适合的方式形成。保护层 17 可以由激光反应型材料或感光材料制成。

[72]接着, 分割硅晶片, 得到裸片 11。在本公开的一个实施例中, 如图 7 所示, 分割硅晶片 42, 得到裸片 11。

[73]需要说明的是, 在实际实施时, 硅晶片 42 与电感元件 12 之间也可不设种子层。

[74]另外，需要说明的是，在上文的说明中，以先在所述硅晶片的背面形成电感元件 12 然后在所述硅晶片的正面再形成保护层为例进行说明。在本公开的一些实施例中，可以先在所述硅晶片的正面形成保护层，然后在所述硅晶片的背面形成电感元件，本公开的实施例对此不做限定。

[75]在步骤 S202 中，在载板上形成塑封层，塑封层 14 包裹裸片 11、电感元件 12 和导电柱 13，电感元件 12 的第一电连接点以及导电柱 13 的第一端的表面分别从塑封层 14 中露出。

[76]在本公开的一个实施例中，如图 8A 所示，塑封层 14 包裹裸片 11、电感元件 12 和导电柱 13，导电柱 13 的第一端的表面从塑封层 14 中露出，塑封层 14 的厚度与导电柱 13 的高度相同。

[77]在本公开的一个实施例中，步骤 S202 可包括以下步骤：首先，如图 8B 所示，在载板 31 上形成包封层 81，该包封层 81 包裹裸片 11、电感元件 12 和导电柱 13，包封层 81 的厚度大于导电柱 13 的高度；然后，对包封层 81 进行减薄，得到塑封层 14，使得导电柱 13 的第一端露出塑封层 14。塑封层 14 的厚度与导电柱 13 的高度相同。可以采用机械研磨的方式对包封层 81 进行减薄。

[78]在本公开的一个实施例中，如图 9 所示，在塑封层 14 上形成第一开口 143，以暴露电感元件 12 的第一电连接点。第一开口 143 在电感元件 12 上的投影与第一电连接点在电感元件 12 上投影至少部分重合，以暴露至少部分第一电连接点。

[79]在本公开的一个实施例中，如图 9 所示，可以通过激光开孔工艺在塑封层 14 的表面进行开口，得到第一开口 143，例如，可以利用激光在塑封层 14 上形成第一开口，以露出电感元件 12 的第一电连接点。

[80]在步骤 S203 中，在所述塑封层靠近裸片的背面的表面上形成第一导电迹线，第一导电迹线连接电感元件的第一电连接点与导电柱的第一端。

[81]在本公开的一个实施例中，如图 10 所示，可以先在第一开口 143 中填充第一导电介质形成第一导电填充接口 18，并在塑封层 14 上形成第一导电层，其中，第一导电填充接口 18 与电感元件的第一电连接点电连接，第一导电层与第一导电填充接口 18 电连接。可以采用金属溅射、电解电镀、无电极电镀等方式形成第一导电层。第一导电填充接口 18 与第一导电层可通过同一工艺步骤形成。然后，对第一导电层进行图案化，得到第一导电迹线 15。这样，电感元件 12 可以通过第一导电迹线 15 与导电柱 13 电连接。

[82]在步骤 S204 中,在所述塑封层靠近裸片的背面的表面上形成第一介电层 110,所述第一介电层 110 至少覆盖第一导电迹线 15。

[83]在本公开的一个实施例中,如图 11 所示,在所述塑封层靠近裸片的背面的表面上形成第一介电层 110,第一介电层 110 至少覆盖第一导电迹线 15。在本公开的一个实施例中,第一介电层 110 在所述载板上的投影覆盖整个载板。可以采用层压、旋涂、印刷、模塑或者其它适合的方式形成第一介电层 110。

[84]在步骤 S205 中,去除载板。

[85]在步骤 S206 中,在保护层 17 上形成第二开口,以暴露裸片的焊垫。

[86]在本公开的一个实施例中,如图 12 所示,在保护层 17 上形成第二开口 171,以暴露至少部分焊垫。其中,当保护层 17 采用激光反应型材料时,可采用激光开孔工艺在保护层 17 上形成第二开口,当保护层 17 采用感光材料时,可通过光刻工艺在保护层 17 上形成第二开口。

[87]在上文中以步骤 S206 可以位于步骤 S205 之后为例对根据本公开实施例的方法进行描述。在保护层 17 中形成第二开口也可以在硅晶片的正面形成保护层的步骤之后,且在将裸片和导电柱固定于载板上的步骤之前。

[88]在步骤 S207 中,在塑封层靠近裸片的正面的表面上形成第二导电迹线,第二导电迹线 16 连接裸片的焊垫与导电柱 13 的第二端。

[89]在本公开的一个实施例中,如图 13 所示,可以先在第二开口 171 中填充第二导电介质形成第二导电填充接口 19,第二导电填充接口 19 与裸片 11 的焊垫电连接;并在塑封层 14 与保护层 17 上形成第二导电层,第二导电层与第二导电填充接口 19 电连接。可以采用金属溅射、电解电镀、无电极电镀等方式形成第二导电层。第二导电填充接口 19 与第二导电层可通过同一工艺步骤形成。然后,对第二导电层进行图案化,得到第二导电迹线 16。

[90]在步骤 S208 中,在第二导电迹线的第二电连接点上形成导电凸柱。

[91]在本公开的一个实施例中,如图 14 所示,在第二导电迹线 16 的第二电连接点上形成导电凸柱 111。

[92]在步骤 S209 中,在所述靠近裸片的正面的表面上形成第二介电层 112,所述第二介电层 112 至少覆盖第二导电迹线 16 并包覆导电凸柱 111,远离裸片 11 的表面从第二介

电层 112 中露出，得到塑封体。

[93]在本公开的一个实施例中，如图 15 所示，可以形成覆盖第二导电迹线 16 的第二介电层 112，得到塑封体 20，其中，第二介电层 112 远离裸片 11 的表面与导电凸柱 111 远离裸片 11 的表面齐平。在实际实施时，第二介电层 112 远离裸片 11 的表面与第二介电层 112 靠近裸片 11 的表面之间的距离可以大于导电凸柱 111 远离裸片 11 的表面与导电凸柱 111 靠近裸片 11 的表面之间的距离。在形成第二介电层 112 后，可以对第二介电层 112 进行减薄，直至第二介电层 112 远离裸片 11 的表面与导电凸柱 111 远离裸片 11 的表面齐平。

[94]在步骤 S210 中，在露出的导电凸柱的表面上形成表面处理层。

[95]当然，在公开的另一个实施例中，也可以不在导电凸柱 111 的表面上形成表面处理层。

[96]在步骤 S211 中，对塑封体进行切割，得到半导体封装结构，半导体封装结构包括裸片、电感元件、导电柱、塑封层、第一导电迹线与第二导电迹线。

[97]在本公开的一个实施例中，如图 16 所示，在切割位置 P 处对塑封体 20 执行切割操作，可得到如图 1 所示的半导体封装结构。

[98]在本公开的实施例中，通过将电感元件设置在裸片的背面，使得裸片和电感元件在裸片的厚度方向上层叠设置，合理利用了裸片厚度方向上的空间，可以使半导体封装结构的结构紧凑，进而减小半导体封装结构的体积。因此，本公开实施例中，半导体封装结构的体积小、结构紧凑，适合小型轻量电子设备。

[99]在本公开中，装置实施例与方法实施例在不冲突的情况下，可以互为补充。以上所描述的装置实施例仅仅是示意性的，其中作为分离部件说明的单元可以是或者也可以不是物理上分开的，作为单元显示的部件可以是或者也可以不是物理单元，即可以位于一个地方，或者也可以分布到多个网络单元上。可以根据实际的需要选择其中的部分或者全部模块来实现本公开方案的目的。本领域普通技术人员在不付出创造性劳动的情况下，即可以理解并实施。

[100] 以上仅为本公开的示例实施例而已，并不用以限制本公开，凡在本公开的精神和原则之内所做的任何修改、等同替换、改进等，均应包含在本公开保护的范围之内。