

明 細 書

発明の名称：配線基板、半導体装置及び配線基板の製造方法

技術分野

[0001] 本発明は、配線基板、半導体装置及び配線基板の製造方法に関する。本願は、2022年4月28日に出願された日本国特許出願第2022-075341号に対し優先権を主張し、その内容をここに援用する。

背景技術

[0002] 従来、半導体素子（半導体チップ）が実装された半導体装置として、金ワイヤ等の金属細線を用いるワイヤーボンディング接続方式による半導体装置が知られている。また、近年の半導体装置の小型化、薄型化、高速化、高集積化等の要求に対応するため、はんだボールと呼ばれる導電性突起を介して、半導体チップの電極に接合可能となるように形成されたフリップチップボンディング方式の配線基板（FC-BGA用配線基板）に半導体チップを実装した半導体装置が広く知られている（例えば、特許文献1参照）。

[0003] また、サーバー、ハイエンドコンピュータ（HPC）等の分野では、プロセッサの構成が複数のマルチCPU、マルチコアと呼ばれる構成となることで処理速度が高速化し、プロセッサの扱う情報量の増加が著しい。これに伴い、プロセッサと外部との伝送容量も飛躍的に増大し、さらには伝送速度の高速性も求められている。このような伝送容量の増大と高速伝送の要求に伴い、ルータやサーバー内の情報処理に光信号を用いる光インターコネクション技術の開発が進められている。そして、光インターコネクション技術を用いるデバイス、半導体パッケージ等が、従来の電気インターコネクションの実装方式に対応できることが望まれている。近年、光インターコネクションの実装方式として、FC-BGA用配線基板に、光信号を送受信する光半導体素子（半導体チップ）を実装した光電気混載基板が各種提案されている（例えば、特許文献2参照）。

[0004] ところで、厚み（高さ）の異なる複数の半導体チップを配線基板上へ実装

する場合は、配線基板または半導体チップの設計上の都合や、半導体チップの上部へ実装するヒートスプレッドの取り付けやすさ等において、それぞれの半導体チップの上面の高さが揃っていることが望ましい。

先行技術文献

特許文献

[0005] 特許文献1：日本国特開2001-85558号公報

特許文献2：日本国特開2011-107206号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、特許文献2に記載の光電気混載基板に実装された光半導体素子（半導体チップ）は、厚み（高さ）が電気信号のみを扱う半導体チップと比べて厚い（高い）ことが多い。このため、厚み（高さ）の違いのある半導体チップを直接実装されたプリント配線基板において、それぞれの半導体チップは、上面の高さに違いが生じてしまう。

[0007] この実装された複数の半導体チップの上面の高さを揃えるには、特許文献1のように、はんだボールの大きさを変えることで、基板の電極から半導体チップの電極までの高さを個別に調整することができる半導体装置が考案されている。しかしながら、特許文献1の半導体装置は、はんだボールの大きさの違いに合わせてはんだボール間のピッチを変更しなければならない。はんだボール間のピッチを変更せずに、通常よりも大きなはんだボールや小さなはんだボールを実装すると、リフローの際にはんだボール同士が接合して不要な接合となることや、はんだボールが半導体チップの電極に届かず接合できないことなどの問題を起こすことがあった。

[0008] また、はんだボールは、半導体チップ、半導体パッケージ及びプリント配線基板のいずれかに搭載可能である。はんだボールがプリント配線基板側に搭載される場合、異なる径のはんだボールを同時に実装できない。そのため、はんだボールの搭載をはんだボールの径ごとに複数回繰り返すので工程が

増える、さらに、異なる径のはんだボールを径ごとに分けて搭載するには、その順番を考慮する手間が増えるという問題があった。

- [0009] 本発明は、このような事情を考慮してなされたものであり、はんだボールのピッチ間隔を均一にしつつ、高さの異なる半導体パッケージや半導体チップを実装した場合であっても、実装品の上面の高さを揃えることができる配線基板、半導体装置及び配線基板の製造方法を提供することを目的としている。

課題を解決するための手段

- [0010] 上記課題を解決するために、この発明は以下の手段を提案している。

本発明の第一の態様は、複数のビルドアップ層を有する多層構造の配線基板であって、前記ビルドアップ層のうち、最後に形成された表面側のビルドアップ層が第一はんだパッド及び第二はんだパッドを有し、前記表面側のビルドアップ層の前記表面側にソルダーレジスト層を有し、前記第一はんだパッド及び前記第二はんだパッドのそれぞれの表面から前記ソルダーレジスト層の表面までの高さが、異なる、配線基板である。

- [0011] 本発明の第二の態様は、前記ソルダーレジスト層は、前記第一はんだパッドの前記表面及び前記第二はんだパッドの前記表面が前記表面側に露出する開口部を備え、前記開口部を除いた前記ソルダーレジスト層の前記表面は、略均一な高さとなっている、前記第一の態様の配線基板である。

- [0012] 本発明の第三の態様は、前記表面側のビルドアップ層は、さらに第三はんだパッドを有し、前記第一はんだパッドと、前記第二はんだパッドと、前記第三はんだパッドとが、等間隔に形成されている、前記第一の態様または前記第二の態様の配線基板である。

- [0013] 本発明の第四の態様は、前記第一はんだパッド及び前記第二はんだパッドは、前記表面側に略同じ径であり、略同じ形状のはんだボールを備える、前記第一の態様または前記第二の態様の配線基板である。

- [0014] 本発明の第五の態様は、前記第一はんだパッドと前記第二はんだパッドとは、前記高さの差が、前記はんだボールの前記表面側に接合される半導体チ

ップの高さにより決定されるように構成されている、前記第四の態様の配線基板である。

[0015] 本発明の第六の態様は、前記第一はんだパッドと前記第二はんだパッドとは、前記高さの差が、前記はんだボールの前記表面側に接合される半導体チップの実装パッド部の高さにより決定されるように構成されている、前記第四の態様の配線基板である。

[0016] 本発明の第七の態様は、第五の態様の配線基板と、前記半導体チップと、を備える、半導体装置である。

[0017] 本発明の第八の態様は、第六の態様の配線基板と、前記半導体チップと、前記実装パッド部と、を備える、半導体装置である。

[0018] 本発明の第九の態様は、複数のビルドアップ層のうち、最後に形成された表面側のビルドアップ層が第一はんだパッド及び第二はんだパッドを有し、前記表面側のビルドアップ層の前記表面側にソルダーレジスト層を有し、前記第一はんだパッド及び前記第二はんだパッドのそれぞれの表面から前記ソルダーレジスト層の表面までの高さが、異なる配線基板の製造方法であって、少なくとも、前記表面側のビルドアップ層に配線層と前記第一はんだパッド及び前記第二はんだパッドを形成する工程と、前記第一はんだパッドの前記表面の一部と前記第二はんだパッドの前記表面の一部とを前記表面側に露出するようにめっきレジスト層を形成する工程と、銅めっき処理により前記第一はんだパッド及び前記第二はんだパッドの前記表面側に銅を析出させる工程と、前記めっきレジスト層を剥離する工程と、前記表面側のビルドアップ層の前記表面側に前記ソルダーレジスト層を形成する工程と、前記ソルダーレジスト層に前記第一はんだパッドの前記表面の一部と前記第二はんだパッドの前記表面の一部とが前記表面側に露出する開口部を設ける工程と、を含む、配線基板の製造方法である。

発明の効果

[0019] 本発明に係る配線基板、半導体装置及び配線基板の製造方法によれば、はんだボールのピッチ間隔を均一にしつつ、高さの異なる半導体パッケージや

半導体チップを実装した場合であっても、実装品の上面の高さを揃えることができる。また、ソルダーレジスト層は、はんだ高さの違うはんだパッドを均一の高さで覆っている。そのため、半導体チップを実装後、配線基板と半導体チップとの間にアンダーフィルを注入する際に、アンダーフィルの流れが段差で妨げられず、スムーズに流れが広がるので、アンダーフィリング工程の生産性が格段に向上するという効果が得られる。

図面の簡単な説明

[0020] [図1]本発明の第一実施形態に係るF C－B G A用配線基板の断面を示す図である。

[図2]同F C－B G A用配線基板の配線基板の製造工程の一例を説明する図である。

[図3]同F C－B G A用配線基板の配線基板の製造工程の一例を説明する図である。

[図4]本発明の第二実施形態に係るF C－B G A用配線基板に半導体チップを実装した半導体装置の一例を示す断面図である。

[図5]本発明の第三実施形態に係るF C－B G A用配線基板に半導体チップを実装した半導体装置の一例を示す断面図である。

[図6]本発明の第三実施形態に係るF C－B G A用配線基板に半導体チップ及びヒートスプレッドを実装した半導体装置の変形例を示す図である。

発明を実施するための形態

[0021] （第一実施形態）

本発明の第一実施形態について、図1から図3を参照して説明する。以下で説明する実施形態や変形例において、相互に対応する構成については同一の符号を付し、重複部分については説明を省略する場合がある。また、以下の説明において、例えば「平行」や「直交」、「中心」、「同軸」等の相対的または絶対的な配置を示す表現は、厳密にそのような配置を表すのみならず、公差や同じ機能が得られる程度の角度や距離をもって相対的に変位している状態も表すものとする。

- [0022] ここで、図1に示すように、UPは上方を、RHは右側をそれぞれ示す。また、以下のFC-BGA用配線基板100の説明において、垂直な方向を上下方向（矢印UPが上方）とする。なお、上下方向において上方側に備えられた面を上面（表面）とし、上方と反対に備えられた下方側の面を下面（裏面）とする。さらに、上下方向に直交する水平な方向を左右方向（矢印RHが右側）とする。なお、左右方向において右側と反対方向を左側とする。図1に示すように、本発明の第一実施形態に係るFC-BGA用配線基板100（配線基板）は、配線基板10と、はんだボール20とを備える。
- [0023] 配線基板10は、複数のビルドアップ層を有する多層構造の基板である。配線基板10は、ビルドアップ層（配線層）1と、ソルダーレジスト層4と、を備える。
- [0024] ビルドアップ層（配線層）1は、複数の配線層が積層された層である。ビルドアップ層1は、第一層2と、第二層3と、を備える。なお、ビルドアップ層1は、図1に例示する2層が積層された多層構造に限定されず、3層以上が積層された多層構造であってもよい。
- [0025] 第一層2は、図1に示すように、ビルドアップ層1のうちの1つの層であり、下方に形成される。第一層2は、エポキシ樹脂などからなる層間絶縁材料を重ねて、熱圧プレス機等でラミネート加工することによって形成される。層間絶縁材料としては、例えば、熱硬化性樹脂が使用される。また、層間絶縁材料にはガラスクロスを入れた材料を使用する場合もある。なお、第一層2は、紙やその他の樹脂等で形成されていてもよい。第一層2は、一部において複数の第三導体部7を備える。
- [0026] 第三導体部7は、銅などの金属を主成分とする導電性材料から形成される。図1に図示する第一層2の一部は、略同じ形状及び略同じ大きさの第三導体部7を3つ備えている。第三導体部7は、第一層2の一部において左右方向に沿って1列になるように備えられている。
- [0027] 図1に図示する第三導体部7は、パッド部72にビアと呼ばれる層間導通部71を設けるパッドオンビア構造である。ただし、第三導体部7は、パッ

ドオンビア構造に限定されない。第三導体部 7 は、パッド部 7 2 と層間導通部 7 1 とを接続する配線等を用いて、上下方向において層間導通部 7 1 に重ならない位置にパッド部 7 2 を備えていてもよい。

[0028] 層間導通部 7 1 は、第一層 2 に貫通した孔に、電解銅めっき等によりパッド部 7 2 とともに形成される。層間導通部 7 1 の上面は、第一層 2 の上面 2 f と略同じ高さである。

[0029] パッド部 7 2 は、層間導通部 7 1 の上方に備えられる。パッド部 7 2 は、電解銅めっき等により層間導通部 7 1 とともに形成される。パッド部 7 2 は、第一層 2 から上方に突出しており、パッド部 7 2 の上面は、第三導体部 7 の上面 7 f である。

[0030] 第三導体部 7 は、後述のセミアディティブ工法のめっき処理によって、層間導通部 7 1 とパッド部 7 2 とを一体化して形成される。また、3つの第三導体部 7 の上面 7 f は、上下方向において高さが略同じである。

[0031] 第二層 3 は、第一層 2 の上方側の上面（表面）2 f へ積層される。第二層 3 は、ビルドアップ層 1 のうち、ビルドアップ層 1 の上面 1 f に最後に形成された層である。第二層 3 は、例えば、第一層 2 と同様に、フィルム状の層間絶縁材料を重ねて、熱圧プレス機等でラミネート加工することによって形成される。フィルム状の層間絶縁材料としては、ラミネート加工する際の熱で硬化する熱硬化性樹脂を用いることができる。また、ラミネート加工された層間絶縁材料に対してフォトリソグラフィ方式でビア用の孔を開口する場合は、第二層 3 は、層間絶縁材料として、感光性絶縁樹脂を用いることもできる。本実施形態では、第二層 3 は、後述する感光性の絶縁樹脂層 3 a（図 2 の（a）等参照）を用いる。

[0032] 図 1 に図示する第二層 3 の一部は、はんだパッド 6 を複数備えている。はんだパッド 6 は、図 1 に示すように、第二層 3 の一部において、左右方向に沿って 1 列になるように 3 つ備えられている。なお、複数のはんだパッド 6 は、例えば、第一層 2 の上面 2 f 側において格子状に配列されている。図 1 に図示するはんだパッド 6 は、第三導体部 7 の上方に積み重ねられ、スタッ

クビアを形成する。ただし、はんだパッド6は、スタックビアのように積み重ねて形成する必要はなく、例えば、スタガードビアのように階段状に形成してもよいし、その他の形状に形成してもよい。

[0033] はんだパッド6は、本実施形態では、第三導体部7と同様に、パッドと、パッドに備えられたビアとによって構成されたパッドオンビア構造である。ただし、はんだパッド6は、パッドオンビア構造に限定されず、配線等を用いて、上下方向においてビアに重ならない位置にパッドを備えていてもよい。また、はんだパッド6は、さらにランドや配線等を用いて構成されていてもよい。

[0034] はんだパッド6は、後述するめっき処理によって形成される。はんだパッド6は、半導体素子との接合用の電極となる。はんだパッド6は、第一はんだパッド61と、第二はんだパッド62と、第三はんだパッド63と、を備える。なお、本実施形態では、第二はんだパッド62及び第三はんだパッド63は、図1に示すように、略同じ形状及び同じ大きさであるため、第三はんだパッド63の説明は省略する。ここで、左右方向において第一はんだパッド61の中心から第二はんだパッド62の中心までのピッチ間隔をピッチP1とする。また、第二はんだパッド62の中心から第三はんだパッド63の中心までのピッチ間隔をピッチP2とする。本実施形態では、ピッチP1及びピッチP2の長さは、略同じである。そのため、第一はんだパッド61と、第二はんだパッド62と、第三はんだパッド63とは、第二層3へそれぞれ等間隔に形成される。なお、ピッチP1及びピッチP2の長さは、同じでなくてもよい。

[0035] 第一はんだパッド61は、3つの第三導体部7のうち、最も右側の第三導体部7の上方に備えられる。なお、はんだパッド6は、スタックビアに限定されないため、第一はんだパッド61は、第三導体部7の上方に備えられていなくてもよい。第一はんだパッド61は、第二はんだパッド62及び第三はんだパッド63よりも右側に備えられる。第一はんだパッド61は、図1に示すように、第一導体部81と、第二導体部82とを備える。

- [0036] 第一導体部 8 1 は、第三導体部 7 のパッド部 7 2 の上方に備えられるめっき部分である。第一導体部 8 1 は、後述のセミアディティブ工法のめっき処理によって形成される。第一導体部 8 1 は、例えば、上方のパッドと、第二層 3 に貫通した貫通孔に形成された下方のビアとによって構成されている。第一導体部 8 1 は、例えば、後述する露光現像によって開口された各開口部（第一レジスト開口部 4 p、図 3 の（a）参照）にめっき処理を行うことで形成される。また、各開口部に形成された第一導体部 8 1 は、図 3 の（b）に示すように、上下方向において第一導体部 8 1 のそれぞれの上面が同じ高さになるように形成される。第一導体部 8 1 は、上方のパッドを開口部の内径よりも大きく形成され、第二層 3 から上方に突出している。なお、第一導体部 8 1 は、さらにランドや配線等を含んでいてもよい。
- [0037] 第二導体部 8 2 は、第一導体部 8 1 よりも上方に備えられるめっき層である。第二導体部 8 2 は、後述のセミアディティブ工法のめっき処理によって形成される。第二導体部 8 2 の外径は、第一導体部 8 1 の上方のパッドの外径よりも小さい。第一導体部 8 1 が後述するめっき処理によって形成された後、さらにめっき処理によって第二導体部 8 2 が第一導体部 8 1 の上方に形成される。第一導体部 8 1 及び第二導体部 8 2 は、一体化して第一はんだパッド 6 1 となる。
- [0038] 第二はんだパッド 6 2 は、上述の第一導体部 8 1 を備えている。第二はんだパッド 6 2 は、第二導体部 8 2 を備えていない。第二はんだパッド 6 2 は、第一はんだパッド 6 1 と第三はんだパッド 6 3 との間に形成される。
- [0039] 第一導体部 8 1 を備える第二はんだパッド 6 2 及び第三はんだパッド 6 3 は、図 3 の（c）に示すように、上下方向において第二はんだパッド 6 2 及び第三はんだパッド 6 3 のそれぞれの上面 6 2 f、6 3 f の高さが、略同じになるように形成される。また、第一導体部 8 1 及び第二導体部 8 2 を備える第一はんだパッド 6 1 の上面 6 1 f の高さは、第二はんだパッド 6 2 及び第三はんだパッド 6 3 のそれぞれの上面 6 2 f、6 3 f よりも第二導体部 8 2 の分だけ高い。

- [0040] ソルダーレジスト層4は、ビルドアップ層1の上面（表面）1fに積層される層である。ソルダーレジスト層4の上面4fは、配線基板10の上面である。ソルダーレジスト層4は、例えば、フェノール系樹脂やポリイミド系樹脂などを主成分とする感光性の絶縁性樹脂を用いてもよいし、シリカやアルミナ等のフィラーを含有していてもよい。ソルダーレジスト層4は、開口部5を備える。
- [0041] 開口部5は、ソルダーレジスト層4に形成される穴である。開口部5は、第一開口部51と、第二開口部52と、第三開口部53とを備えている。なお、第二開口部52及び第三開口部53は、図1に示すように、略同じ形状及び同じ大きさであるため、第三開口部53の説明は省略する。
- [0042] 第一開口部51は、ソルダーレジスト層4の上面4fに形成され、後述するはんだボール20の一部が収容される。第一開口部51は、第一はんだパッド61の上方に形成され、第二開口部52及び第三開口部53よりも右側に形成される。第一開口部51の底面は、第二層3の有するはんだパッド6のうち、第一はんだパッド61の上面61fと略一致する。第一開口部51の内径の大きさは、第一はんだパッド61の上面61fよりも小さい。
- [0043] 第二開口部52は、ソルダーレジスト層4の上面4fに形成され、後述するはんだボール20の一部が収容される。第二開口部52は、第二はんだパッド62の上方に形成される。第二開口部52の底面は、第二層3の有するはんだパッド6のうち、第二はんだパッド62の上面62fと略一致する。また、第二開口部52の内径の大きさは、第二はんだパッド62の上面62fよりも小さい。また、第三開口部53は、第三はんだパッド63の上方に形成される。
- [0044] 3つのはんだパッド6の上方に形成された第一開口部51、第二開口部52及び第三開口部53は、この順で左右方向の右側から配列している。すなわち、第一開口部51と、第二開口部52と、第三開口部53とは、それぞれはんだパッド6の上方に備えられ、ソルダーレジスト層4に等間隔に形成されている。

- [0045] 上下方向において、ソルダーレジスト層4の上面4fの高さは均一に形成されている。上述のように、第一はんだパッド61の上面61fの高さは、第二はんだパッド62及び第三はんだパッド63のそれぞれの上面62f、63fよりも第二導体部82の分だけ高い。ここで、図1に示すように、第一はんだパッド61の上面61fからソルダーレジスト層4の上面4fまでの高さをH1とする。また、第二はんだパッド62の上面62fの高さ及び第三はんだパッド63の上面63fの高さからソルダーレジスト層4の上面4fまでの高さをH2とする。高さH1は、第二導体部82の分だけ、高さH2よりも小さくなる。そのため、高さH1及び高さH2はそれぞれ高さが異なる。
- [0046] はんだボール20は、例えば、錫(Sn)を主成分に含んで形成され、例えば錫銀系のはんだ(SnAg系のはんだ)である。はんだボール20は、第一はんだボール21と、第二はんだボール22とを備えている。なお、はんだボール20は、はんだパッド6と同じ材料で形成されていてもよい。
- [0047] 第一はんだボール21は、第一はんだパッド61の上面61fへ上方を凸としてドーム状に形成される。第一はんだボール21の下方の一部は、第一開口部51に收容される。
- [0048] 第二はんだボール22は、第二はんだパッド62の上面62f及び第三はんだパッド63の上面63fに、上方を凸としてドーム状に形成される。第二はんだボール22の下方の一部は、第二開口部52及び第三開口部53に收容される。本実施形態では、第一はんだボール21及び第二はんだボール22は、略同じ形状及び大きさに形成されている。
- [0049] 次に、図2及び図3を用いて、上述したFC-BGA用配線基板100の製造工程の一例を説明する。
- [0050] ここで、FC-BGA用配線基板100の配線基板10は、本実施形態では、セミアディティブ工法を用いて製造される。配線基板10は、例えば、後述のシード層3b(図2の(c)参照)等のシード層の上面に形成する配線パターンの逆パターンをレジストパターンにより形成する。その後、配線

基板 10 は、電解銅めっき処理され、第一層 2 に第三導体部 7 を形成し、第二層 3 に第一導体部 81 と、第二導体部 82 とを形成する。次いで、配線基板 10 は、レジストパターンを除去し、最後に、シード層をフラッシュエッチング処理により除去して形成される。

[0051] まず、図 2 の (a) に示すように、第一層 2 の上面 2f にネガ型感光性絶縁樹脂を塗布またはラミネート加工し、絶縁樹脂層 3a を形成する。ここで、第一層 2 には、従来公知の方法により、第三導体部 7 が形成されている。

[0052] 次に、図 2 の (b) に示すように、絶縁樹脂層 3a を全て残す部分を露光部 3p とし、第三導体部 7 の形成された位置の上方を未露光部 3q として露光を行い、その後現像を行う。この露光工程の時の露光部 3p の露光照度は、 20000 W/cm^2 未満が好ましく、さらに 10000 W/cm^2 以下であることが好ましい。

[0053] 図 2 の (c) に示すように、現像によって、未露光部 3q 下へ絶縁樹脂層 3a を貫通した貫通孔が形成される。必要に応じて、貫通孔へ樹脂残渣除去のためプラズマ処理を行う。

[0054] その後、図 2 の (c) に示すように、絶縁樹脂層 3a の上面へスパッタリング法や真空蒸着法を使用して、金属薄膜や、化学銅めっき被膜などによりシード層 3b を形成する。シード層 3b は、導電性を付与する薄膜層である。シード層 3b は、セミアディティブ工法において、フラッシュエッチング処理により除去される。以上の製造工程によって、第二層 3 が形成される。

[0055] 次に、図 2 の (d) に示すように、第二層 3 の上面 3f へ第一レジスト層（めっきレジスト層）4a を塗布またはラミネート加工により形成する。

[0056] その後、図 2 の (e) 及び図 3 の (a) に示すように、露光現像によって第二層 3 の各貫通孔の上方に、第一レジスト開口部 4p を形成する。

[0057] その後、図 3 の (b) 及び図 3 の (c) に示すように、電解銅めっきにより各開口部（第一レジスト開口部 4p）が埋まるまでめっき（析出）処理を施し、まず、第一導体部 81 を各開口部へ形成する。各開口部における第一導体部 81 の高さは、上下方向において第一導体部 81 のそれぞれの上面が

同じ高さになるように形成される。第一導体部 8 1 の材料としては、例えば、Cu、Ni などの金属、またはこれら金属から選択される少なくとも一種の金属を含む合金を用いることができる。以上の工程により、左側に 2 つ形成された第一導体部 8 1 は、それぞれ第二はんだパッド 6 2 及び第三はんだパッド 6 3 となる。

[0058] その後、図 3 の (c) に示すように、第一レジスト層（めっきレジスト層） 4 a は、使用するめっきレジスト専用の剥離液またはそれと同等の機能を備えた剥離液を用いて剥離される。

[0059] 次に、図 3 の (d) に示すように、第二レジスト層（めっきレジスト層） 4 b を第二層 3 及び第一導体部 8 1 の上面へ塗布またはラミネート加工により形成する。その後、露光現像によって最も右側に形成された第一導体部 8 1 上に、第二レジスト開口部 4 q を形成する。

[0060] その後、図 3 の (e) に示すように、電解銅めっきにより第二レジスト開口部 4 q が埋まるまでめっき（析出）処理を施し、第二導体部 8 2 を形成する。第二導体部 8 2 の材料としては、第一導体部 8 1 と同様に、例えば、Cu、Ni などの金属、またはこれら金属から選択される少なくとも一種の金属を含む合金を用いることができる。

[0061] 以上の工程により、第一導体部 8 1 と第二導体部 8 2 とは一体化され、第一はんだパッド 6 1 となる。本実施形態では、第一導体部 8 1 と第二導体部 8 2 とは、同じ種類の金属によって形成される。

[0062] その後、図 3 の (f) に示すように、第二レジスト層（めっきレジスト層） 4 b は使用するめっきレジスト専用の剥離液またはそれと同等の機能を備えた剥離液を用いて剥離される。

[0063] また、必要に応じて余剰に析出させた電解銅めっきは、物理研磨または化学研磨により除去される。

[0064] ここで、第一レジスト層 4 a 及び第二レジスト層 4 b は、シード層 3 b 上に電解めっきを行う前に電解めっきへ開口部を形成するためのものである。非感光性のめっきレジスト層の場合は、スクリーン印刷により開口部を形成

する方法や、レーザービームを照射する事で、所望の部分を除去し、開口部を形成する方法がある。感光性のめっきレジスト層の場合は、露光・現像工程を経て、開口部を形成する。めっきレジスト層の材料としては、電解めっき浴に耐えることができる材料であれば、特に限定する必要は無い。例えば、電解めっき浴が硫酸銅めっき浴である場合は酸性であるので、耐酸性の材料であれば良く、通常のドライフィルムレジストや各種の液状レジストを使用することができる。

[0065] また、第一導体部 8 1 及び第二導体部 8 2 は、銅めっきの他に、銅めっきより硬く、研磨され難いめっき層としてもよい。例えば、ニッケルめっきを好適に使用することができる。

[0066] 次に、図 3 の (g) に示すように、ソルダーレジスト層 4 を第二層 3、第一はんだパッド 6 1、第二はんだパッド 6 2 及び第三はんだパッド 6 3 の上面へ塗布またはラミネート加工により形成する。その後、露光現像により、第一はんだパッド 6 1 の上面 6 1 f、第二はんだパッド 6 2 の上面 6 2 f 及び第三はんだパッド 6 3 の上面 6 3 f に第一はんだボール 2 1 及び第二はんだボール 2 2 と略同程度の大きさの半径を有する開口部 4 r が形成される。ここで、形成された開口部 4 r は、上述した第一開口部 5 1、第二開口部 5 2 及び第三開口部 5 3 である。この状態において、第一はんだパッド 6 1 の上面 6 1 f、第二はんだパッド 6 2 の上面 6 2 f 及び第三はんだパッド 6 3 の上面 6 3 f の一部は、それぞれ上方に露出される。ソルダーレジスト層 4 の開口部 4 r の底部には必要に応じて表面処理を施してもよい。また、開口部 4 r を除くソルダーレジスト層 4 の上面 4 f の高さは均一に形成されている。

[0067] その後、図 3 の (h) に示すように、配線基板 1 0 のビルドアップ層 1 の第一はんだパッド 6 1、第二はんだパッド 6 2 及び第三はんだパッド 6 3 へはんだペーストをスクリーン印刷、またはフラックスをスクリーン印刷した後、ボール状の電極端子（はんだボール）をボール振込みし、リフローさせてはんだボール 2 0 を形成し、F C - B G A 用配線基板 1 0 0 が完成する。

以上の製造工程によって、FC-BGA用配線基板100が形成される。なお、図2の(a)～図3の(h)の工程は、繰り返し実施することで、配線基板10の上面へ、任意の層数を形成することができる。

[0068] 本実施形態では、上記の製造方法により、高さの異なるはんだパッド6を一部に備えたFC-BGA用配線基板100を製造できる。そのため、上記の製造方法では、高さH1及び高さH2を調整することで、第一はんだボール21の上面高さと第一はんだボール21と略同じ大きさ及び形状である第二はんだボール22の上面高さとを任意に調整することができる。

[0069] また、本実施形態では、高さH1及び高さH2を任意に調整することができる。すなわち、FC-BGA用配線基板100の製造方法では、はんだパッド6のそれぞれの高さを調節しつつ、ソルダーレジスト層4の上面4fは、均一な高さに設定することができる。そのため、例えば、上面4fを上面とするFC-BGA用配線基板100にアンダーフィル等の集積回路封止用の液状樹脂を実装する際に、液状樹脂の流動を阻害することなく良好な実装性を維持することができる。

[0070] また、本実施形態では、ピッチP1及びピッチP2の長さは、略同じになるように形成されている。そのため、例えば半導体チップ等をはんだボール20に実装する場合、半導体チップ側の各電極（実装パッド部）間の長さをFC-BGA用配線基板100のはんだボール20へ合わせることなく使用することができる。さらに、ピッチP1及びピッチP2の長さが略同じであるため、半導体チップの製造が容易になり、製造工程にかかる時間や手間を削減することができる。

[0071] （第二実施形態）

次に、本発明の第二実施形態について、図4を用いて説明する。以降の説明において、既に説明したものと共通する構成については、同一の符号を付して重複する説明を省略する。なお、以下の実施形態は、いずれも第一実施形態と比較して配線基板が異なっている。従って、以下の説明では、第一実施形態との相違点を中心に説明する。本発明の第二実施形態に係る半導体装

置400は、FC-BGA用配線基板100Aに加えて、半導体チップ200を備えている。図4に示すように、半導体チップ200は、光通信用半導体チップ210と電気通信用半導体チップ220とを備えている。電気通信用半導体チップ220は、上下方向において光通信用半導体チップ210よりも高さが低い。FC-BGA用配線基板100Aは、配線基板10Aと、はんだボール20と、を備えている。なお、半導体チップ200は、図示しない実装パッド部を備えていてもよい。実装パッド部は、半導体チップ200の下方に備えられ、はんだボール20と接合して、半導体チップ200と配線基板10Aとを電氣的に接続する。

[0072] 配線基板10Aは、図4に図示する第二層3の一部に、はんだパッド6Aを備えている。配線基板10Aは、第一実施形態と比較して、図4に示すように、はんだパッド6Aの個数が異なる。はんだパッド6Aは、左右方向に沿って1列になるように右側から2つの第二はんだパッド62と、3つの第一はんだパッド61と、2つの第二はんだパッド62と、を備えている。はんだパッド6Aは、それぞれが略等間隔となるように備えられている。

[0073] 上下方向において高さH1及び高さH2の高さの差は、はんだボール20に上方から半導体チップ200を接合（実装）した場合に、はんだパッド6Aを備える第二層3の下面3gから半導体チップ200の上面200fがすべて略同じ高さとなるように任意に調整される。すなわち、半導体チップ200の高さにより、高さH1及び高さH2の高さの差が決定される。本実施形態では、第一実施形態と同様に、高さH1が高さH2よりも小さいとされる。なお、半導体チップ200が実装パッド部を備えている場合は、高さH1及び高さH2の高さの差は、実装パッド部の高さによって決定されてもよい。

[0074] はんだボール20は、第一実施形態と同様に、第一はんだボール21と、第二はんだボール22とを備えている。第一はんだボール21は、第一はんだパッド61の上面61fに形成される。第二はんだボール22は、第二はんだパッド62の上面62fに形成される。第一はんだボール21及び第二

はんだボール 22 は、略同じ大きさ及び形状に形成される。

[0075] 次に、FC-BGA用配線基板 100A に半導体チップ 200 を実装する。

[0076] 図 4 に示すように、まず、2つの光通信用半導体チップ 210 の各電極（実装パッド部）が、配線基板の第二はんだパッド 62 の上面 62f に形成された第二はんだボール 22 へ当接するように実装される。

[0077] 次に、上下方向において光通信用半導体チップ 210 よりも高さの低い電気通信用半導体チップ 220 の電極（実装パッド部）が、配線基板 100A の第一はんだパッド 61 の上面 61f に形成された第一はんだボール 21 へ当接するように実装される。このとき、高さ H1 は高さ H2 よりも小さく設定されているため、電気通信用半導体チップ 220 が光通信用半導体チップ 210 よりも低くとも、すべての半導体チップ 200 の上面 200f が略同じ高さになる。

[0078] 上記の構成により、複数の半導体チップ 200 が FC-BGA 用配線基板 100A へ実装され、半導体装置 400 が形成される。

[0079] 本実施形態では、複数の半導体チップ 200 の高さに合わせて、高さ H1 及び高さ H2 を調整することができる。そのため、複数の半導体チップ 200 を実装後に、すべての半導体チップ 200 の上面 200f が略同じ高さとなるように設定することができる。さらに、半導体チップ 200 の上面 200f に、例えば、ヒートスプレッド等を実装する際に、半導体チップ 200 へ正確に取り付けることができる。

[0080] また、本実施形態では、第一はんだボール 21 及び第二はんだボール 22 は、それぞれの大きさを変更する必要なく、第一はんだボール 21 及び第二はんだボール 22 の上面の高さを調整することができる。そのため、第一はんだボール 21 及び第二はんだボール 22 を容易に配線基板 100A へ形成することができる。

[0081] また、本実施形態では、第一はんだボール 21 及び第二はんだボール 22 は、その大きさが大きすぎると隣接するはんだボール 20 同士が接合して不

要な導通となる不具合が発生する。また、第一はんだボール 2 1 及び第二はんだボール 2 2 は、その大きさが小さすぎると、例えば、実装時に対向する半導体チップ 2 0 0 に備えられた各実装パッド部に当接されない不具合が発生する。本実施形態では、上述の不具合の発生を減らすことができる。

[0082] (第三実施形態)

次に、本発明の第三実施形態について、図 5 を用いて説明する。以下の実施形態は、いずれも第二実施形態と比較して特に配線基板と、半導体チップとが異なっている。本発明の第三実施形態に係る半導体装置 4 0 0 B は、F C - B G A 用配線基板 1 0 0 B と、半導体チップ 2 0 0 B とを備える。半導体チップ 2 0 0 B は、左右方向において長さの異なる第一半導体チップ 2 1 0 B と第二半導体チップ 2 2 0 B とを備えている。第一半導体チップ 2 1 0 B は、左右方向において第二半導体チップ 2 2 0 B よりも長さが短い。F C - B G A 用配線基板 1 0 0 B は、配線基板 1 0 B と、はんだボール 2 0 と、を備えている。なお、半導体チップ 2 0 0 B は、第二実施形態と同様に、図示しない実装パッド部を備えていてもよい。

[0083] 配線基板 1 0 B は、図 5 に図示する第二層 3 の一部にはんだパッド 6 B を備えている。配線基板 1 0 B は、第一実施形態と比較して、図 5 に示すように、はんだパッド 6 B の個数が異なる。はんだパッド 6 B は、左右方向に沿って 1 列になるように右側から 1 つの第一はんだパッド 6 1 と、4 つの第二はんだパッド 6 2 と、1 つの第一はんだパッド 6 1 と、を備えている。第一はんだパッド 6 1 は、配線基板 1 0 B の両端に備えられている。はんだパッド 6 B は、それぞれが略等間隔となるように備えられている。本実施形態では、第一実施形態及び第二実施形態と同様に、高さ H 1 が、高さ H 2 よりも小さくなるように任意の高さに設定される。

[0084] はんだボール 2 0 は、第一実施形態及び第二実施形態と同様に、第一はんだボール 2 1 と、第二はんだボール 2 2 とを備えている。第一はんだボール 2 1 は、第一はんだパッド 6 1 の上面 6 1 f に形成される。第二はんだボール 2 2 は、第二はんだパッド 6 2 の上面 6 2 f に形成される。第一はんだボ

ール 2 1 及び第二はんだボール 2 2 は、略同じ大きさ及び形状に形成される。

[0085] 次に、FC-BGA用配線基板 1 0 0 B へ半導体チップ 2 0 0 B を実装する。

[0086] 図 5 に示すように、まず、第一半導体チップ 2 1 0 B の電極（実装パッド部）が、配線基板 1 0 B の第二はんだパッド 6 2 の上面 6 2 f に形成された第二はんだボール 2 2 へ当接するように実装される。この時、上下方向において、第一半導体チップ 2 1 0 B の上面 2 1 0 B f の高さ、第一はんだボール 2 1 の上面 2 1 f の高さは、略同じ高さとなる。

[0087] 次に、上下方向において、第一半導体チップ 2 1 0 B へ重なるように、第二半導体チップ 2 2 0 B が上方から実装される。第二半導体チップ 2 2 0 B の電極（実装パッド部）が、配線基板 1 0 B の両端に備えられた第一はんだパッド 6 1 の上面 6 1 f に形成された第一はんだボール 2 1 へ当接するように実装される。

[0088] 上記の構成により、複数の半導体チップ 2 0 0 B が FC-BGA用配線基板 1 0 0 B へ実装され、半導体装置 4 0 0 B が形成される。

[0089] この場合においても、本実施形態の FC-BGA用配線基板 1 0 0 B は、高さ H 1 及び高さ H 2 を調整することで、略同じ大きさ及び同じ形状の第一はんだボール 2 1 及び第二はんだボール 2 2 の大きさを変更する必要なく、第一はんだボール 2 1 及び第二はんだボール 2 2 の上面の高さを調整することができる。そのため、第二半導体チップ 2 2 0 B は、下面 2 2 0 B g を第一半導体チップ 2 1 0 B の上面 2 1 0 B f へ正確に当接するように実装しつつ、上面 2 2 0 B f が略水平となるように取り付けることができる。

[0090] なお、上記の一実施形態により本発明が限定されるものではない。また、一実施形態における構成要素には、当業者が容易に想定できるもの、実質的に同一のもの、いわゆる均等の範囲のものが含まれる。さらに、一実施形態で開示した構成要素は適宜組み合わせることが可能である。

[0091] 以上、本発明の実施形態について図面を参照して詳述したが、具体的な構

成はこの実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計変更等も含まれる。また、上述の実施形態及び以下で示す変形例において示した構成要素は適宜に組み合わせて構成することが可能である。

[0092] (変形例)

本発明のFC-BGA用配線基板の配線基板は、上述の実施形態に限定されず、多数のビルドアップ層によって構成されていてもよい。また、本発明のFC-BGA用配線基板の配線基板の備える第三導体部及びはんだパッドは、パッドオンビア構造に限定されない。第三導体部及びはんだパッドは、上下方向においてビアに重ならない位置にパッドを備えていてもよい。また、パッドは、必須の構成ではなく、ランドであってもよい。本発明の配線基板の配線基板は、ランドや配線等によって構成されていてもよいし、各々を組み合わせて構成されていてもよい。

[0093] また、本発明のはんだパッドは、スタックビアのように積み重ねて形成する必要はなく、例えば、スタガードビアのように階段状に形成してもよいし、その他の形状に形成してもよい。

[0094] また、本発明のFC-BGA用配線基板は、さらにチップ接続用のインターポーザ基板などを備えてもよい。

[0095] また、本発明のFC-BGA用配線基板のはんだパッドやはんだボール等の個数は、限定されない。はんだパッドやはんだボール等は、配線基板の大きさまたは形状や、半導体チップの実装パッド部に合わせて任意に設定できる。

[0096] また、本発明のFC-BGA用配線基板は、はんだボール20を備えていなくてもよい。はんだボール20は、必須の構成ではない。さらに、上述した実施形態では、第一はんだボール21及び第二はんだボール22の大きさ及び形状が略同じであったが、本発明のFC-BGA用配線基板は、第一はんだボール21及び第二はんだボール22の大きさ及び形状が異なってもよい。

[0097] また、上述した実施形態では、第一はんだパッド61、第二はんだパッド

6 2 及び第三はんだパッド 6 3 が、左右方向に沿って 1 列になるように備えられているが、本発明の F C - B G A 用配線基板はこれに限定されず、左右方向に交差する方向に沿って 1 列となるように備えられていてもよい。また、列数についても特に限定されない。

[0098] また、上述した実施形態では、第一はんだパッド 6 1、第二はんだパッド 6 2 及び第三はんだパッド 6 3 が備える第一導体部 8 1 及び第二導体部 8 2 が、同じ種類の金属であるが、これに限定されず、違う金属であってもよい。

[0099] また、本発明の第二実施形態に係る F C - B G A 用配線基板 1 0 0 A に実装された半導体チップ 2 0 0 は、光通信用半導体チップ 2 1 0 と電気通信用半導体チップ 2 2 0 とを備えているが、特に限定されない。半導体チップ 2 0 0 は、例えば、シリコン、ガリウム砒素、セレンまたはカーボン（炭素）等からなる従来公知の半導体を実装してもよい。また本発明の第三実施形態に係る F C - B G A 用配線基板 1 0 0 B に実装された半導体チップ 2 0 0 B についても同様に、半導体チップ 2 0 0 B は、特に限定されず、例えば、シリコン、ガリウム砒素、セレンまたはカーボン（炭素）等からなる従来公知の半導体を実装してもよい。さらに、本発明は、半導体チップ群を積層して実装する技術（3 D 実装）や、半導体チップ群をインターポーザに実装する技術（2. 5 D 実装）のような実装形態においても適用することができる。

[0100] また、上述した実施形態では、半導体チップの実装例を示したが、半導体チップの代わりに半導体の中継基板に実装した半導体パッケージを実装することも可能である。

[0101] また、上述した第二実施形態では、はんだパッド 6 A は、左右方向に沿って 1 列になるように右側から 2 つの第二はんだパッド 6 2 と、3 つの第一はんだパッド 6 1 と、2 つの第二はんだパッド 6 2 と、を備えているが、本発明はこれに限定されず、F C - B G A 用配線基板の上面または下面において、左右方向に交差する方向に沿って 1 列となるように備えられていてもよい。また、並び順や個数等についても限定されず、右側からではなく左側から

でもよい。さらに、列数についても特に限定されない。また、第三実施形態に係るはんだパッド6 Bについても、はんだパッド6 Aと同様に、左右方向に沿って1列に形成されていてもよいし、左右方向に交差する方向に沿って1列に形成されていてもよい。

[0102] また、本発明の第三実施形態に係るFC-BGA用配線基板100Bは、図6に示すように、半導体チップ200Bの第二半導体チップ220Bに代えて、ヒートスプレッド300を実装してもよい。この場合においても、FC-BGA用配線基板100Bは、高さH1及び高さH2を調整することで、第一はんだパッド61、第二はんだパッド62及び第三はんだパッド63の上面へ形成される略同じ大きさ及び形状のはんだボール20の上面高さを任意に調整することができる。そのため、ヒートスプレッド300は、下面300gを第一半導体チップ210Bの上面210Bfへ正確に当接するように実装しつつ、上面300fが略水平となるように取り付けることができる。

[0103] いずれの上記形態においても、本発明に係る配線基板、半導体装置及び配線基板の製造方法によれば、はんだボールのピッチ間隔を均一に維持しつつ、異なる半導体パッケージを実装した場合であっても、それらの上面の高さを揃えることができる。

産業上の利用可能性

[0104] 本発明に係る配線基板、半導体装置及び配線基板の製造方法によれば、はんだボールのピッチ間隔を均一に維持しつつ、異なる半導体パッケージを実装した場合であっても、それらの上面の高さを揃えることができ、電子機器の組立等においてヒートシンクなど密着性の高さが求められる部品が搭載しやすくなるので、産業上利用可能である。

符号の説明

[0105] 100、100A、100B FC-BGA用配線基板（配線基板）
10、10A、10B 配線基板
1 ビルドアップ層（配線層）

- 2 第一層
- 3 第二層
- 4 ソルダーレジスト層
 - 4 a 第一レジスト層（めっきレジスト層）
 - 4 b 第二レジスト層（めっきレジスト層）
- 5 開口部
- 6、6 A、6 B はんだパッド
 - 6 1 第一はんだパッド
 - 6 2 第二はんだパッド
 - 6 3 第三はんだパッド
- 7 第三導体部
 - 8 1 第一導体部
 - 8 2 第二導体部
- 2 0 はんだボール
 - 2 1 第一はんだボール
 - 2 2 第二はんだボール
- 2 0 0、2 0 0 B 半導体チップ
- 3 0 0 ヒートスプレッダ
- 4 0 0、4 0 0 B 半導体装置
- H 1、H 2 高さ
- P 1、P 2 ピッチ

請求の範囲

- [請求項1] 複数のビルドアップ層を有する多層構造の配線基板であって、
前記ビルドアップ層のうち、最後に形成された表面側のビルドアップ層が第一はんだパッド及び第二はんだパッドを有し、
前記表面側のビルドアップ層の前記表面側にソルダーレジスト層を有し、
前記第一はんだパッド及び前記第二はんだパッドのそれぞれの表面から前記ソルダーレジスト層の表面までの高さが、異なる、
配線基板。
- [請求項2] 前記ソルダーレジスト層は、
前記第一はんだパッドの前記表面及び前記第二はんだパッドの前記表面が前記表面側に露出する開口部を備え、
前記開口部を除いた前記ソルダーレジスト層の前記表面は、略均一な高さとなっている、
請求項1に記載の配線基板。
- [請求項3] 前記表面側のビルドアップ層は、さらに第三はんだパッドを有し、
前記第一はんだパッドと、前記第二はんだパッドと、前記第三はんだパッドとが、等間隔に形成されている、
請求項1または請求項2に記載の配線基板。
- [請求項4] 前記第一はんだパッド及び前記第二はんだパッドは、
前記表面側に略同じ径であり、略同じ形状のはんだボールを備える、
請求項1または請求項2に記載の配線基板。
- [請求項5] 前記第一はんだパッドと前記第二はんだパッドとは、
前記高さの差が、前記はんだボールの前記表面側に接合される半導体チップの高さにより決定されるように構成されている、
請求項4に記載の配線基板。
- [請求項6] 前記第一はんだパッドと前記第二はんだパッドとは、

前記高さの差が、前記はんだボールの前記表面側に接合される半導体チップの実装パッド部の高さにより決定されるように構成されている、

請求項 4 に記載の配線基板。

[請求項 7] 請求項 5 に記載の配線基板と、

前記半導体チップと、

を備える、

半導体装置。

[請求項 8] 請求項 6 に記載の配線基板と、

前記半導体チップと、

前記実装パッド部と、

を備える、

半導体装置。

[請求項 9] 複数のビルドアップ層のうち、最後に形成された表面側のビルドアップ層が第一はんだパッド及び第二はんだパッドを有し、

前記表面側のビルドアップ層の前記表面側にソルダーレジスト層を有し、

前記第一はんだパッド及び前記第二はんだパッドのそれぞれの表面から前記ソルダーレジスト層の表面までの高さが、異なる配線基板の製造方法であって、

少なくとも、

前記表面側のビルドアップ層に配線層と前記第一はんだパッド及び前記第二はんだパッドを形成する工程と、

前記第一はんだパッドの前記表面の一部と前記第二はんだパッドの前記表面の一部とを前記表面側に露出するようにめっきレジスト層を形成する工程と、

銅めっき処理により前記第一はんだパッド及び前記第二はんだパッドの前記表面側に銅を析出させる工程と、

前記めっきレジスト層を剥離する工程と、
前記表面側のビルドアップ層の前記表面側に前記ソルダーレジスト層を形成する工程と、
前記ソルダーレジスト層に前記第一はんだパッドの前記表面の一部と前記第二はんだパッドの前記表面の一部とが前記表面側に露出する開口部を設ける工程と、
を含む、
配線基板の製造方法。