

明 細 書

発明の名称：

アクティブマトリクス基板、液晶表示装置およびアクティブマトリクス基板の製造方法

技術分野

[0001] 本発明は、アクティブマトリクス基板に関し、特に、上層電極および下層電極を含む2層構造電極を有するアクティブマトリクス基板に関する。また、本発明は、そのようなアクティブマトリクス基板を備えた液晶表示装置や、そのようなアクティブマトリクス基板の製造方法に関する。

背景技術

[0002] 液晶表示装置は、薄型で低消費電力であるという特徴を有し、様々な分野に広く用いられている。特に、アクティブマトリクス型の液晶表示装置は、高いコントラスト比および優れた応答特性を有し、高性能であるので、テレビやモニタ、ノートパソコンに用いられており、近年その市場規模が拡大している。

[0003] アクティブマトリクス型の液晶表示装置は、一般に、画素ごとにスイッチング素子として薄膜トランジスタ（TFT）が形成されたアクティブマトリクス基板（「TFT基板」と呼ばれることもある）と、カラーフィルタなどが形成された対向基板（「カラーフィルタ基板」と呼ばれることもある）と、アクティブマトリクス基板および対向基板の間に設けられた液晶層とを備えている。薄膜トランジスタに電氣的に接続された画素電極と、共通電極との電位差に応じた電界が液晶層に印加され、この電界によって液晶層中の液晶分子の配向状態が変化することにより、各画素の光透過率を制御して表示を行うことができる。

[0004] アクティブマトリクス型の液晶表示装置には、その用途に応じて様々な表示モードが提案され、採用されている。表示モードとしては、TN（Twisted Nematic）モード、VA（Vertical Align

ment) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モードなどが挙げられる。

[0005] 一部の表示モードでは、アクティブマトリクス基板に「2層電極構造」が採用される。2層電極構造とは、薄膜トランジスタを覆う層間絶縁層上に、下層電極と、下層電極を覆う誘電体層と、誘電体層を介して下層電極に重なる上層電極とが設けられている構造である。例えば、一般的なFFSモードでは、特許文献1に開示されているように、共通電極が下層電極として設けられ、複数のスリットが形成された画素電極が上層電極として設けられる。共通電極および画素電極は、いずれも透明な導電材料から形成されている。なお、特許文献2に開示されているように、FFSモードにおいて、画素電極が下層電極として設けられ、複数のスリットが形成された共通電極が上層電極として設けられる構成も知られている。

[0006] また、後に詳述する理由から、表示モードを問わず（つまりVAモードなどにおいても）、2層電極構造を採用することが考えられる。

[0007] 上層電極が画素電極である2層電極構造を採用する場合、画素電極と、薄膜トランジスタのドレイン電極とを電氣的に接続するために、ドレイン電極の一部を露出させるための開口部を、薄膜トランジスタを覆う層間絶縁層と、電極間に位置する誘電体層との両方に形成する必要がある。層間絶縁層の開口部と誘電体層の開口部とを含むコンタクトホール内でドレイン電極に接するように画素電極を形成することにより、画素電極をドレイン電極に電氣的に接続することができる。

[0008] この場合、誘電体層の開口部を形成する際のエッチングにより、層間絶縁層の開口部のテーパ部（傾斜側面）も掘られてしまい、コンタクトホールの側面形状が急峻化してしまう。そのため、相対的に厚さの小さい画素電極が、コンタクトホール内で断線することがある（「段切れ」と呼ばれる）。そこで、画素電極の段切れに伴う接続不良を回避するために、誘電体層の開口部は、基板の法線方向から見たときにその全体が層間絶縁層の開口部の内

側に位置するように形成される。

先行技術文献

特許文献

[0009] 特許文献1：特開 2 0 0 2 - 1 8 2 2 3 0 号公報

特許文献2：特開 2 0 1 1 - 5 3 4 4 3 号公報

発明の概要

発明が解決しようとする課題

[0010] しかしながら、誘電体層のエッチング膜厚は大きいので、誘電体層の開口部は、基板面内方向の仕上がり径が大きくなりやすい。そのため、誘電体層の開口部をその内側に含む、層間絶縁層の開口部についても、必然的にその径を大きくする必要がある。

[0011] 一方、ドレイン電極は、画素電極への電氣的な接続という役割だけでなく、層間絶縁層の開口部のテーパー部近傍における、液晶分子の配向が乱れた領域を遮光する役割も担っている。そのため、層間絶縁層の開口部の径が拡大すると、ドレイン電極のサイズも拡大させる必要がある。

[0012] ドレイン電極は、典型的には信号配線と同層である（つまり同じ導電膜をパターニングすることによって形成されている）。従って、精細度の高い液晶表示装置において、水平方向の画素ピッチと垂直方向の画素ピッチとの比（H/V比）が1：3である標準的な画素構成を採用すると、ドレイン電極のサイズが上述した理由により大きい場合、水平方向の同層間スペースを十分に確保することができなくなる。そのため、精細度に対する制限が発生し、高い精細度での製造が困難になる。具体的には、画素密度が370 p p i 以上での製造が、困難になってしまう。

[0013] 本発明は、上記問題に鑑みてなされたものであり、その目的は、2層電極構造を有しているにもかかわらず従来よりも高い精細度で製造し得るアクティブマトリクス基板を提供することにある。

課題を解決するための手段

[0014] 本発明の実施形態におけるアクティブマトリクス基板は、基板と、前記基板に支持され、半導体層、ゲート電極、ソース電極およびドレイン電極を有する薄膜トランジスタと、第1方向に略平行に延設され、前記薄膜トランジスタの前記ゲート電極に電氣的に接続された走査配線と、前記第1方向に直交する第2方向に略平行に延設され、前記薄膜トランジスタの前記ソース電極に電氣的に接続された信号配線と、前記薄膜トランジスタを覆うように設けられた第1層間絶縁層と、前記第1層間絶縁層上に設けられた下層電極と、前記下層電極上に設けられた誘電体層と、前記誘電体層上に設けられ、前記誘電体層を介して前記下層電極の少なくとも一部に重なる上層電極と、を備え、前記第1層間絶縁層および前記誘電体層には、前記ドレイン電極の一部を露出する第1コンタクトホールであって、前記ドレイン電極に前記上層電極を電氣的に接続するための第1コンタクトホールが形成されており、前記第1コンタクトホールは、前記第1層間絶縁層に形成された第1開口部と、前記誘電体層に形成された第2開口部とを含み、前記第1開口部の、前記第1方向および前記第2方向のうちの一方の方向に沿った幅は、前記第2開口部の、前記一方の方向に沿った幅よりも小さく、前記基板の法線方向から見たとき、前記第2開口部の輪郭の一部が、前記第1開口部の輪郭の内側に位置しており、前記第2開口部の輪郭は、矩形状ではなく、前記第2開口部のうちの前記第1開口部に重ならない部分の面積は、前記第2開口部の輪郭を、前記第1方向に沿った幅および前記第2方向に沿った幅が前記第2開口部の輪郭と同じである矩形状と仮想した場合よりも小さい。

[0015] ある実施形態において、前記基板の法線方向から見たとき、前記第1開口部の輪郭は、矩形状である。

[0016] ある実施形態において、前記基板の法線方向から見たとき、前記第2開口部は、前記第1開口部に重なる第1の部分と、前記第1の部分から延び、前記第1開口部に重ならない複数の第2の部分とを有し、前記複数の第2の部分は、前記第1の部分に対して前記一方の方向における一側に位置する少なくとも1つの第2の部分と、他側に位置する他の少なくとも1つの第2の部分とを有する。

分とを含む。

- [0017] ある実施形態において、前記複数の第2の部分は、4つの第2の部分であり、前記4つの第2の部分のうちの2つは、前記第1の部分に対して前記一方の方向における一側に位置し、残りの2つは、他側に位置する。
- [0018] ある実施形態において、前記基板の法線方向から見たとき、前記第2開口部の輪郭は、H字状である。
- [0019] ある実施形態において、前記複数の第2の部分は、2つの第2の部分であり、前記2つの第2の部分のうちの1つは、前記第1の部分に対して前記一方の方向における一側に位置し、残りの1つは、他側に位置する。
- [0020] ある実施形態において、前記基板の法線方向から見たとき、前記第2開口部の輪郭は、平行四辺形状である。
- [0021] ある実施形態において、前記基板の法線方向から見たとき、前記第2開口部の輪郭は、前記一方の方向に略平行な2つの辺であって、それぞれが部分的に前記第1開口部の輪郭の内側に位置している2つの辺を含む。
- [0022] ある実施形態において、前記基板の法線方向から見たとき、前記第2開口部の輪郭は、前記一方の方向に対して傾斜した2つの辺であって、それぞれが部分的に前記第1開口部の輪郭の内側に位置している2つの辺を含む。
- [0023] ある実施形態において、前記第1開口部の、前記第1方向および前記第2方向のうちの他方の方向に沿った幅は、前記第2開口部の、前記他方の方向に沿った幅よりも大きい。
- [0024] ある実施形態において、前記第1コンタクトホール内で、前記上層電極が前記ドレイン電極と接している。
- [0025] ある実施形態において、上述した構成を有するアクティブマトリクス基板は、前記半導体層と前記ゲート電極との間に設けられたゲート絶縁層と、前記ゲート電極または前記半導体層を覆うように設けられた第2層間絶縁層と、をさらに備え、前記ゲート絶縁層および前記第2層間絶縁層のうちの少なくとも前記第2層間絶縁層には、前記半導体層の一部を露出する第2コンタクトホールであって、前記半導体層に前記ドレイン電極を電氣的に接続する

ための第2コンタクトホールが形成されており、前記基板の法線方向から見たとき、前記第2コンタクトホールの少なくとも一部が、前記第1コンタクトホールに重なっている。

[0026] ある実施形態において、前記基板の法線方向から見たとき、前記第1コンタクトホールの中心と、前記第2コンタクトホールの中心とがずれている。

[0027] ある実施形態において、前記上層電極および前記下層電極は、それぞれ透明な導電材料から形成されている。

[0028] ある実施形態において、前記第1開口部の前記第1方向に沿った幅は、前記第2開口部の前記第1方向に沿った幅よりも小さい。

[0029] ある実施形態において、前記薄膜トランジスタの前記半導体層として酸化物半導体を用いられている。

[0030] ある実施形態において、前記酸化物半導体は In-Ga-Zn-O 系半導体である。

[0031] 本発明の実施形態における液晶表示装置は、上述した構成を有するアクティブマトリクス基板と、前記アクティブマトリクス基板に対向するように配置された対向基板と、前記アクティブマトリクス基板および前記対向基板の間に設けられた液晶層と、を備える。

[0032] ある実施形態において、上述した構成を有する液晶表示装置は、マトリクス状に配置された複数の画素を有し、前記上層電極は、画素電極として機能する。

[0033] ある実施形態において、前記上層電極は、複数のスリットを有する。

[0034] ある実施形態において、前記下層電極、前記誘電体層および前記上層電極は、補助容量を構成する。

[0035] 本発明の実施形態におけるアクティブマトリクス基板の製造方法は、半導体層、ゲート電極、ソース電極およびドレイン電極を有する薄膜トランジスタと、第1方向に略平行に延設され、前記薄膜トランジスタの前記ゲート電極に電氣的に接続された走査配線と、前記第1方向に直交する第2方向に略平行に延設され、前記薄膜トランジスタの前記ソース電極に電氣的に接続さ

れた信号配線と、を備えるアクティブマトリクス基板の製造方法であって、基板上に、前記薄膜トランジスタを形成する工程（Ａ）と、前記薄膜トランジスタを覆う層間絶縁層であって、第１開口部を有する層間絶縁層を形成する工程（Ｂ）と、前記層間絶縁層上に、下層電極を形成する工程（Ｃ）と、前記下層電極上に、第２開口部を有する誘電体層を形成する工程（Ｄ）と、前記誘電体層上に、前記誘電体層を介して前記下層電極の少なくとも一部に重なる上層電極であって、前記第１開口部および前記第２開口部を含むコンタクトホールにおいて前記ドレイン電極に電氣的に接続された上層電極を形成する工程（Ｅ）と、を包含し、前記工程（Ｂ）および前記工程（Ｄ）は、前記第１開口部の、前記第１方向および前記第２方向のうちの一方の方向に沿った幅が、前記第２開口部の、前記一方の方向に沿った幅よりも小さく、且つ、前記基板の法線方向から見たとき、前記第２開口部の輪郭の一部が、前記第１開口部の輪郭の内側に位置するように実行され、前記工程（Ｂ）および前記工程（Ｄ）は、さらに、前記基板の法線方向から見たとき、前記第２開口部の輪郭が矩形状ではなく、前記第２開口部のうちの前記第１開口部に重ならない部分の面積が、前記第２開口部の輪郭を、前記第１方向に沿った幅および前記第２方向に沿った幅が前記第２開口部の輪郭と同じである矩形状と仮想した場合よりも小さくなるように実行される。

発明の効果

[0036] 本発明の実施形態によると、２層電極構造を有しているにもかかわらず従来よりも高い精細度で製造し得るアクティブマトリクス基板を提供することができる。

図面の簡単な説明

[0037] [図１]本発明の実施形態におけるアクティブマトリクス基板１００Ａを模式的に示す図であり、１つの画素に対応した領域を示す平面図である。

[図２]本発明の実施形態におけるアクティブマトリクス基板１００Ａを模式的に示す図であり、（ａ）、（ｂ）および（ｃ）は、それぞれ図１中の２Ａ－２Ａ’線、２Ｂ－２Ｂ’線および２Ｃ－２Ｃ’線に沿った断面図である。

[図3] (a) および (b) は、本発明の実施形態におけるアクティブマトリクス基板 100A の第1開口部 16a および第2開口部 18a の近傍を拡大して示す図である。

[図4] 比較例1のアクティブマトリクス基板 1000 を模式的に示す図であり、1つの画素に対応した領域を示す平面図である。

[図5] 比較例1のアクティブマトリクス基板 1000 を模式的に示す図であり、図4中の5A-5A'線に沿った断面図である。

[図6] 比較例2のアクティブマトリクス基板 1100 を模式的に示す図であり、1つの画素に対応した領域を示す平面図である。

[図7] 比較例2のアクティブマトリクス基板 1100 を模式的に示す図であり、(a) および (b) は、それぞれ図6中の7A-7A'線および7B-7B'線に沿った断面図である。

[図8] 比較例2のアクティブマトリクス基板 1100 において光漏れが発生し得る領域 R1 を示す図である。

[図9] (a) は、第1の部分 18a1 のみを有する第2開口部 18a を示す図であり、(b) は、(a) に示す第2開口部 18a がアライメントずれによって本来の位置からずれた場合を示す図であり、(c) は、そのようなずれによって第2開口部 18a が第1開口部 16a と重ならなくなった領域 R2 の断面構造を示す図((b)中の9C-9C'線に沿った断面図)である。

[図10] (a) および (b) は、本発明の実施形態におけるアクティブマトリクス基板 100A の第2開口部 18a が、アライメントずれによって本来の位置からずれた場合を示す図である。

[図11] 本発明の実施形態におけるアクティブマトリクス基板 100A の製造方法を説明するための工程断面図であり、(a1)~(a3)は、図1中の2A-2A'線に沿った断面に対応し、(b1)~(b3)は、図1中の2B-2B'線に沿った断面に対応し、(c1)~(c3)は、図1中の2C-2C'線に沿った断面に対応する。

[図12] 本発明の実施形態におけるアクティブマトリクス基板 100A の製造

方法を説明するための工程断面図であり、(a1)および(a2)は、図1中の2A-2A'線に沿った断面に対応し、(b1)および(b2)は、図1中の2B-2B'線に沿った断面に対応し、(c1)および(c2)は、図1中の2C-2C'線に沿った断面に対応する。

[図13]本発明の実施形態におけるアクティブマトリクス基板100Aの製造方法を説明するための工程断面図であり、(a1)および(a2)は、図1中の2A-2A'線に沿った断面に対応し、(b1)および(b2)は、図1中の2B-2B'線に沿った断面に対応し、(c1)および(c2)は、図1中の2C-2C'線に沿った断面に対応する。

[図14]本発明の実施形態におけるアクティブマトリクス基板100Aの製造方法を説明するための工程断面図であり、(a1)および(a2)は、図1中の2A-2A'線に沿った断面に対応し、(b1)および(b2)は、図1中の2B-2B'線に沿った断面に対応し、(c1)および(c2)は、図1中の2C-2C'線に沿った断面に対応する。

[図15]本発明の実施形態におけるアクティブマトリクス基板100Bを模式的に示す図であり、1つの画素に対応した領域を示す平面図である。

[図16]本発明の実施形態におけるアクティブマトリクス基板100Bを模式的に示す図であり、(a)、(b)および(c)は、それぞれ図15中の16A-16A'線、16B-16B'線および16C-16C'線に沿った断面図である。

[図17] (a) および (b) は、本発明の実施形態におけるアクティブマトリクス基板100Bの第1開口部16aおよび第2開口部18aの近傍を拡大して示す図である。

[図18]本発明の実施形態におけるアクティブマトリクス基板100Bにおいて、アクティブマトリクス基板18aとドレイソ電極24とが本来の位置関係からずれた場合を示す図である。

[図19]本発明の実施形態におけるアクティブマトリクス基板100Cを模式的に示す図であり、1つの画素に対応した領域を示す平面図である。

[図20]本発明の実施形態におけるアクティブマトリクス基板100Cを模式的に示す図であり、(a)、(b)および(c)は、それぞれ図19中の20A-20A'線、20B-20B'線および20C-20C'線に沿った断面図である。

[図21](a)および(b)は、本発明の実施形態におけるアクティブマトリクス基板100Cの第1開口部16aおよび第2開口部18aの近傍を拡大して示す図である。

[図22]本発明の実施形態におけるアクティブマトリクス基板100Cにおいて、アライメントずれによって第2開口部18aとドレイン電極24とが本来の位置関係からずれた場合を示す図である。

[図23]本発明の実施形態におけるアクティブマトリクス基板100Dを模式的に示す図であり、1つの画素に対応した領域を示す平面図である。

[図24]本発明の実施形態におけるアクティブマトリクス基板100Dを模式的に示す図であり、(a)および(b)は、それぞれ図23中の24A-24A'線および24B-24B'線に沿った断面図である。

[図25](a)および(b)は、本発明の実施形態におけるアクティブマトリクス基板100Dの第1開口部16aおよび第2開口部18aの近傍を拡大して示す図である。

[図26]本発明の実施形態におけるアクティブマトリクス基板100Dにおいて、アライメントずれによって第2開口部18aとドレイン電極24とが本来の位置関係からずれた場合を示す図である。

[図27]本発明の実施形態におけるアクティブマトリクス基板100Eを模式的に示す図であり、1つの画素に対応した領域を示す平面図である。

[図28]本発明の実施形態におけるアクティブマトリクス基板100Eを模式的に示す図であり、(a)、(b)および(c)は、それぞれ図27中の28A-28A'線、28B-28B'線および28C-28C'線に沿った断面図である。

[図29]本発明の実施形態におけるアクティブマトリクス基板100A~10

OEが用いられ得る液晶表示装置200を模式的に示す断面図である。

[図30]液晶表示装置200にVAモードを採用した場合の画素構造の例を示す図であり、1つの画素に対応した領域を示す平面図である。

[図31]液晶表示装置200にVAモードを採用した場合の画素構造の他の例を示す図であり、1つの画素に対応した領域を示す平面図である。

[図32]液晶表示装置200にVAモードを採用した場合の画素構造のさらに他の例を示す図であり、1つの画素に対応した領域を示す平面図である。

[図33]液晶表示装置200にVAモードを採用した場合の画素構造のさらに他の例を示す図であり、1つの画素に対応した領域を示す平面図である。

[図34]液晶表示装置200にFFSモードを採用した場合の画素構造の例を示す図であり、1つの画素に対応した領域を示す平面図である。

[図35]液晶表示装置200にFFSモードを採用した場合の画素構造の他の例を示す図であり、1つの画素に対応した領域を示す平面図である。

発明を実施するための形態

[0038] 以下、図面を参照しながら本発明の実施形態を説明する。なお、本発明は以下の実施形態に限定されるものではない。

[0039] (実施形態1)

図1および図2に、本実施形態におけるアクティブマトリクス基板100Aを示す。図1は、アクティブマトリクス基板100Aを模式的に示す平面図である。図2(a)、(b)および(c)は、それぞれ図1中の2A-2A'線、2B-2B'線および2C-2C'に沿った断面図である。

[0040] アクティブマトリクス基板100Aは、VAモードで表示を行う液晶表示装置に用いられる。液晶表示装置は、マトリクス状に配置された複数の画素を有しており、図1は、液晶表示装置の1つの画素に対応した領域を示している。

[0041] アクティブマトリクス基板100Aは、図1および図2(a)～(c)に示すように、基板10と、薄膜トランジスタ(TFT)20と、走査配線11と、信号配線12とを備える。

- [0042] 基板 10 は、透明で絶縁性を有する。基板 10 は、典型的にはガラス基板である。
- [0043] TFT20 は、基板 10 に支持されている。TFT20 は、半導体層 21、ゲート電極 22、ソース電極 23 およびド레인電極 24 を有する。本実施形態における TFT20 は、トップゲート型の TFT である。また、TFT20 は、ゲートを 2 つ有する（つまりゲート電極 22 が 2 つ設けられた）、いわゆるダブルゲート構造を有する。
- [0044] 走査配線（「ゲートバスライン」と呼ばれることもある）11 は、ある方向（第 1 方向）に略平行に延設されている。本実施形態では、第 1 方向は、液晶表示装置の表示面における水平方向である。走査配線 11 は、TFT20 のゲート電極 22 に電氣的に接続されている。
- [0045] 信号配線（「ソースバスライン」と呼ばれることもある）12 は、第 1 方向に直交する方向（第 2 方向）に略平行に延設されている。本実施形態では、第 2 方向は、液晶表示装置の表示面における垂直方向である。信号配線 12 は、TFT20 のソース電極 23 に電氣的に接続されている。
- [0046] 基板 10 の表面には、ベースコート層 13 が形成されており、ベースコート層 13 上に TFT20 の半導体層 21 が設けられている。半導体層 21 の材料としては、公知の種々の半導体材料を用いることができ、例えば、アモルファスシリコン、多結晶シリコン、連続粒界結晶シリコン（CGS: Continuous Grain Silicon）などを用いることができる。また、In-Ga-Zn-O 系半導体などの酸化物半導体を用いてもよい。
- [0047] 半導体層 21 を覆うように、ゲート絶縁層 14 が形成されており、ゲート絶縁層 14 上に走査配線 11 およびゲート電極 22 が設けられている。つまり、ゲート絶縁層 14 は、半導体層 21 とゲート電極 22 との間に設けられている。本実施形態では、走査配線 11 の、半導体層 21 に重なる部分が、ゲート電極 22 として機能する。
- [0048] 走査配線 11 やゲート電極 22 を覆うように、層間絶縁層 15 が設けられており、層間絶縁層 15 上に、信号配線 12、ソース電極 23 およびドレイ

ン電極 24 が設けられている。ゲート絶縁層 14 および層間絶縁層 15 には、半導体層 21 の一部を露出するコンタクトホール 32 および 33 が形成されている。前者のコンタクトホール 32 は、半導体層 21 にドレイン電極 24 を電氣的に接続するためのものである。本実施形態では、コンタクトホール 32 内でドレイン電極 24 が半導体層 21 に接していることにより、半導体層 21 とドレイン電極 24 とが互いに電氣的に接続されている。後者のコンタクトホール 33 は、半導体層 21 にソース電極 23 を電氣的に接続するためのものである。本実施形態では、コンタクトホール 33 内でソース電極 23 が半導体層 21 に接していることにより、半導体層 21 とソース電極 23 とが互いに電氣的に接続されている。

[0049] アクティブマトリクス基板 100A は、図 1 および図 2 (a) ~ (c) に示すように、層間絶縁層 16 と、下層電極 17 と、誘電体層 18 と、上層電極 19 とをさらに備える。

[0050] 層間絶縁層 16 は、TFT 20 を覆うように設けられている。より具体的には、層間絶縁層 16 は、信号配線 12 やソース電極 23、ドレイン電極 24 などの上に形成されている。以下では、相対的に上側に位置する層間絶縁層 16 を「第 1 層間絶縁層」と呼び、相対的に下側に位置する層間絶縁層 15 を「第 2 層間絶縁層」と呼ぶ。

[0051] 下層電極 17 は、第 1 層間絶縁層 16 上に設けられている。下層電極 17 は、すべての画素にわたって連続するように形成されている。ただし、下層電極 17 は、後述するコンタクトホール 31 近傍には形成されていない。

[0052] 誘電体層 18 は、下層電極 17 上に設けられている。

[0053] 上層電極 19 は、誘電体層 18 上に設けられている。上層電極 19 は、誘電体層 18 を介して下層電極 17 の少なくとも一部に重なる。上層電極 19 は、各画素ごとに独立に（分離して）形成されている。本実施形態では、上層電極 19 は、各画素の略全体を占めており、スリットや開口部が形成されていない、いわゆるべた電極である。また、上層電極 19 は、TFT 20 のドレイン電極 24 に電氣的に接続されており、TFT 20 を介して信号配線

11から表示信号電圧を供給される。つまり、上層電極19は、画素電極として機能する。

[0054] これに対し、下層電極17は、補助容量電圧（Cs電圧）を供給され、補助容量配線および補助容量電極として機能する。つまり、下層電極17および上層電極19と、これらの間に位置する誘電体層18とは、補助容量を構成する。画素電極として機能する上層電極19と補助容量電極として機能する下層電極17とは、それぞれ透明な導電材料（例えばITO）から形成されている。

[0055] 第1層間絶縁層16および誘電体層18には、ドレイン電極24の一部を露出するコンタクトホール31が形成されている。このコンタクトホール31は、ドレイン電極24に上層電極19を電氣的に接続するためのものである。本実施形態では、コンタクトホール31内で上層電極19がドレイン電極24と接していることにより、ドレイン電極24と上層電極19とが互いに電氣的に接続されている。

[0056] 以下では、ドレイン電極24に上層電極19を電氣的に接続するためのコンタクトホール31を「第1コンタクトホール」と呼ぶ。これに対し、半導体層21にドレイン電極24を電氣的に接続するためのコンタクトホール32を「第2コンタクトホール」と呼び、半導体層21にソース電極23を電氣的に接続するためのコンタクトホール33を「第3コンタクトホール」と呼ぶ。

[0057] 第1コンタクトホール31は、第1層間絶縁層16に形成された第1開口部16aと、誘電体層18に形成された第2開口部18aとを含んでいる。図1に示されているように、第1開口部16aの水平方向（第1方向）に沿った幅 W_{1H} は、第2開口部18aの水平方向に沿った幅 W_{2H} よりも小さい。また、第1開口部16aの垂直方向（第2方向）に沿った幅 W_{1V} は、第2開口部18aの垂直方向に沿った幅 W_{2V} よりも大きい。

[0058] さらに、基板10の法線方向から見たとき、第2開口部18aの輪郭の一部が、第1開口部16aの輪郭の内側に位置している。より具体的には、第

2開口部18aの輪郭は、水平方向に略平行な2つの辺であって、それぞれが部分的に第1開口部16aの輪郭の内側に位置している2つの辺（上辺および下辺）を含んでいる。このように、第2開口部18aの輪郭と、第1開口部16aの輪郭とは交差している。

[0059] ここで、図3（a）および（b）を参照しながら、第1開口部16aおよび第2開口部18aの形状・配置をより詳しく説明する。図3（a）および（b）は、第1開口部16aおよび第2開口部18aの近傍を拡大して示す図である。図3（a）では、第1開口部16aの輪郭を実線で示し、第2開口部18aの輪郭を破線で示している。これに対し、図3（b）では、第1開口部16aの輪郭を破線で示し、第2開口部18aの輪郭を実線で示している。

[0060] 基板10の法線方向から見たとき、第1開口部16aの輪郭は、図3（a）に示すように、矩形状である。これに対し、第2開口部18aの輪郭は、図3（b）に示すように、矩形状ではない。

[0061] 第2開口部18aは、第1開口部16aに重なる第1の部分18a1と、第1の部分18a1から延び、第1開口部16aに重ならない複数の第2の部分18a2とを有する。本実施形態では、第2開口部18aは、4つの第2の部分18a2を有する。4つの第2の部分18a2のうちの2つは、第1の部分18a1に対して水平方向（第1方向）における一側（左側）に位置し、残りの2つは、他側（右側）に位置する。より具体的には、前者の2つの第2の部分18a2は、第1の部分18a1の左上および左下から延びており、後者の2つの第2の部分18a2は、第1の部分18a1の右上および右下から延びている。

[0062] 従って、第2開口部18aの輪郭は、H字状である。そのため、第2開口部18aは、第2開口部18aのうちの第1開口部16aに重ならない部分の面積が、第2開口部18aの輪郭を、水平方向（第1方向）に沿った幅および垂直方向（第2方向）に沿った幅が第2開口部18aの輪郭と同じである矩形状と仮想した場合よりも小さくなるように形成されている、といえる

。

[0063] 本実施形態におけるアクティブマトリクス基板100Aでは、第1層間絶縁層16の第1開口部16aと、誘電体層18の第2開口部18aとが、上述したような形状・配置で形成されていることにより、製造可能な精細度を向上させることができ、従来よりも高い精細度での製造が可能となる。以下、この理由を、比較例を参照しながら説明する。

[0064] 図4および図5に、比較例1のアクティブマトリクス基板1000を示す。図4は、アクティブマトリクス基板1000を模式的に示す平面図であり、図5は、図4中の5A-5A'線に沿った断面図である。

[0065] 比較例1のアクティブマトリクス基板1000では、第1層間絶縁層16の第1開口部16aおよび誘電体層18の第2開口部18aの形状・配置が、本実施形態におけるアクティブマトリクス基板100Aの第1開口部16aおよび第2開口部18aの形状・配置と異なっている。

[0066] アクティブマトリクス基板1000では、上層電極19の段切れに伴う接続不良を回避するために、図4および図5に示すように、誘電体層18の第2開口部18aは、基板10の法線方向から見たときにその全体が第1層間絶縁層16の第1開口部16aの内側に位置するように形成されている。つまり、第2開口部18aの輪郭の全部が、第1開口部16aの輪郭の内側に位置している。従って、第1開口部16aの垂直方向（第2方向）に沿った幅 $W1_v$ が、第2開口部18aの垂直方向に沿った幅 $W2_v$ よりも大きいだけでなく、第1開口部16aの水平方向（第1方向）に沿った幅 $W1_h$ も、第2開口部18aの水平方向に沿った幅 $W2_h$ よりも大きい。

[0067] そのため、第1開口部16aのテーパ一部近傍を適切な遮光幅（第1開口部16aの輪郭からドレイン電極24の外縁までの距離）SWで遮光するためには、ドレイン電極24の水平方向に沿った幅 $W3_h$ も大きくする必要がある。従って、水平方向の画素ピッチと垂直方向の画素ピッチとの比（H/V比）が1：3である標準的な画素構成が採用されている場合、精細度が高くなると、水平方向の同層間スペースSを十分に確保することができなくなる

。そのため、比較例１のアクティブマトリクス基板１０００では、精細度に対する制限が発生し、高い精細度での製造が困難になる。具体的には、画素密度が３７０ｐｐｉ以上での製造が、困難になってしまう。

[0068] これに対し、本実施形態におけるアクティブマトリクス基板１００Ａでは、第１開口部１６ａの水平方向（第１方向）に沿った幅 W_{1H} が、第２開口部１８ａの水平方向に沿った幅 W_{2H} よりも小さいので、遮光幅 SW を従来と同じだけ確保したまま（つまり配向乱れによるコントラスト比の低下を伴うことなく）、ドレイン電極２４の水平方向に沿った幅 W_{3H} を小さくすることができる。そのため、十分な同層間スペース S を確保することができるので、製造可能な精細度（同層間でのリーク不良を増加させることのない上限値）を高くすることができる。具体的には、画素密度を４５０ｐｐｉ程度まで高くしても、十分に製造することができる。

[0069] なお、第１開口部１６ａの幅が第２開口部１８ａの幅よりも小さくなるような断面（ $W_{1H} < W_{2H}$ である図２（ａ）に示す断面）においては、第１コンタクトホール３１の側面形状の急峻化に起因する上層電極１９の段切れが発生する懸念がある。しかしながら、本実施形態におけるアクティブマトリクス基板１００Ａでは、第２開口部１８ａの輪郭の一部が、第１開口部１６ａの輪郭の内側に位置しており、第２開口部１８ａの輪郭が第１開口部１６ａの輪郭の内側に位置するような断面（図２（ｃ）に示す断面）においては上層電極１９の段切れの発生が抑制される。図２（ｃ）において、第１コンタクトホール３１の左側および右側の側面形状は、比較例１のアクティブマトリクス基板１０００と同じであることに注目されたい。そのため、その部分（第２開口部１８ａの輪郭のうち、第１開口部１６ａの輪郭の内側に位置する部分；ここでは第２開口部１８ａの輪郭の上辺および下辺の一部）を起点として上層電極１９とドレイン電極２４との接触面積を十分に（比較例１と同等以上に）確保することができるので、比較例１と同等以上の接続抵抗を実現することができる。

[0070] このように、本実施形態におけるアクティブマトリクス基板１００Ａでは

、比較例１のアクティブマトリクス基板１０００と同等の性能や接続抵抗を確保した上で、製造可能な精細度を向上させることができる。また、同一の画素ピッチ（つまり同一の精細度）で比較した場合には、本実施形態におけるアクティブマトリクス基板１００Ａでは、同層間スペースＳが拡大されるので、同層間でのリーク不良を低減させることができ、歩留りの向上を図ることができる。

[0071] さらに、本実施形態のアクティブマトリクス基板１００Ａでは、補助容量を構成する上層電極１９および下層電極１７がそれぞれ透明な導電材料から形成されているので、開口率を低下させることなく、十分な補助容量値を確保することができる。また、下層電極１７により、画素電極として機能する上層電極１９を、走査配線１１および信号配線１２から電氣的に遮蔽することができるので、上層電極１９と、走査配線１１や信号配線１２との間に静電容量（寄生容量）が形成されるのを防止することができる。そのため、走査配線１１や信号配線１２の負荷を低減させることができ、消費電力の低減も可能となる。

[0072] なお、上述した、製造可能な精細度を向上させ得るという効果は、図６および図７に示す比較例２のアクティブマトリクス基板１１００でも得られる。比較例２のアクティブマトリクス基板１１００は、第２開口部１８ａの輪郭が矩形状である点において、本実施形態におけるアクティブマトリクス基板１００Ａと異なっている。

[0073] そのため、比較例２のアクティブマトリクス基板１１００における第２開口部１８ａの水平方向に沿った幅 W_{2H} および垂直方向に沿った幅 W_{2V} と、本実施形態のアクティブマトリクス基板１００Ａにおける第２開口部１８ａの水平方向に沿った幅 W_{2H} および垂直方向に沿った幅 W_{2V} とが同じである場合、本実施形態のアクティブマトリクス基板１００Ａの第２開口部１８ａのうちの第１開口部１６ａに重ならない部分の面積は、比較例２のアクティブマトリクス基板１１００の第２開口部１８ａのうちの第１開口部１６ａに重ならない部分の面積よりも小さい。

- [0074] 比較例2のアクティブマトリクス基板1100においても、第1開口部16aの水平方向に沿った幅 W_{1H} は、第2開口部18aの水平方向に沿った幅 W_{2H} よりも小さい。また、基板10の法線方向から見たとき、第2開口部18aの輪郭の一部が、第1開口部16aの輪郭の内側に位置している。そのため、比較例2のアクティブマトリクス基板1100についても、本実施形態におけるアクティブマトリクス基板100Aについて説明したのと同じ理由から、製造可能な精細度を向上させることができる。
- [0075] しかしながら、比較例2のアクティブマトリクス基板1100では、誘電体層18（例えばSiNxから形成される）にドライエッチングにより第2開口部18aを形成する際に、第1層間絶縁層16（例えば感光性樹脂から形成される）の表面もエッチングされてしまい、エッチングされた領域上の液晶分子の配向が乱れる。さらに、そのような領域がド레인電極24および誘電体層18のエッチングシフトによってド레인電極24で十分に遮光されなくなると、光漏れが発生してしまう。
- [0076] 図8に、上述した理由によって光漏れが発生し得る領域R1を示す。図8に示すように、第2開口部18aのうち、第1開口部16aに重ならない部分が、光漏れの発生し得る領域R1となる。光漏れの発生は、表示品位の低下の原因となる。
- [0077] これに対し、本実施形態におけるアクティブマトリクス基板100Aでは、第2開口部18aのうちの第1開口部16aに重ならない部分の面積が、比較例2のアクティブマトリクス基板1100よりも小さいので、第1層間絶縁層16の表面のうち、誘電体層18に第2開口部18aを形成する際にエッチングされてしまう領域の面積が小さくなる。そのため、配向乱れおよび光漏れの発生による表示品位の低下が抑制される。
- [0078] なお、第2開口部18aが、第1開口部16aに重ならない第2の部分18a2を有していなければ（つまり第1の部分18a1のみを有していれば）、上述したようなエッチングされてしまう領域の面積はもっとも小さくなるが、以下に説明する理由から、第2開口部18aは、第2の部分18a2

を有していることが好ましい。

[0079] 図9 (a) に示すように、第2開口部18aが、第2の部分18a2を有しておらず、第1の部分18a1のみを有している場合を考える。このような第2開口部18aとドレイン電極24とが、図9 (b) に示すように、アライメントずれによって本来の位置関係からずれることがある。図9 (b) に示す例では、第2開口部18aは、本来の位置よりも右側にずれている。このずれによって第2開口部18aが第1開口部16aと重ならなくなった領域R2では、図9 (c) に示すように、上層電極19がドレイン電極24に接触しなくなり、コンタクト面積が大きく減少してしまう。

[0080] これに対し、本実施形態におけるアクティブマトリクス基板100Aのよう、第2開口部18aが、第1開口部16aに重ならない第2の部分18a2を有していると、図10 (a) および (b) に示すように、アライメントずれが発生しても、第2の部分18a2が存在することにより、コンタクト面積の減少を抑制することができる。また、図10 (a) および (b) からわかるように、複数の（ここでは4つの）第2の部分18a2のうちの少なくとも1つの（ここでは2つの）第2の部分18a2が第1の部分18a1に対して水平方向における一側に位置し、他の少なくとも1つの（ここでは残りの2つの）第2の部分18a2が他側に位置していることにより、水平方向におけるいずれの側に第2開口部18aがずれたとしてもコンタクト面積の減少を抑制することができる。

[0081] 続いて、図11～図14を参照しながら、本実施形態におけるアクティブマトリクス基板100Aの製造方法の例を説明する。図11～図14は、アクティブマトリクス基板100Aの製造方法を説明するための工程断面図である。図11の(a1)～(a3) および図12～図14の(a1)、(a2) は、図1中の2A-2A' 線に沿った断面に対応する。また、図11の(b1)～(b3) および図12～図14の(b1)、(b2) は、図1中の2B-2B' 線に沿った断面に対応し、図11の(c1)～(c3) および図12～図14の(c1)、(c2) は、図1中の2C-2C' 線に沿っ

た断面に対応する。

[0082] まず、図 11 (a1)、(b1) および (c1) に示すように、基板 10 上に、ベアコート層 13 を形成する。例えば、基板 10 としてガラス基板を用い、このガラス基板の表面に CVD 法によりベアコート層 13 として厚さ $50\text{ nm} \sim 100\text{ nm}$ の SiON 膜 (下層) と厚さ $50\text{ nm} \sim 200\text{ nm}$ の SiO_2 膜 (上層) との積層膜 (SiO_2/SiON 膜) を形成する。

[0083] 次に、図 11 (a2)、(b2) および (c2) に示すように、ベアコート層 13 上に半導体層 21 を形成する。例えば、公知の手法により、半導体層 21 として厚さ $30\text{ nm} \sim 60\text{ nm}$ の島状の多結晶シリコン (poly-Si) 層を形成する。

[0084] 続いて、図 11 (a3)、(b3) および (c3) に示すように、半導体層 21 を覆うゲート絶縁層 14 を形成する。例えば、CVD 法によりゲート絶縁層 14 として厚さ $50\text{ nm} \sim 100\text{ nm}$ の SiO_2 膜を形成する。その後、ここでは図示しないが、ゲート絶縁層 14 上に走査配線 11 およびゲート電極 22 を形成する。例えば、スパッタ法により厚さ $30\text{ nm} \sim 50\text{ nm}$ の TaN 膜 (下層) と厚さ $300\text{ nm} \sim 400\text{ nm}$ の W 膜 (上層) との積層膜を堆積し、この積層膜 (W/TaN 膜) をフォトリソグラフィ法によりパターニングすることによって、走査配線 11 およびゲート電極 22 を形成する。

[0085] 次に、図 12 (a1)、(b1) および (c1) に示すように、走査配線 11 およびゲート電極 22 を覆う第 2 層間絶縁層 15 を形成する。例えば、CVD 法により第 2 層間絶縁層 15 として厚さ $100\text{ nm} \sim 300\text{ nm}$ の SiN 膜 (下層) と厚さ $400\text{ nm} \sim 700\text{ nm}$ の SiO_2 膜 (上層) との積層膜 (SiO_2/SiN 膜) を形成する。その後、ゲート絶縁層 14 および第 2 層間絶縁層 15 に、半導体層 21 の一部を露出する第 2 コントラクトホール 32 および第 3 コントラクトホール 33 (ここでは不図示) をエッチングにより形成する。

[0086] 続いて、図 12 (a2)、(b2) および (c2) に示すように、第 2 層

間絶縁層 15 上に、信号配線 12、ソース電極 23（ここでは不図示）およびドレイン電極 24 を形成する。例えば、スパッタ法により厚さ 30 nm～50 nm の Ti 膜（下層）と、厚さ 300 nm～500 nm の Al 層（中間層）と、厚さ 30 nm～50 nm の Ti 膜（上層）との積層膜を堆積し、この積層膜（Ti / Al / Ti 膜）をフォトリソグラフィ法によりパターンニングすることによって、信号配線 12、ソース電極 23 およびドレイン電極 24 を形成する。このようにして、基板 10 上に、TFT 20 を形成することができる。

[0087] 次に、図 13（a1）、（b1）および（c1）に示すように、TFT 20 を覆う第 1 層間絶縁層 16 であって、第 1 開口部 16a を有する第 1 層間絶縁層 16 を形成する。第 1 層間絶縁層 16 は、樹脂等の有機材料からなる層を含むことが好ましい。例えば、第 1 層間絶縁層 16 として厚さ 2 μm～3 μm のポジ型の感光性樹脂膜を用いて、第 1 開口部 16a を有する第 1 層間絶縁層 16 を形成することができる。

[0088] 続いて、図 13（a2）、（b2）および（c2）に示すように、第 1 層間絶縁層 16 上に、下層電極（補助容量配線および補助容量電極として機能する）17 を形成する。例えば、スパッタ法により下層電極 17 として厚さ 50 nm～200 nm の ITO 膜を形成する。なお、後に第 1 コンタクトホール 31 となる領域近傍（つまり第 1 開口部 16a 近傍）においては下層電極 17 の導電膜は除去されている。

[0089] 次に、図 14（a1）、（b1）および（c1）に示すように、下層電極 17 上に、第 2 開口部 18a を有する誘電体層 18 を形成する。例えば、CVD 法により厚さ 100 nm～300 nm の SiNx 膜を堆積し、この SiNx 膜にエッチングにより第 2 開口部 18a を形成することにより、誘電体層 18 を形成する。

[0090] その後、図 14（a2）、（b2）および（c2）に示すように、誘電体層 18 上に、誘電体層 18 を介して下層電極 17 の少なくとも一部に重なる上層電極（画素電極として機能する）19 を形成する。例えば、スパッタ法

により厚さ50nm～200nmのITO膜を堆積し、このITO膜をフォトリソグラフィ法によりパターニングすることにより、上層電極19を形成する。上層電極19は、第1層間絶縁層16の第1開口部16aおよび誘電体層18の第2開口部18aを含む第1コンタクトホール31において、ドレイン電極24に電氣的に接続されている。

[0091] 第1層間絶縁層16を形成する工程および誘電体層18を形成する工程は、第1開口部16aの水平方向（第1方向）に沿った幅 W_{1H} が、第2開口部18aの水平方向に沿った幅 W_{2H} よりも小さくなるように実行される。また、これら2つの工程は、基板10の法線方向から見たとき、第2開口部18aの輪郭の一部が、第1開口部16の輪郭の内側に位置するように実行される。

[0092] さらに、これら2つの工程は、基板10の法線方向から見たとき、第2開口部18aの輪郭が矩形状ではなく、第2開口部18aのうちの第1開口部16aに重ならない部分の面積が、第2開口部18aの輪郭を、水平方向（第1方向）に沿った幅および垂直方向（第2方向）に沿った幅が第2開口部18aの輪郭と同じである矩形状と仮想した場合よりも小さくなるように実行される。

[0093] このようにして、本実施形態におけるアクティブマトリクス基板100Aを製造することができる。

[0094] なお、本実施形態では、第1開口部16aの水平方向（第1方向）に沿った幅 W_{1H} が、第2開口部18aの水平方向に沿った幅 W_{2H} よりも小さい場合を例示したが本発明はこれに限定されるものではない。本実施形態のように、ドレイン電極24が信号配線12と同一の導電膜から形成されている場合には、水平方向の同層間スペースを十分に確保するために、第1開口部16aの水平方向に沿った幅 W_{1H} を第2開口部18aの水平方向に沿った幅 W_{2H} よりも小さくすることが好ましいが、垂直方向の同層間スペースを十分に確保したい場合には、第1開口部16aの垂直方向（第2方向）に沿った幅を、第2開口部18aの垂直方向に沿った幅よりも小さくすればよい。つまり

、図1に示されている第1開口部16aおよび第2開口部18aを90°回転させた構成を採用してもよい。

[0095] また、本実施形態では、VAモードの液晶表示装置用の画素構造を例示したが、他の表示モードの液晶表示装置用の画素構造であっても、本発明を好適に用いることができ、例えば、FFSモードの液晶表示装置用の画素構造であってもよい。VAモードの液晶表示装置が、垂直配向型の液晶層を備えるのに対し、FFSモードの液晶表示装置は、水平配向型の液晶層を備える。また、画素内におけるドレイン電極24の位置にも制限はなく、図1等に例示したように画素の中央付近に限定されず、各表示モード用の画素構造（電極構造）に応じた最適な位置であってよい。

[0096] （実施形態2）

図15および図16に、本実施形態におけるアクティブマトリクス基板100Bを示す。図15は、アクティブマトリクス基板100Bを模式的に示す平面図である。図16(a)、(b)および(c)は、それぞれ図15中の16A-16A'線、16B-16B'線および16C-16C'線に沿った断面図である。

[0097] アクティブマトリクス基板100Bでは、実施形態1におけるアクティブマトリクス基板100Aと同様に、第1開口部16aの水平方向（第1方向）に沿った幅 W_{1H} が、第2開口部18aの水平方向に沿った幅 W_{2H} よりも小さく、また、基板10の法線方向から見たとき、第2開口部18aの輪郭の一部が、第1開口部16aの輪郭の内側に位置している。そのため、比較例1のアクティブマトリクス基板1000と同等の性能や接続抵抗を確保した上で、製造可能な精細度を向上させることができる。

[0098] また、アクティブマトリクス基板100Bにおいても、実施形態1におけるアクティブマトリクス基板100Aと同様に、第2開口部18aの輪郭は矩形状ではない。ただし、アクティブマトリクス基板100Bの第2開口部18aの形状は、実施形態1におけるアクティブマトリクス基板100Aの第2開口部18aの形状と異なっている。

[0099] ここで、図17(a)および(b)を参照しながら、第1開口部16aおよび第2開口部18aの形状・配置をより詳しく説明する。図17(a)および(b)は、第1開口部16aおよび第2開口部18aの近傍を拡大して示す図である。図17(a)では、第1開口部16aの輪郭を実線で示し、第2開口部18aの輪郭を破線で示している。これに対し、図17(b)では、第1開口部16aの輪郭を破線で示し、第2開口部18aの輪郭を実線で示している。

[0100] 基板10の法線方向から見たとき、第1開口部16aの輪郭は、図17(a)に示すように、矩形状である。これに対し、第2開口部18aの輪郭は、図17(b)に示すように、矩形状ではない。

[0101] 第2開口部18aは、第1開口部16aに重なる第1の部分18a1と、第1の部分18a1から延び、第1開口部16aに重ならない複数の第2の部分18a2とを有する。実施形態1におけるアクティブマトリクス基板100Aの第2開口部18aが4つの第2の部分18a2を有しているのに対し、本実施形態におけるアクティブマトリクス基板100Bの第2開口部18aは、2つの第2の部分18a2を有している。

[0102] 2つの第2の部分18a2のうちの1つは、第1の部分18a1に対して水平方向（第1方向）における一側（左側）に位置し、残りの1つは、他側（右側）に位置する。より具体的には、前者の第2の部分18a2は、第1の部分18a1の左上から延びており、後者の第2の部分18a2は、第1の部分18a1の右下から延びている。

[0103] 従って、第2開口部18aは、第2開口部18aのうちの第1開口部16aに重ならない部分の面積が、第2開口部18aの輪郭を、水平方向（第1方向）に沿った幅および垂直方向（第2方向）に沿った幅が第2開口部18aの輪郭と同じである矩形状と仮想した場合よりも小さくなるように形成されている、といえる。また、本実施形態のアクティブマトリクス基板100Bでは、第2開口部18aが有する第2の部分18a2が2つであるので、第2開口部18aが有する第2の部分18a2が4つである実施形態1にお

けるアクティブマトリクス基板１００と比べ、第１層間絶縁層１６の表面のうち、誘電体層１８に第２開口部１８ａを形成する際にエッチングされてしまう領域の面積がいっそう小さくなる。そのため、配向乱れおよび光漏れの発生による表示品位の低下がいっそう抑制される。

[0104] なお、２つの第２の部分１８ａ２のうち的一方の第２の部分１８ａ２が第１の部分１８ａ１に対して水平方向における一側に位置し、他方の第２の部分１８ａ２が他側に位置していることにより、水平方向におけるいずれの側に第２開口部１８ａがずれたとしてもコンタクト面積の減少を抑制することができる。

[0105] 図１８に、アライメントずれによって第２開口部１８ａとドレイン電極２４とが本来の位置関係からずれた場合を示す。図１８には、このずれによって第２開口部１８ａが第１開口部１６ａと重ならなくなった領域（つまりコンタクトがとれなくなった領域）Ｒ２と、光漏れが発生し得る領域Ｒ１とを併せて示している。図１８からもわかるように、アライメントずれによって第２開口部１８ａとドレイン電極２４とが本来の位置関係からずれた場合、領域Ｒ１の大きさと領域Ｒ２の大きさとはトレードオフの関係にある。

[0106] そのため、光漏れの発生を抑制する観点からは、本実施形態におけるアクティブマトリクス基板１００Ｂの第２開口部１８ａの形状の方が好ましく、コンタクト面積を大きくする観点からは、実施形態１におけるアクティブマトリクス基板１００Ａの第２開口部１８ａの形状の方が好ましいと言える。

[0107] （実施形態３）

図１９および図２０に、本実施形態におけるアクティブマトリクス基板１００Ｃを示す。図１９は、アクティブマトリクス基板１００Ｃを模式的に示す平面図である。図２０（ａ）、（ｂ）および（ｃ）は、それぞれ図１９中の２０Ａ－２０Ａ’線、２０Ｂ－２０Ｂ’線および２０Ｃ－２０Ｃ’線に沿った断面図である。

[0108] アクティブマトリクス基板１００Ｃでは、実施形態１におけるアクティブマトリクス基板１００Ａと同様に、第１開口部１６ａの水平方向（第１方向

）に沿った幅 W_{1H} が、第2開口部18aの水平方向に沿った幅 W_{2H} よりも小さく、また、基板10の法線方向から見たとき、第2開口部18aの輪郭の一部が、第1開口部16aの輪郭の内側に位置している。そのため、比較例1のアクティブマトリクス基板1000と同等の性能や接続抵抗を確保した上で、製造可能な精細度を向上させることができる。

[0109] また、アクティブマトリクス基板100Cにおいても、実施形態1におけるアクティブマトリクス基板100Aと同様に、第2開口部18aの輪郭は矩形状ではない。ただし、アクティブマトリクス基板100Cの第2開口部18aの形状は、実施形態1におけるアクティブマトリクス基板100Aの第2開口部18aの形状と異なっている。

[0110] ここで、図21(a)および(b)を参照しながら、第1開口部16aおよび第2開口部18aの形状・配置をより詳しく説明する。図21(a)および(b)は、第1開口部16aおよび第2開口部18aの近傍を拡大して示す図である。図21(a)では、第1開口部16aの輪郭を実線で示し、第2開口部18aの輪郭を破線で示している。これに対し、図21(b)では、第1開口部16aの輪郭を破線で示し、第2開口部18aの輪郭を実線で示している。

[0111] 基板10の法線方向から見たとき、第1開口部16aの輪郭は、図21(a)に示すように、矩形状である。これに対し、第2開口部18aの輪郭は、図21(b)に示すように、矩形状ではない。

[0112] 第2開口部18aの輪郭は、基板10の法線方向から見たとき、その一部が、第1開口部16aの輪郭の内側に位置している。より具体的には、第2開口部18aの輪郭は、水平方向に対して傾斜した2つの辺であって、それぞれが部分的に第1開口部16aの輪郭の内側に位置している2つの辺（上辺および下辺）を含んでいる。

[0113] また、第2開口部18aは、第1開口部16aに重なる第1の部分18a1と、第1の部分18a1から延び、第1開口部16aに重ならない複数の第2の部分18a2とを有する。本実施形態では、第2開口部18aは、4

つの第2の部分18a2を有する。4つの第2の部分18a2のうちの2つは、第1の部分18a1に対して水平方向（第1方向）における一側（左側）に位置し、残りの2つは、他側（右側）に位置する。より具体的には、前者の2つの第2の部分18a2は、第1の部分18a1の左上および左下から延びており、後者の2つの第2の部分18a2は、第1の部分18a1の右上および右下から延びている。

[0114] 上述したように、第2開口部18aの輪郭は、水平方向に対して傾斜した上辺および下辺を含んでいるので、第1の部分18a1は、矩形ではない平行四辺形状（ここでは矩形ではないひし形状）である。

[0115] 従って、第2開口部18aの輪郭は、水平方向および垂直方向に対して傾斜したH字状である。そのため、第2開口部18aは、第2開口部18aのうちの第1開口部16aに重ならない部分の面積が、第2開口部18aの輪郭を、水平方向（第1方向）に沿った幅および垂直方向（第2方向）に沿った幅が第2開口部18aの輪郭と同じである矩形状と仮想した場合よりも小さくなるように形成されている、といえる。それ故、配向乱れおよび光漏れの発生による表示品位の低下が抑制される。

[0116] なお、本実施形態における第2開口部18aは、第2開口部18aのうちの第1開口部16aに重ならない部分の面積が、第2開口部18aの輪郭を、水平方向（第1方向）に沿った幅および垂直方向（第2方向）に沿った幅が第2開口部18aの輪郭と同じである（矩形ではない）平行四辺形状と仮想した場合（つまり第1の部分18a1に対して同じ側に位置する2つの第2の部分18a1が連続していると仮想した場合）よりも小さくなるように形成されている、ともいえる。

[0117] 図22に、アライメントずれによって第2開口部18aとドレイン電極24とが本来の位置関係からずれた場合を示す。図22には、このずれによって第2開口部18aが第1開口部16aと重ならなくなった領域（つまりコンタクトがとれなくなった領域）R2と、光漏れが発生し得る領域R1とを併せて示している。図22からもわかるように、アライメントずれによって

第2開口部18aとドレイン電極24とが本来の位置関係からずれた場合、領域R1の大きさと領域R2の大きさとはトレードオフの関係にある。

[0118] (実施形態4)

図23および図24に、本実施形態におけるアクティブマトリクス基板100Dを示す。図23は、アクティブマトリクス基板100Dを模式的に示す平面図である。図24(a)および(b)は、それぞれ図23中の24A-24A'線および24B-24B'線に沿った断面図である。

[0119] アクティブマトリクス基板100Dでは、実施形態1におけるアクティブマトリクス基板100Aと同様に、第1開口部16aの水平方向(第1方向)に沿った幅 W_{1H} が、第2開口部18aの水平方向に沿った幅 W_{2H} よりも小さく、また、基板10の法線方向から見たとき、第2開口部18aの輪郭の一部が、第1開口部16aの輪郭の内側に位置している。そのため、比較例1のアクティブマトリクス基板1000と同等の性能や接続抵抗を確保した上で、製造可能な精細度を向上させることができる。

[0120] また、アクティブマトリクス基板100Dにおいても、実施形態1におけるアクティブマトリクス基板100Aと同様に、第2開口部18aの輪郭は矩形状ではない。ただし、アクティブマトリクス基板100Dの第2開口部18aの形状は、実施形態1におけるアクティブマトリクス基板100Aの第2開口部18aの形状と異なっている。

[0121] ここで、図25(a)および(b)を参照しながら、第1開口部16aおよび第2開口部18aの形状・配置をより詳しく説明する。図25(a)および(b)は、第1開口部16aおよび第2開口部18aの近傍を拡大して示す図である。図25(a)では、第1開口部16aの輪郭を実線で示し、第2開口部18aの輪郭を破線で示している。これに対し、図25(b)では、第1開口部16aの輪郭を破線で示し、第2開口部18aの輪郭を実線で示している。

[0122] 基板10の法線方向から見たとき、第1開口部16aの輪郭は、図25(a)に示すように、矩形状である。これに対し、第2開口部18aの輪郭は

、図25(b)に示すように、矩形状ではない。

[0123] 第2開口部18aの輪郭は、基板10の法線方向から見たとき、その一部が、第1開口部16aの輪郭の内側に位置している。より具体的には、第2開口部18aの輪郭は、水平方向に略平行な2つの辺であって、それぞれが部分的に第1開口部16aの輪郭の内側に位置している2つの辺（上辺および下辺）を含んでいる。

[0124] また、第2開口部18aは、第1開口部16aに重なる第1の部分18a1と、第1の部分18a1から延び、第1開口部16aに重ならない複数の第2の部分18a2とを有する。本実施形態では、第2開口部18aは、2つの第2の部分18a2を有する。2つの第2の部分18a2のうちの一方は、第1の部分18a1に対して水平方向（第1方向）における一側（左側）に位置し、他方は、他側（右側）に位置する。より具体的には、前者の第2の部分18a2は、第1の部分18a1の左から延びる三角形形状であり、後者の第2の部分18a2は、第1の部分18a1の右から延びる三角形形状である。

[0125] 従って、第2開口部18aの輪郭は、矩形ではない平行四辺形状である。そのため、第2開口部18aは、第2開口部18aのうちの第1開口部16aに重ならない部分の面積が、第2開口部18aの輪郭を、水平方向（第1方向）に沿った幅および垂直方向（第2方向）に沿った幅が第2開口部18aの輪郭と同じである矩形状と仮想した場合よりも小さくなるように形成されている、といえる。それ故、配向乱れおよび光漏れの発生による表示品位の低下が抑制される。

[0126] また、本実施形態におけるアクティブマトリクス基板100Dでは、第2開口部18aの輪郭が、矩形ではない平行四辺形状であり、H字状に比べて単純な形状であるので、フォトリソ（誘電体層18に第2開口部18aを形成するためのフォトリソ）の設計上有利である。

[0127] 図26に、アライメントずれによって第2開口部18aとドレイン電極24とが本来の位置関係からずれた場合を示す。図26には、このずれによ

て第2開口部18aが第1開口部16aと重ならなくなった領域（つまりコンタクトがとれなくなった領域）R2と、光漏れが発生し得る領域R1とを併せて示している。図26からもわかるように、アライメントずれによって第2開口部18aとドレイン電極24とが本来の位置関係からずれた場合、領域R1の大きさと領域R2の大きさとはトレードオフの関係にある。

[0128] （実施形態5）

図27および図28に、本実施形態におけるアクティブマトリクス基板100Eを示す。図27は、アクティブマトリクス基板100Eを模式的に示す平面図であり、図28（a）、（b）および（c）は、それぞれ図27中の28A-28A'線、28B-28B'線および28C-28C'線に沿った断面図である。

[0129] 本実施形態におけるアクティブマトリクス基板100Eは、ゲート絶縁層14および第2層間絶縁層15に形成されている第2コンタクトホール32の配置が、実施形態1におけるアクティブマトリクス基板100Aと異なっている。

[0130] 実施形態1のアクティブマトリクス基板100Aでは、図1および図2（c）に示されているように、基板10の法線方向から見たとき、第2コンタクトホール32は、第1コンタクトホール31に重なっていない。

[0131] これに対し、本実施形態におけるアクティブマトリクス基板100Eでは、図27および図28（c）に示されているように、基板10の法線方向から見たとき、第2コンタクトホール32の少なくとも一部が、第1コンタクトホール31に重なっている。また、基板10の法線方向から見たとき、第1コンタクトホール31の中心と、第2コンタクトホール32の中心とは、ずれている。

[0132] 本実施形態におけるアクティブマトリクス基板100Eでは、上述したように、第2コンタクトホール32の少なくとも一部が、第1コンタクトホール31に重なっているため、ドレイン電極24のサイズをさらに小さくすることができる。そのため、開口率のいっそうの向上を図ることができる。

[0133] なお、本実施形態のように、第2コンタクトホール32の少なくとも一部が第1コンタクトホール31に重なる構成を採用する場合、図27および図28(c)に例示しているように、第1コンタクトホール31の中心と、第2コンタクトホール32の中心とは、ずれていることが好ましい。第1コンタクトホール31の中心と、第2コンタクトホール32の中心とが一致していると、誘電体層18に第2開口部18aを形成する際に、エッチング膜厚が極端に増加して、誘電体層18を開口できない可能性が生じるからである。

[0134] また、上記実施形態1～5では、トップゲート型のTF-T20を例示したが、本発明はこれに限定されるものではない。TF-T20として、ボトムゲート型のTF-Tを用いてもよい。その場合、ゲート絶縁層14は、ゲート電極22を覆うように設けられる。また、第2層間絶縁層15は、半導体層21を覆うように設けられる。さらに、第2コンタクトホール32は、ゲート絶縁層14には形成されず、第2層間絶縁層15のみに形成される。

[0135] (液晶表示装置の構成)

ここで、実施形態1～5のアクティブマトリクス基板100A～100Eが用いられ得る液晶表示装置の具体的な構成を説明する。

[0136] 図29に示す液晶表示装置200は、アクティブマトリクス基板100と、対向基板110と、液晶層120とを備える。

[0137] アクティブマトリクス基板100は、例えば、実施形態1～5のアクティブマトリクス基板100A～100Eのいずれかである。

[0138] 対向基板110は、アクティブマトリクス基板100に対向するように配置されている。対向基板110には、典型的には、カラーフィルタ（不図示）が設けられている。また、液晶層120に対して縦電界が印加される表示モード（例えばVAモード）では、対向基板110には、画素電極（図1などに示す上層電極19）に対向する対向電極（共通電極；不図示）が設けられている。液晶層120に対して横電界が印加される表示モード（例えばFFSモード）では、アクティブマトリクス基板100に共通電極が設けられ

ている。例えば、２層電極構造における下層電極１７を共通電極として機能させることができる。

[0139] 液晶層１２０は、アクティブマトリクス基板１００および対向基板１１０の間に設けられている。液晶層１２０としては、ＶＡモードでは垂直配向型の液晶層が用いられ、ＦＦＳモードでは水平配向型の液晶層が用いられる。

[0140] アクティブマトリクス基板１００および対向基板１１０のそれぞれの液晶層１２０側の表面には、配向膜１３０ａおよび１３０ｂが設けられている。配向膜１３０ａおよび１３０ｂとしては、表示モードに応じて、垂直配向膜または水平配向膜が用いられる。

[0141] また、典型的には、液晶層１２０を介して互いに対向する一对の偏光板が設けられている。さらに、必要に応じて、液晶層１２０の背面側および／または観察者側に、位相差板が設けられている。

[0142] 以下、液晶表示装置２００にＶＡモードやＦＦＳモードを採用した場合における、具体的な画素構造の例を説明する。以下に説明する例では、アクティブマトリクス基板１００における、第１開口部１６ａおよび第２開口部１８ａの形状・配置は、実施形態１におけるアクティブマトリクス基板１００Ａと同じである。

[0143] 図３０に、ＶＡモードを採用した場合の画素構造の例を示す。図３０に示す例では、画素電極として機能する上層電極１９は、いわゆるべた電極である。アクティブマトリクス基板１００上には、複数の柱状スペーサ４１が形成されている。各柱状スペーサ４１は、走査配線１１と信号配線１２との交差部に配置されている。つまり、各画素の４隅に、都合４つの柱状スペーサ４１が配置されている。また、対向基板１１０の対向電極には、各画素の中心に対応する領域に開口部４３が形成されている。

[0144] 柱状スペーサ４１は、その側面に対して液晶分子を垂直に配向させるような配向規制力を有する。また、対向電極の開口部４３は、電圧印加時にそのエッジに直交する方向に液晶分子を倒すような配向規制力を発現させる。そのため、液晶層１２０に電圧が印加されると、各画素には、軸対称配向（放

射状傾斜配向)をとる液晶ドメインが形成される。図16には、電圧印加時における液晶分子の配向方向が矢印Dで示されている。1つの液晶ドメイン内では、液晶分子は、ほぼ全方位に配向するので、良好な視角特性が得られる。

[0145] 図31に、VAモードを採用した場合の画素構造の他の例を示す。図31に示す例においても、対向基板110の対向電極には、各画素の中心に対応する領域に開口部43が形成されている。ただし、図31に示す例では、アクティブマトリクス基板100上ではなく対向基板110上に、複数の柱状スペーサ42が形成されている。また、各柱状スペーサ42は、信号配線12に重なるように配置されており、垂直方向において各画素の中心付近に位置している。

[0146] 図31に示す例においても、液晶層120に電圧が印加されると、柱状スペーサ42の配向規制力と、対向電極の開口部43の配向規制力とによって、各画素に軸対称配向の液晶ドメインが形成される。アクティブマトリクス基板100上に形成された柱状スペーサ41と、対向基板110上に形成された柱状スペーサ42とでは、液晶分子に及ぼす配向規制力の方向が異なるので、その違いに応じて、アクティブマトリクス基板100上に形成された柱状スペーサ41と、対向基板110上に形成された柱状スペーサ42とでは、平面的な配置が異なっている。

[0147] また、図31に示す例では、画素電極として機能する上層電極19の左上角部および左下角部に切欠き部19cが形成されている。これは、画素間に形成される配向中心の位置を規制して表示品位を向上するためである。液晶層120への電圧印加時には、対向電極の開口部43の中央(画素の中央)だけでなく、上下方向(表示面の垂直方向)に隣接する2つの画素の間にも配向中心が形成される。この画素間の配向中心を形成するための配向規制力は、セル厚や、画素電極の電極パターンの仕上がり、プレチルト角(特開2002-357830号公報に開示されているようなPSA技術を適用した場合)等の諸条件の影響によって弱まることがあるので、左右方向における

配向中心の位置が画素単位でばらつくことがある。このばらつきは、表示のざらつきや、左右方向に視角を倒したときの色味異常のような表示品位の低下の原因となる。上層電極 19 に切欠き部 19 c を形成することにより、上下画素間における配向中心の位置を規制することができる。具体的には、上述したように切欠き部 19 c が上層電極 19 の左側（左上角部および左下角部）に形成されていると、画素電極同士（上層電極 19 同士）の間隔が狭い側（つまり切欠き部 19 c が形成されていない右側）に配向中心を固定することができる。

[0148] なお、図 3 1 に示す例では、走査配線 1 1 が、画素の中心付近を横切るように配置されているが、走査配線 1 1 の位置はこれに限定されるものではない。ただし、対向基板 1 1 0 上に柱状スペーサ 4 2 が形成されている場合、柱状スペーサ 4 2 近傍での光漏れを防止するために、対向基板 1 1 0 側に水平方向に延びる帯状のブラックマトリクス（遮光層）を設けて柱状スペーサ 4 2 の周囲 $3\ \mu\text{m}$ ～ $5\ \mu\text{m}$ の領域を遮光することが好ましい。そのため、図 3 1 に示すように、走査配線 1 1 を、画素の中心付近を横切るように配置し、対向基板 1 1 0 側のブラックマトリクスに重ねることにより、高開口率を実現することができる。

[0149] 図 3 2 および図 3 3 に、VA モードを採用した場合の画素構造のさらに他の例を示す。図 3 2 および図 3 3 に示す例では、アクティブマトリクス基板 1 0 0 上に、複数の柱状スペーサ 4 1 が形成されている。各柱状スペーサ 4 1 は、走査配線 1 1 と信号配線 1 2 との交差部に配置されている。つまり、各画素の 4 隅に、都合 4 つの柱状スペーサ 4 1 が配置されている。また、対向基板 1 1 0 の対向電極には、各画素の中心に対応する領域に開口部 4 3 が形成されている。

[0150] さらに、図 3 2 および図 3 3 に示す例では、画素電極として機能する上層電極 19 は、複数のスリット 19 s を有する。図 3 2 に示す例では、複数のスリット 19 s は、水平方向および垂直方向に対して 45° の角をなす方向に略平行に延びている。また、図 3 3 に示す例では、複数のスリット 19 s

は、垂直方向に略平行に延びている。これらのスリット 19 s は、電圧印加時に、スリット 19 s の延設方向に対して略平行に液晶分子を倒すような配向規制力を発現させる。

[0151] 図 3 2 および図 3 3 に示す例では、液晶層 1 2 0 に電圧が印加されると、柱状スペーサ 4 1 の配向規制力と、対向電極の開口部 4 3 の配向規制力と、上層電極（画素電極） 1 9 の複数のスリット 19 s の配向規制力とによって、配向規制が行われる。図 3 2 および図 3 3 に示す例では、図 3 0 に示す例と比較すると、上層電極 1 9 の複数のスリット 19 s による配向規制力が付加される分、配向状態をより安定化させることができ、また、応答速度を向上させることができる。また、図 3 2 および図 3 3 に示す例では、上層電極 1 9 の、スリット 19 s が形成されている領域（画素の上側に位置する部分および下側に位置する部分）と、スリット 19 s が形成されていない領域（画素の中央に位置する部分）とで、液晶層 1 2 0 への実効的な印加電圧が異なる。そのため、1 つの画素内に、複数の異なる γ 特性（表示輝度の階調依存性）を混在させ、それらを合成して表示を行うことができるので、 γ 特性の視角依存性を低減することができる。 γ 特性の視角依存性とは、正面方向から観測したときの γ 特性と斜め方向から観測したときの γ 特性とが異なるという問題点であり、中間調表示を斜め方向から観察したときの色変化（「白浮き」や「カラーシフト」と呼ばれる。）として視認される。

[0152] 図 3 4 および図 3 5 に、FFS モードを採用した場合の画素構造の例を示す。図 3 4 および図 3 5 に示す例では、画素電極として機能する上層電極 1 9 は、複数のスリット 19 s を有する。複数のスリット 19 s は、垂直方向に略平行に延びている。また、下層電極 1 7 は、共通電極として機能する。

[0153] 図 3 4 および図 3 5 に示す例では、上層電極 1 9 と下層電極 1 7 との間に電位差が与えられると、横電界（斜め電界）が生成され、横電界によって液晶分子の配向状態が制御される。液晶層 1 2 0 に横電界が印加される表示モードでは、液晶分子の配向方向が表示面内（液晶層 1 2 0 の層面内）で変化するので、良好な視角特性が得られる。

[0154] なお、図34に示す例では、アクティブマトリクス基板100上に複数の柱状スペーサ41が形成されているのに対し、図35に示す例では、対向基板110上に複数の柱状スペーサ42が形成されている。

産業上の利用可能性

[0155] 本発明の実施形態によると、2層電極構造を有しているにもかかわらず従来よりも高い精細度で製造し得るアクティブマトリクス基板を提供することができる。

符号の説明

- [0156]
- | | |
|------|--------------------|
| 10 | 基板 |
| 11 | 走査配線 |
| 12 | 信号配線 |
| 13 | ベースコート層 |
| 14 | ゲート絶縁層 |
| 15 | 第2層間絶縁層 |
| 16 | 第1層間絶縁層 |
| 16a | 第1開口部（第1層間絶縁層の開口部） |
| 17 | 下層電極 |
| 18 | 誘電体層 |
| 18a | 第2開口部（誘電体層の開口部） |
| 18a1 | 第2開口部の第1の部分 |
| 18a2 | 第2開口部の第2の部分 |
| 19 | 上層電極（画素電極） |
| 19s | スリット |
| 20 | 薄膜トランジスタ（TFT） |
| 21 | 半導体層 |
| 22 | ゲート電極 |
| 23 | ソース電極 |
| 24 | ドレイン電極 |

3 1 第 1 コンタクトホール

3 2 第 2 コンタクトホール

3 3 第 3 コンタクトホール

4 1、4 2 柱状スペーサ

4 3 対向電極の開口部

1 0 0、1 0 0 A、1 0 0 B アクティブマトリクス基板

1 0 0 C、1 0 0 D、1 0 0 E アクティブマトリクス基板

請求の範囲

[請求項1]

基板と、

前記基板に支持され、半導体層、ゲート電極、ソース電極およびドレイン電極を有する薄膜トランジスタと、

第1方向に略平行に延設され、前記薄膜トランジスタの前記ゲート電極に電氣的に接続された走査配線と、

前記第1方向に直交する第2方向に略平行に延設され、前記薄膜トランジスタの前記ソース電極に電氣的に接続された信号配線と、

前記薄膜トランジスタを覆うように設けられた第1層間絶縁層と、

前記第1層間絶縁層上に設けられた下層電極と、

前記下層電極上に設けられた誘電体層と、

前記誘電体層上に設けられ、前記誘電体層を介して前記下層電極の少なくとも一部に重なる上層電極と、

を備え、

前記第1層間絶縁層および前記誘電体層には、前記ドレイン電極の一部を露出する第1コンタクトホールであって、前記ドレイン電極に前記上層電極を電氣的に接続するための第1コンタクトホールが形成されており、

前記第1コンタクトホールは、前記第1層間絶縁層に形成された第1開口部と、前記誘電体層に形成された第2開口部とを含み、

前記第1開口部の、前記第1方向および前記第2方向のうちの一方の方向に沿った幅は、前記第2開口部の、前記一方の方向に沿った幅よりも小さく、

前記基板の法線方向から見たとき、

前記第2開口部の輪郭の一部が、前記第1開口部の輪郭の内側に位置しており、

前記第2開口部の輪郭は、矩形状ではなく、

前記第2開口部のうちの前記第1開口部に重ならない部分の面積

は、前記第2開口部の輪郭を、前記第1方向に沿った幅および前記第2方向に沿った幅が前記第2開口部の輪郭と同じである矩形状と仮想した場合よりも小さいアクティブマトリクス基板。

[請求項2] 前記基板の法線方向から見たとき、前記第1開口部の輪郭は、矩形状である請求項1に記載のアクティブマトリクス基板。

[請求項3] 前記基板の法線方向から見たとき、前記第2開口部は、前記第1開口部に重なる第1の部分と、前記第1の部分から延び、前記第1開口部に重ならない複数の第2の部分とを有し、

前記複数の第2の部分は、前記第1の部分に対して前記一方の方向における一側に位置する少なくとも1つの第2の部分と、他側に位置する他の少なくとも1つの第2の部分とを含む請求項1または2に記載のアクティブマトリクス基板。

[請求項4] 前記複数の第2の部分は、4つの第2の部分であり、

前記4つの第2の部分のうちの2つは、前記第1の部分に対して前記一方の方向における一側に位置し、残りの2つは、他側に位置する請求項3に記載のアクティブマトリクス基板。

[請求項5] 前記基板の法線方向から見たとき、前記第2開口部の輪郭は、H字状である請求項1から4のいずれかに記載のアクティブマトリクス基板。

[請求項6] 前記複数の第2の部分は、2つの第2の部分であり、

前記2つの第2の部分のうちの1つは、前記第1の部分に対して前記一方の方向における一側に位置し、残りの1つは、他側に位置する請求項3に記載のアクティブマトリクス基板。

[請求項7] 前記基板の法線方向から見たとき、前記第2開口部の輪郭は、平行四辺形状である請求項1から3および6のいずれかに記載のアクティブマトリクス基板。

[請求項8] 前記基板の法線方向から見たとき、前記第2開口部の輪郭は、前記一方の方向に略平行な2つの辺であって、それぞれが部分的に前記第

1 開口部の輪郭の内側に位置している 2 つの辺を含む請求項 1 から 7 のいずれかに記載のアクティブマトリクス基板。

[請求項9] 前記基板の法線方向から見たとき、前記第 2 開口部の輪郭は、前記一方の方向に対して傾斜した 2 つの辺であって、それぞれが部分的に前記第 1 開口部の輪郭の内側に位置している 2 つの辺を含む請求項 1 から 7 のいずれかに記載のアクティブマトリクス基板。

[請求項10] 前記第 1 開口部の、前記第 1 方向および前記第 2 方向のうちの他方の方向に沿った幅は、前記第 2 開口部の、前記他方の方向に沿った幅よりも大きい請求項 1 から 9 のいずれかに記載のアクティブマトリクス基板。

[請求項11] 前記半導体層と前記ゲート電極との間に設けられたゲート絶縁層と、

前記ゲート電極または前記半導体層を覆うように設けられた第 2 層間絶縁層と、

をさらに備え、

前記ゲート絶縁層および前記第 2 層間絶縁層のうちの少なくとも前記第 2 層間絶縁層には、前記半導体層の一部を露出する第 2 コンタクトホールであって、前記半導体層に前記ドレイン電極を電氣的に接続するための第 2 コンタクトホールが形成されており、

前記基板の法線方向から見たとき、前記第 2 コンタクトホールの少なくとも一部が、前記第 1 コンタクトホールに重なっている請求項 1 から 10 のいずれかに記載のアクティブマトリクス基板。

[請求項12] 前記上層電極および前記下層電極は、それぞれ透明な導電材料から形成されている請求項 1 から 11 のいずれかに記載のアクティブマトリクス基板。

[請求項13] 前記第 1 開口部の前記第 1 方向に沿った幅は、前記第 2 開口部の前記第 1 方向に沿った幅よりも小さい請求項 1 から 12 のいずれかに記載のアクティブマトリクス基板。

- [請求項14] 前記薄膜トランジスタの前記半導体層として酸化物半導体が用いられている請求項1から13のいずれかに記載のアクティブマトリクス基板。
- [請求項15] 前記酸化物半導体は In-Ga-Zn-O 系半導体である請求項14に記載のアクティブマトリクス基板。
- [請求項16] 請求項1から15のいずれかに記載のアクティブマトリクス基板と、
、
前記アクティブマトリクス基板に対向するように配置された対向基板と、
前記アクティブマトリクス基板および前記対向基板の間に設けられた液晶層と、
を備える液晶表示装置。
- [請求項17] マトリクス状に配置された複数の画素を有し、
前記上層電極は、画素電極として機能する請求項16に記載の液晶表示装置。
- [請求項18] 半導体層、ゲート電極、ソース電極およびドレイン電極を有する薄膜トランジスタと、
第1方向に略平行に延設され、前記薄膜トランジスタの前記ゲート電極に電氣的に接続された走査配線と、
前記第1方向に直交する第2方向に略平行に延設され、前記薄膜トランジスタの前記ソース電極に電氣的に接続された信号配線と、を備えるアクティブマトリクス基板の製造方法であって、
基板上に、前記薄膜トランジスタを形成する工程（A）と、
前記薄膜トランジスタを覆う層間絶縁層であって、第1開口部を有する層間絶縁層を形成する工程（B）と、
前記層間絶縁層上に、下層電極を形成する工程（C）と、
前記下層電極上に、第2開口部を有する誘電体層を形成する工程（D）と、

前記誘電体層上に、前記誘電体層を介して前記下層電極の少なくとも一部に重なる上層電極であって、前記第1開口部および前記第2開口部を含むコンタクトホールにおいて前記ドレイン電極に電氣的に接続された上層電極を形成する工程（E）と、
を包含し、

前記工程（B）および前記工程（D）は、前記第1開口部の、前記第1方向および前記第2方向のうちの一方の方向に沿った幅が、前記第2開口部の、前記一方の方向に沿った幅よりも小さく、且つ、前記基板の法線方向から見たとき、前記第2開口部の輪郭の一部が、前記第1開口部の輪郭の内側に位置するように実行され、

前記工程（B）および前記工程（D）は、さらに、前記基板の法線方向から見たとき、前記第2開口部の輪郭が矩形状ではなく、前記第2開口部のうちの前記第1開口部に重ならない部分の面積が、前記第2開口部の輪郭を、前記第1方向に沿った幅および前記第2方向に沿った幅が前記第2開口部の輪郭と同じである矩形状と仮想した場合よりも小さくなるように実行されるアクティブマトリクス基板の製造方法。