

半导体结构及其制造方法、存储芯片、电子设备

交叉引用

[0001] 本申请引用于 2022 年 6 月 21 日递交的名称为“半导体结构及其制造方法、存储芯片、电子设备”的第 202210723121.3 号中国专利申请，其通过引用被全部并入本申请。

技术领域

[0002] 本公开实施例属于半导体领域，具体涉及半导体结构及其制造方法、存储芯片、电子设备。

背景技术

[0003] 半导体结构包括多个存储单元，存储单元需要与外围电路连接以执行存储功能。半导体结构的集成度越高，则其可容纳的存储单元的数目越多，半导体结构的性能也更为优异。然而，目前半导体结构内的空间浪费较多；此外，受制于物理特性的因素，存储单元的体积已达到缩放极限；受制于工艺因素，存储单元的堆叠层数也难以提高。

[0004] 因此，亟需一种新架构的半导体结构，以提高半导体结构的集成度。

发明内容

[0005] 本公开实施例提供一种半导体结构及其制造方法、存储芯片、电子设备，至少有利于提高半导体结构的集成度。

[0006] 根据本公开一些实施例，本公开实施例一方面提供一种半导体结构，其中，半导体结构包括：基底，所述基底上具有堆叠结构，所述堆叠结构包括在第一方向排列的多个存储单元组，所述存储单元组包括在第二方向排列的多层存储单元；多个引线柱，其中，至少两个所述引线柱分别与不同存储单元组中的不同层的所述存储单元相连。

[0007] 根据本公开一些实施例，本公开实施例另一方面还提供一种半导体结构的制造方法，制造方法包括：提供基底，在所述基底上形成堆叠结构，所述堆叠结构包括在第一方向排列的多个存储单元组，所述存储单元组包括在第二方向排列的多层存储单元；形成多个引线柱，其中，至少两个所述引线柱分别与不同存储单元组中的不同层的所述存储单元相连。

[0008] 根据本公开一些实施例，本公开实施例另一方面还提供一种半导体结构，其中，半导体结构包括：基底，所述基底上具有堆叠结构，所述堆叠结构包括在第一方向排列的多个存储单元组，所述存储单元组包括在第二方向排列的多层存储单元；多个引线柱，其中，至少两个所述引线柱连接同一所述存储单元组中的不同存储单元。

[0009] 根据本公开一些实施例，本公开实施例另一方面还提供一种存储芯片，存储芯片包括如前所述的半导体结构。

[0010] 根据本公开一些实施例，本公开实施例另一方面还提供一种电子设备，电子设备包括如前所述的存储芯片。

[0011] 本公开实施例提供的技术方案至少具有以下优点：

[0012] 在本公开实施例提供的半导体结构中，至少两个引线柱中与存储单元组中的不同层的存储单元相连。也就是说，将至少两个引线柱直接与存储单元相连，从而有利于减少台阶个数或者不再单独设置台阶区，以提高半导体结构的集成度。

附图说明

- 5 [0013] 此处的附图被并入说明书中并构成本说明书的一部分，示出了符合本公开的实施例，并与说明书一起用于解释本公开的原理。显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。
- [0014] 图 1 示出了一种半导体结构的俯视图；
- 10 [0015] 图 2 示出了图 1 的局部放大图；
- [0016] 图 3 示出了图 2 在 A-A1 方向上的剖面图；
- [0017] 图 4 示出了本公开实施例提供的堆叠结构的示意图；
- [0018] 图 5-图 11 分别示出了本公开实施例提供的七种不同半导体结构的局部俯视图；
- 15 [0019] 图 12 示出了本公开实施例提供的一种存储单元组的示意图；
- [0020] 图 13 示出了本公开实施例提供的一种半导体结构的局部侧视示意图；
- [0021] 图 14 示出了本公开实施例提供的另一种存储单元组的示意图；
- [0022] 图 15 示出了本公开实施例提供的另一种半导体结构的局部侧视示意图；
- [0023] 图 16 示出了本公开实施例提供的又一种存储单元组的示意图；
- 20 [0024] 图 17 示出了本公开实施例提供的又一种半导体结构的局部侧视示意图；
- [0025] 图 18-图 21 分别示出了本公开实施例提供的四种不同存储单元组的示意图；
- [0026] 图 22 示出了本公开实施例提供的结构模块的示意图；
- [0027] 图 23-图 31 示出了本公开实施例提供的一种半导体结构的制造方法中各步骤对应的结构示意图；
- 25 [0028] 图 32-图 35 示出了本公开实施例提供的另一种半导体结构的制造方法中各步骤对应的结构示意图；
- [0029] 图 36 示出了本公开实施例提供的再一种存储单元组的示意图；
- [0030] 图 37-图 38 分别示出了本公开实施例提供的两种不同半导体结构的局部俯视图。

具体实施方式

- 30 [0031] 图 1 为一种半导体结构的俯视图，图 2 为图 1 中虚线圈内台阶的放大图，图 3 为图 2 在 A-A1 方向上的剖面图。参考图 1-图 3，半导体结构包括存储单元区 100 和台阶区 200。存储单元区 100 内具有多层存储单元。台阶区 200 内具有多个台阶，每个台阶与每层存储单元一一对应设置。台阶内可以设置连接层（图中未示出），台阶上可设置引线柱 300，引线柱 300 通过台阶内的连接层与存储单元电连接，从而将存储单元引出，以便于存储单元与外围电路连接。然而，随着存储单元堆叠层数的增加，台阶区 200 所占用的面积会越来越大。比如，若共有 64 层存储单元，相应地，则需要 64 个台阶，越底层的台阶的面积会越大。若最顶层的台阶的面积为 $0.25 \mu\text{m}^2$ ，则最底层的台阶的面积为 $64 \times 0.25 = 16 \mu\text{m}^2$ 。参考图 3，每个台阶以下的连接层仅仅起到支撑和电连接的作用，从而造成底层空间的浪费。因此，半导体结构的集成度有待进一步提高。
- 40 [0032] 本公开一实施例提供一种半导体结构，在此半导体结构中，多个引线柱中的

至少两者与不同存储单元组中的不同层的存储单元相连。也就是说，将至少两个引线柱直接与存储单元相连，从而有利于减少台阶个数或者不再单独设置台阶区，空间利用率得以提高，进而半导体结构的集成度提高。

5 [0033] 下面将结合附图对本公开的各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本公开各实施例中，为了使读者更好地理解本公开实施例而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本公开实施例所要求保护的技术方案。

10 [0034] 如图 4-图 22 所示，本公开一实施例提供一种半导体结构，半导体结构包括：基底 11（参考图 23），基底 11 上具有堆叠结构，堆叠结构包括在第一方向 X 排列的多个存储单元组 TC0，存储单元组 TC0 包括在第二方向 Z 排列的多层存储单元 TC；多个引线柱 5，其中，至少两个引线柱 5 分别与不同存储单元组 TC0 中的不同层的存储单元 TC 相连。

15 [0035] 即，利用存储单元 TC 多层堆叠的排列方式，将至少两个引线柱 5 直接与存储单元 TC 相连，可以减少台阶个数。若所有引线柱 5 直接与存储单元 TC 相连时，则无需再单独设置台阶区。也就是说，与存储单元 TC 相连的引线柱 5 在基底 11 表面的正投影位于堆叠结构在基底 11 表面的正投影内，从而提高了基底 11 表面的利用程度，进而提高半导体结构的集成度。此外，至少两个引线柱 5 与不同存储单元组 TC0 中的不同层的存储单元 TC 相连，则说明至少两个引线柱 5 可以利用不同存储单元组 TC0 的空间位置。

20 [0036] 以下将结合附图对半导体结构进行详细说明。

[0037] 在一些实施例中，参考图 4-图 5、图 8-图 22，同一存储单元组 TC0 中的所有存储单元 TC 至多与一个引线柱 5 相连。即，每个存储单元组 TC0 中只需设置一个引线柱 5 与存储单元 TC 的连接位置。由于同一存储单元组 TC0 内的连接位置较少，从而使得不同存储单元组 TC0 中的连接方式相对统一，进而有利于统一不同引线柱 5 与存储单元 TC 的连接工艺，以降低生产成本。需要说明的是，为使引线柱 5 与不同层的存储单元 TC 相连，可以去除存储单元 TC 内的部分结构使得至少部分引线柱 5 贯穿至少一个存储单元 TC，也可以将引线柱 5 设置在存储单元 TC 的侧壁且不贯穿存储单元 TC。

30 [0038] 在另一些实施例中，参考图 6-图 7，至少两个引线柱 5 相连的存储单元 TC 位于同一存储单元组 TC0。即，每个存储单元组 TC0 中可以设置多个引线柱 5 与存储单元 TC 的连接位置。需要说明的是，为使引线柱 5 与存储单元 TC 相连，通常需要去除存储单元 TC 内的部分结构，以提供引线柱 5 所需的空間位置。存储单元 TC 内的部分结构被去除后，该存储单元 TC 可不再执行存储功能。若多个引线柱 5 位于同一存储单元组 TC0，则有利于减少失效的存储单元 TC 的数量，从而提高半导体结构内的空间利用率，进而提高集成度。

35 [0039] 具体地，至少两个引线柱 5 相连的存储单元 TC 位于同一存储单元组 TC0，可以包括如下两种情况：位于同一存储单元组 TC0 的至少两个引线柱 5 与同一层的存储单元 TC 相连；或者，位于同一存储单元组 TC0 的至少两个引线柱 5 与不同层的存储单元 TC 相连。

40 [0040] 参考图 6，位于同一存储单元组 TC0 的至少两个引线柱 5 可以沿第一方向 X 排列；参考图 7，位于同一存储单元组 TC0 的至少两个引线柱 5 可以沿第三方向 Y 排列。

45 [0041] 在一些实施例中，参考图 4，引线柱 5 的数量等于或大于存储单元 TC 的层数，且每一层至少包括一个与引线柱 5 相连的存储单元 TC。即，每层存储单元 TC 都可以与引线柱 5 直接相连，而无需再单独设置台阶区域。此外，每一层的存储单

元 TC 可以通过一个或多个引线柱 5 引出。在每一层的存储单元 TC 通过一个引线柱 5 引出时, 有利于简化工艺制造; 在每一层的存储单元 TC 通过多个引线柱 5 引出时, 有利于增大接触面积, 从而降低接触电阻。

5 [0042] 需要说明的是, 存储单元组 TC0 内具有多种不同的结构, 因此, 若与同一存储单元组 TC0 相连的引线柱 5 的数量过多, 则引线柱 5 所需要的空间位置越大, 不同引线柱 5 可能与存储单元组 TC0 内的不同结构相连, 而针对不同的结构通常需要采用不同的连接工艺。在一些实施例中, 与同一存储单元组 TC0 相连的引线柱 5 数少于存储单元组 TC0 中存储单元 TC 的层数, 通过控制与同一存储单元组 TC0 相连的引线柱 5 的数目, 使该数目保持在合理范围内, 以简化引线柱 5 与存储单元 TC 的连接工艺。

10 [0043] 在一些实施例中, 参考图 6、图 8-图 9, 引线柱 5 沿第一方向 X 排成一列。也就是说, 在第一方向 X 上, 多个引线柱 5 大致对齐, 从而便于多个引线柱 5 与存储单元 TC 内同一种结构相连, 进而有利于统一引线柱 5 与存储单元 TC 的连接工艺, 以降低生产成本。

15 [0044] 举例而言, 参考图 8, 引线柱 5 沿第一方向 X 排成一直列。换言之, 引线柱 5 在同一直线上排列, 多个引线柱 5 在第一方向 X 上的两端对齐, 从而有利于简化工艺, 并提高半导体结构的均一性。此外, 参考图 9, 引线柱 5 也可以略有错开, 即多个引线柱 5 在第一方向 X 上的两端不对齐, 从而降低引线柱 5 的正对面积, 以减小相邻引线柱 5 之间的寄生电容。

20 [0045] 参考图 4、图 12-图 22, 至少一个引线柱 5 在第二方向 Z 延伸并贯穿存储单元组 TC0 中的至少一个存储单元 TC, 在此种情况下, 至少一个引线柱 5 在基底 11 表面的正投影位于一个存储单元 TC 在基底 11 表面的正投影内。以下将对此进行详细说明, 为便于理解, 将引线柱 5 划分为层叠设置的接触部 51 和延伸部 52。接触部 51 与存储单元 TC 连接, 与接触部 51 相连的存储单元 TC 称之为对应层的存储单元 TC。

25 [0046] 具体地, 至少两个引线柱 5 分别与不同存储单元组 TC0 中不同层的存储单元 TC 相连, 则说明至少有一个引线柱 5 与非顶层的存储单元 TC 相连。对于与非顶层的存储单元 TC 相连的引线柱 5, 除了需要利用对应层的存储单元 TC 的空间位置外, 还需要占用对应层上方的存储单元 TC 的空间位置。比如, 参考图 12、图 14 和图 16, 次顶层作为对应层, 引线柱 5 的接触部 51 与次顶层的存储单元 TC 相连, 则引线柱 5 的延伸部 52 需贯穿顶层的存储单元 TC。被贯穿的存储单元 TC 以及与引线柱连接的存储单元 TC 不再具有存储功能。换言之, 可以直接去除对应层上方的存储单元 TC 的部分结构, 从而为引线柱 5 的延伸部 52 提供空间位置, 如此, 有利于简化生产工艺。

30 [0047] 需要说明的是, 在另外一些实施例中, 引线柱 5 的延伸部 52 也可以不占用对应层上方的存储单元 TC 的空间位置, 而占用相邻存储单元 TC 之间的空间位置。具体地, 参考图 10, 引线柱 5 的部分接触部 51 从对应层的存储单元 TC 的位置凸设至相邻存储单元 TC 之间的空间, 以使得引线柱 5 的延伸部 52 能够从相邻存储单元 TC 之间的间隙向上引出, 而无需贯穿对应层上方的存储单元 TC, 从而可以减少失效的存储单元 TC 的数目。或者, 参考图 11, 引线柱 5 的接触部 51 和延伸部 52 设于相邻存储单元 TC 之间的空间, 且接触部 51 与对应层的存储单元 TC 的侧壁接触, 以使得引线柱 5 的延伸部 52 能够从相邻存储单元 TC 之间的间隙向上引出, 而无需贯穿对应层上方的存储单元 TC, 从而可以减少失效的存储单元 TC 的数目。

40 [0048] 参考图 4, 对于与顶层的存储单元 TC 相连的引线柱 5, 此引线柱 5 只需利用对应层的存储单元 TC 的空间位置, 而无需占用其他的存储单元 TC 的空间位置,

因此，无需贯穿对应层以外的存储单元 TC。

[0049] 需要注意的是，在一些实施例中，参考图 4、图 12-图 13，引线柱 5 还可以贯穿对应层的存储单元 TC，即去除对应层的存储单元 TC 的部分结构，从而为引线柱 5 的接触部 51 提供空间位置；此时，引线柱 5 的至少部分侧面与存储单元 TC 相连。

[0050] 在另一些实施例中，引线柱 5 也可以不贯穿对应层的存储单元 TC。比如，参考图 14-图 15，引线柱 5 嵌入对应层的存储单元 TC 内，此时，引线柱 5 的底面和部分侧面与存储单元 TC 相连。此外，参考图 16-图 17，引线柱 5 的底面与对应层的存储单元 TC 的顶面相连。

[0051] 参考图 4、图 13、图 15 和图 17，至少两个引线柱 5 贯穿的存储单元 TC 的数目不同。即，至少两个引线柱 5 与不同层的存储单元 TC 连接，从而将不同层的存储单元 TC 引出。如此，至少可以减少两个台阶，以缩小半导体结构的体积。

[0052] 参考图 12、图 14、图 16、图 18-图 21，半导体结构还包括：位于引线柱 5 与被贯穿的存储单元 TC 之间的介质层 6。介质层 6 可以将引线柱 5 与对应层上方的存储单元 TC 相隔离。需要说明的是，若引线柱 5 还贯穿了对应层的存储单元 TC，则介质层 6 位于引线柱 5 和对应层上方的存储单元 TC 之间，而露出引线柱 5 位于对应层的存储单元 TC 内的侧壁，以使引线柱 5 通过侧壁与对应层的存储单元 TC 相连。

[0053] 参考图 4，相邻两个引线柱 5 之间至少间隔有一个存储单元组 TC0。即，相邻两个引线柱 5 不与相邻的存储单元组 TC0 相连，如此，有利于增大相邻引线柱 5 之间的间距，从而降低寄生电容。

[0054] 具体地，在一些例子中，相邻两个引线柱 5 之间的存储单元组 TC0 的数目相同，即配平相邻引线柱 5 之间的间距，从而提高半导体结构的均一性。在另一些例子中，相邻两个引线柱 5 的正对面积，与相邻两个引线柱 5 之间的存储单元组 TC0 的数目成正比。可以理解的是，相邻引线柱 5 之间的寄生电容还与二者之间的正对面积相关，若二者之间的正对面积越大，则可相应增加二者间隔的存储单元组 TC0 的数目，以增大二者的间距，从而降低寄生电容。示例地，与底层和次底层的存储单元 TC 连接的两引线柱 5 相邻设置，且两引线柱 5 之间具有五个存储单元组 TC0；与顶层和次顶层的存储单元 TC 连接的两引线柱 5 相邻设置，且两引线柱 5 之间具有一个存储单元组 TC0。

[0055] 在另一些实施例中，参考图 8-图 9，相邻两个引线柱 5 也可以位于相邻的存储单元组 TC0，二者之间不具有存储单元组 TC0。

[0056] 以下将对堆叠结构进行具体说明。

[0057] 参考图 4，半导体结构内具有第一方向 X、第二方向 Z 和第三方向 Y。第一方向 X 与基底 11 表面平行，第二方向 Z 与基底 11 表面垂直，第三方向 Y 与基底 11 表面平行。第三方向 Y 与第一方向 X 不同。示例地，第三方向 Y 可以与第一方向 X 垂直。

[0058] 继续参考图 4，堆叠结构还包括多条平行信号线 3 和多条垂直信号线 4；多条平行信号线 3 在第二方向 Z 排列，并沿第一方向 X 延伸，平行信号线 3 连接一层存储单元 TC；垂直信号线 4 沿第二方向 Z 延伸，并与同一存储单元组 TC0 的多层存储单元 TC 连接。引线柱 5 与平行信号线 3 电连接。

[0059] 也就是说，平行信号线 3 在基底 11 上堆叠设置的，需要通过引线柱 5 引出，以便于后续实现平行信号线 3 与外围电路的电连接。而垂直信号线 4 垂直于基底 11 设置，因此，无需通过引线柱 5 引出。在一些实施例中，引线柱 5 可以直接与平行信号线 3 相连，从而实现引线柱 5 与平行信号线 3 的电连接；在另一些实施例中，

引线柱 5 可以通过存储单元 TC 内的导电结构与平行信号线 3 电连接。后续将对此进行详细说明。

[0060] 参考图 4-图 22, 在一些实施例中, 存储单元 TC 可以包括在第三方向 Y 排列的晶体管 T 和电容 C, 平行信号线 3 和垂直信号线 4 与晶体管 T 相连。示例地, 在动态随机存取存储器 (Dynamic Random Access Memory, DRAM) 中, 存储单元 TC 包括一个晶体管 T 和一个电容 C。在另一些实施例中, 存储单元 TC 也可以只包括晶体管 T, 比如, 在静态随机存取存储器 (Static Random-Access Memory, SRAM) 中, 其存储单元 TC 由六个晶体管 T 构成, 又比如无电容双栅量子阱单晶体管 DRAM (Capacitorless Double Gate Quantum Well Single Transistor DRAM, 1T DRAM) 中, 其存储单元 TC 由一个双栅晶体管 T 构成。

[0061] 晶体管 T 包括在第三方向 Y 排列的沟道区 22 和源漏掺杂区 21, 源漏掺杂区 21 位于沟道区 22 的两侧。平行信号线 3 和垂直信号线 4 中的一者为位线 BL, 另一者为字线 WL。位线 BL 与源漏掺杂区 21 连接, 字线 WL 与沟道区 22 连接。示例地, 源漏掺杂区 21 包括第一源漏掺杂区 211 和第二源漏掺杂区 212, 第一源漏掺杂区 211 位于位线 BL 与沟道区 22 之间, 第二源漏掺杂区 212 位于沟道区 22 远离第一源漏掺杂区 211 的一侧。第一源漏掺杂区 211 和第二源漏掺杂区 212 可以分别作为晶体管 T 的源极和漏极。此外, 第二源漏掺杂区 21 还可以包括轻掺杂漏结构, 轻掺杂漏结构位于沟道区和漏极之间。

[0062] 以下将对引线柱 5 与存储单元 TC 和平行信号线 3 的具体位置关系进行详细说明。

[0063] 在平行信号线 3 为位线 BL, 垂直信号线 4 为字线 WL 时, 引线柱 5 与存储单元 TC 和平行信号线 3 的位置关系具体如下:

[0064] 示例一, 参考图 4、图 12-图 17, 至少一个引线柱 5 的底面位于源漏掺杂区 21。即, 引线柱 5 在基底 11 表面的正投影与源漏掺杂区 21 的在基底 11 表面的正投影具有重叠, 引线柱 5 可以利用源漏掺杂区 21 的空间位置与位线 BL 实现电连接。需要说明的是, 图 13、图 15 和图 17 均为局部侧视的示意图, 且未示出沟道区、垂直信号线和电容。

[0065] 具体地, 至少一个引线柱 5 与对应层的第一源漏掺杂区 211 相连。由于第一源漏掺杂区 211 比第二源漏区 212 靠近位线 BL, 因此, 利用第一源漏掺杂区 211 的空间位置实现引线柱 5 与位线 BL 的电连接时, 可以减小引线柱 5 与位线 BL 之间的间距, 从而降低电阻, 且有利于简化生产工艺。若引线柱 5 利用第二源漏掺杂区 212 的空间位置实现引线柱 5 与位线 BL 的电连接时, 则可以对沟道区 22 和第一源漏掺杂区 211 进行导体化处理, 以降低二者的电阻。

[0066] 在一些实施例中, 参考图 4, 图 12-图 13, 至少一个引线柱 5 贯穿至少一个存储单元 TC 中的源漏掺杂区 21。引线柱 5 在基底表面的正投影与存储单元 TC, 例如第一源漏掺杂区 211, 在基底表面的正投影至少部分重叠。具体地, 至少一个引线柱 5 贯穿对应层的源漏掺杂区 21, 比如引线柱 5 可以贯穿对应层的存储单元 TC 的第一源漏掺杂区 211。在此种情况下, 引线柱 5 可以通过侧壁直接与位线 BL 相连。

[0067] 在另一些实施例中, 参考图 14-图 15, 引线柱 5 的底面嵌入源漏掺杂区 21 内。也就是说, 引线柱 5 的底端位于源漏掺杂区 21 内, 但未将源漏掺杂区 21 完全贯穿。在此种情况下, 引线柱 5 既可以直接与位线 BL 连接, 也可以间接地通过源漏掺杂区 21 与位线 BL 电连接。

[0068] 在又一些实施例中, 参考图 16-图 17, 引线柱 5 的底面位于源漏掺杂区 21 的顶面, 比如引线柱 5 的底面位于第一源漏掺杂区 211 的顶面。在此种情况下, 引线柱 5 不直接与位线 BL 相连, 而是通过源漏掺杂区 21 与位线 BL 实现电连接。为降

- 低源漏掺杂区 21 的电阻, 可以对源漏掺杂区 21 进行导体化处理, 比如采用金属硅化工艺在源漏掺杂区 21 形成金属硅化物; 或者, 对源漏掺杂区 21 进行重掺杂处理。
- [0069] 需要说明的是, 对于与非顶层的相连的存储单元 TC, 引线柱 5 还可以贯穿对应层上方的源漏掺杂区 21。对于与顶层的存储单元 TC 相连的引线柱 5, 引线柱 5 无需再贯穿对应层以外的其他源漏掺杂区 21。
- [0070] 示例二, 参考图 18, 存储单元 TC 还包括: 位线接触区 23, 位线接触区 23 连接位线 BL 和源漏掺杂区 21。位线接触区 23 可以降低位线 BL 与源漏掺杂区 21 之间的接触电阻。示例地, 位线接触区 23 可以为重掺杂的多晶硅或金属硅化物。
- [0071] 至少一个引线柱 5 的底面位于位线接触区 23。即, 引线柱 5 还可以利用位线接触区 23 的空间位置与位线 BL 电连接。比如, 至少一个引线柱 5 贯穿一个存储单元 TC 中的位线接触区 23。或者, 至少一个引线柱 5 嵌入对应层的位线接触区 23; 或者, 至少一个引线柱 5 的底面与对应层的位线接触区 23 的顶面相连。
- [0072] 在平行信号线 3 为字线 WL, 垂直信号线 4 为位线 BL, 引线柱 5 与存储单元 TC 和平行信号线 3 的位置关系具体如下:
- [0073] 示例一, 参考图 19, 至少一个引线柱 5 的底面位于沟道区 22。即, 引线柱 5 在基底 11 表面的正投影与沟道区 22 在基底 11 表面的正投影具有重叠, 引线柱 5 可以利用沟道区 22 的空间位置与字线 WL 实现电连接。
- [0074] 需要注意的是, 字线 WL 与沟道区 22 存在多种位置关系。比如, 字线 WL 可以包覆整个沟道区 22, 或者, 字线 WL 可以与沟道区 22 的顶面和/或底面相连。
- [0075] 下面以字线 WL 至少覆盖沟道区 22 的顶面为例, 对引线柱 5 与字线 WL 的位置关系进行说明。
- [0076] 参考图 19, 若引线柱 5 与非顶层的存储单元 TC 相连, 则该引线柱 5 与对应层的存储单元 TC 上的字线 WL 电连接, 并贯穿位于对应层的上方的沟道区 22 和字线 WL。引线柱 5 在基底表面的正投影与存储单元 TC 中沟道区 22 在基底表面的正投影至少部分重叠。值得注意的是, 引线柱 5 虽贯穿字线 WL, 但并未将字线 WL 完全截断。比如, 引线柱 5 从字线 WL 的中心穿过。引线柱 5 与对应层上方的字线 WL 之间还具有介质层 6, 以避免引线柱 5 与对应层上方的字线 WL 发生电连接。
- [0077] 若引线柱 5 与顶层的存储单元 TC 相连, 则该引线柱 5 可以与顶层的字线 WL 电连接, 且无需贯穿任何的字线 WL 和沟道区 22。
- [0078] 由于半导体结构至少包括两个与不同层的存储单元 TC 相连引线柱 5, 则至少一个引线柱 5 与非顶层的存储单元 TC 相连, 因此, 至少一个引线柱 5 贯穿至少一个存储单元 TC 中的沟道区 22。
- [0079] 需要说明的是, 若字线 WL 未覆盖沟道区 22 的顶面, 而覆盖了沟道区 22 的底面; 那么与顶层的存储单元 TC 相连的引线柱 5 也至少需要贯穿一个沟道区 22, 从而与沟道区 22 底面的字线 WL 连接。
- [0080] 示例二, 参考图 20-图 21, 至少一个引线柱 5 的底面位于源漏掺杂区 21, 且引线柱 5 的部分侧面与对应层的字线 WL 相连。此外, 字线 WL 还贯穿位于对应层的上方的源漏掺杂区 21。也就是说, 引线柱 5 还可以利用源漏掺杂区 21 的位置与字线 WL 实现电连接。具体地, 参考图 20, 至少一个引线柱 5 的底面位于第一源漏掺杂区 211, 且引线柱 5 的部分侧面与对应层的字线 WL 相连, 引线柱 5 在基底表面的正投影与存储单元 TC 中第一源漏掺杂区 211 在基底表面的正投影至少部分重叠; 参考图 21, 至少一个引线柱 5 的底面位于第二源漏掺杂区 212 区, 且引线柱 5 的部分侧面与对应层的字线 WL 相连, 引线柱 5 在基底表面的正投影与存储单元 TC 中第二源漏掺杂区 212 在基底表面的正投影至少部分重叠。
- [0081] 需要说明的是, 引线柱 5 的底面位于源漏掺杂区 21, 但与源漏掺杂区 21 电

隔离,例如引线柱5的底面可形成隔离层(图中未示出),或者,在形成引线柱5之前,对应层的源漏掺杂区21表面进行钝化处理。

[0082] 以下将对结构模块进行详细说明。

5 [0083] 参考图22,堆叠结构为多个,同一堆叠结构的多条平行信号线3包括在第二方向Z上依次排布的第1至第N平行信号线,N为大于1的正整数。

[0084] 两个堆叠结构构成结构模块。结构模块还包括多条导线7,导线7连接两个连接不同堆叠结构的引线柱5,换言之,位于不同堆叠结构的两个引线柱5与一条导线7连接,且两个引线柱5电连接的两条平行信号线3的序号之和为N+1。

10 [0085] 即,序号之和为N+1的两条平行信号线3可以通过引线柱5和导线7电连接。电连接的两条平行信号线3可以构成平行信号线组。由于电位相同,平行信号线组的两条平行信号线3也可以视为一条平行信号线3。

[0086] 示例地,平行信号线3包括第1至第5平行信号线,一堆叠结构的第1平行信号线与另一堆叠结构的第5平行信号线互联;一堆叠结构的第2平行信号线与另一堆叠结构的第4平行信号线互联;一堆叠结构的第3平行信号线与另一堆叠结构的第3平行信号线互联。第1平行信号线位于顶层,第5平行信号线位于底层。

15 [0087] 需要说明的是,由于引线柱5贯穿存储单元TC,则被贯穿的存储单元TC不再执行存储功能。由于引线柱5与不同层的存储单元TC连接,因此,半导体结构内不同层中可用的存储单元TC的数目不同。比如,共5层存储单元TC,第1层作为顶层,其缺少5个存储单元TC;第2层缺少4个存储单元TC;第3层缺少3个存储单元TC;第4层缺少2个存储单元TC;第5层作为底层,其缺少1个存储单元TC。在导线7的作用下,不同平行信号线组所连接的存储单元TC的数量相同。

20 [0088] 此外,由于与不同层的存储单元TC连接的引线柱5具有不同的长度,从而产生了不同的电阻。基于RC延迟效应,不同存储单元TC的延迟时间不同。在导线7的作用下,引线柱5两两一组,每组引线柱5的总长度大致相同,因此,有利于统一延迟时间,从而提高半导体结构的性能。

25 [0089] 此外,不同层的存储单元TC与引导柱5的接触面积可以保持一致,从而获得一致的接触电阻,以避免产生不同的延迟时间。比如,不同层的存储单元TC与引导柱5的接触面积均为 $0.036\sim 0.054\mu\text{m}^2$ 。

30 [0090] 在一些实施例中,导线7连接的两个引线柱5正对设置,且导线7的延伸方向垂直第一方向X。如此,有利于缩短两引线柱5之间的间距,从而减小导线的长度。导线长度减小,则电阻减小,功耗降低,且延迟时间缩短。在另一些实施例中,参考图22,导线7连接的两个引线柱5也可以相互错开。

35 [0091] 在同一结构模块中,一堆叠结构的晶体管T与另一堆叠结构的晶体管T相向设置。也就是说,一堆叠结构的电容C具有在第三方向Y排列的相对两侧,其中,朝向另一堆叠结构的一侧为内侧,背向另一堆叠结构的一侧为外侧。晶体管T相向设置,则说明两晶体管T均位于其所属堆叠结构的内侧。如此,有利于减小两个晶体管T之间的间距,进而减小两个引线柱5之间的间距,从而有利于减小导线7的长度。

40 [0092] 如图22所示,在另一些实施例中,在同一结构模块中,一堆叠结构的晶体管T与另一堆叠结构的晶体管T同向设置。或者,在同一结构模块中,一堆叠结构的晶体管T与另一堆叠结构的晶体管T反向设置。晶体管T同向设置,则说明一堆叠结构的晶体管T位于电容C的内侧,另一堆叠结构的晶体管T位于电容C的外侧。晶体管T背向设置,则说明两堆叠结构的晶体管T均位于电容C的外侧。

45 [0093] 综上所述,本公开实施例将至少两个引线柱5从台阶区融合进存储单元TC所在的区域,从而提高基底11表面面积的利用率。若所有引线柱5均设置在存储单

元 TC 所在的区域,则无需单独分出台阶区,从而提高了半导体结构的集成度,有利于增加存储单元 TC 的数量。

[0094] 如图 23-图 35 所示,本公开另一实施例还提供一种半导体结构的制造方法。该制造方法可以用于制造前述实施例提供的半导体结构,有关半导体结构的详细说明可参考前述实施例。需要说明的是,为了便于描述以及清晰地示意出半导体结构制作方法的步骤,图 23 至图 35 均为半导体结构的局部结构示意图,其中,图 23、图 25、图 26、图 28-图 30 为局部侧视示意图,且未示意出沟道区、垂直信号线和电容;图 24、图 27 和图 31 为局部俯视图,且未示意出绝缘层 12。图 32、图 34 为第一方向 X 上的剖面图,图 33、图 34 为局部俯视图,且未示意出绝缘层 12。

[0095] 参考图 23,提供基底 11;在基底 11 上形成堆叠结构,堆叠结构包括在第一方向 X 排列的多个存储单元组 TC0(参考图 1),存储单元组 TC0 包括在第二方向 Z 排列的多层存储单元 TC。同一存储单元组 TC0 的多个存储单元 TC 包括依次排布的第 1 存储单元至第 N 存储单元。第 1 存储单元位于顶层,第 N 存储单元位于底层。

[0096] 示例地,存储单元 TC 可以包括晶体管 T 和电容 C。

[0097] 具体地,形成晶体管 T 的步骤可以包括:形成多层间隔设置的有源层,每一有源层包括多个有源结构;对有源结构进行掺杂处理,以形成源漏掺杂区 21、沟道区 22;在沟道区 22 的表面形成栅介质层。也就是说,存储单元 TC 包括在第三方向 Y 排列的沟道区 22 和源漏掺杂区 21,源漏掺杂区 21 位于沟道区 22 的两侧;第三方向 Y 与基底 11 表面平行。

[0098] 此外,还需要在相邻层的晶体管 T 之间形成绝缘层 12,以隔离相邻晶体管 T。

[0099] 形成电容 C 的步骤可以包括:形成电容支撑层,以及位于电容支撑层内的电容孔;在电容孔的内壁形成下电极,在下电极的表面形成电容介质层,在电容介质层的表面形成上电极。下电极、电容介质层和上电极构成电容 C。

[0100] 制造方法还包括:形成多条平行信号线 3 和多条垂直信号线 4(参考图 4);多条平行信号线 3 在第二方向 Z 排列,并沿第一方向 X 延伸,每条平行信号线 3 连接一层存储单元 TC;垂直信号线 4 沿第二方向 Z 延伸,并与同一存储单元组 TC0 的多层存储单元 TC 连接。第一方向 X 与基底 11 表面平行,第二方向 Z 与基底 11 表面垂直。

[0101] 垂直信号线 4 和平行信号线 3 中的一者为位线 BL,另一者为字线 WL。位线 BL 与源漏掺杂区 21 的连接,字线 WL 作为栅极与沟道区 22 连接。

[0102] 形成垂直信号线 4 的方法可以包括:形成隔离结构,刻蚀隔离结构,以在隔离结构内形成填充孔,填充孔在第二方向 Z 上延伸;在填充孔内沉积导电材料,以形成垂直信号线 4。

[0103] 形成平行信号线 3 的步骤可以包括:在有源结构的表面沉积导电材料,以使导电材料包覆同一层的有源结构。此后,在相邻平行信号线 3 之间形成隔离结构。

[0104] 参考图 23-图 35,形成多个引线柱 5,其中,至少两个引线柱 5 分别与不同存储单元组 TC0 中的不同层的存储单元 TC 相连。

[0105] 以下将对引线柱 5 的形成步骤进行详细说明。

[0106] 在平行信号线 3 为位线 BL,垂直信号线 4 为字线 WL 时,引线柱 5 的形成步骤具体如下:

[0107] 首先,需要说明的是,同一存储单元组 TC0 的多个源漏掺杂区 21 包括依次排布的第 1 层源漏掺杂区至第 N 层源漏掺杂区,N 为正整数。第 1 层源漏掺杂区位于顶层,第 N 层源漏掺杂区位于底层。

[0108] 参考图 23-图 24,形成掩膜层 71,掩膜层 71 具有 N 个开口 72;N 为正整

数；开口 72 位于源漏掺杂区 21 上方，比如第一源漏掺杂区 211 的上方。示例的，掩膜层 71 可以为光刻胶层，对光刻胶层进行光刻，以形成开口 72。或者，掩膜层 71 还可以为层叠设置的硬掩膜层和光刻胶层，对光刻胶层光刻后，再刻蚀硬掩膜层，以形成开口 72。

- 5 [00109] 参考图 25，沿开口 72 刻蚀第 1 存储单元，以形成多个第 1 子通孔 811，其中一个第 1 子通孔 811 作为第 1 通孔 81。具体地，沿开口 72 刻蚀源漏掺杂区 21。此外，在刻蚀第 1 存储单元前，还需刻蚀位于第 1 存储单元上方的绝缘层 12。
- [00110] 参考图 26-图 27，形成填充第 1 子通孔 8 的牺牲层 73。示例地，在第 1 子通孔 8 中沉积氧化硅等低介电常数材料以作为牺牲层 73。
- 10 [00111] 继续参考图 26-图 27，图案化掩膜层 71，以使掩膜层 71 具有 N-1 个开口 72。具体地，可以再次旋涂光刻胶层，并对光刻胶层进行光刻，以形成开口 72。
- [00112] 参考图 28，沿着开口 72 刻蚀牺牲层 73 和第 2 存储单元，从而形成了第 N-1 个第 2 子通孔 821，其中一个第 2 子通孔 821 作为第 2 通孔 82。在刻蚀牺牲层 73 后，还需刻蚀位于第 2 存储单元上的绝缘层 72。
- 15 [00113] 参考图 29，重复形成牺牲层 73、图案化掩膜层 71 以及刻蚀的步骤，直至贯穿第 N 存储单元，即贯穿第 N 层源漏掺杂区。在另一些实施例中，重复形成牺牲层、图案化掩膜层 71 以及刻蚀的步骤，直至贯穿第 N-1 存储单元，并露出第 N 存储单元；或者，直至贯穿第 N-1 存储单元，并去除部分厚度的第 N 存储单元。
- [00114] 至此，基于图 23-图 29，可以形成通孔 8，通孔 8 包括第 1 通孔至第 N 通孔。
- 20 示例地，参考图 29，可以形成第 1 通孔 81、第 2 通孔 82、第 3 通孔 83、第 4 通孔 84 和第 5 通孔 85。在一些实施例中，第 1 通孔 81 可以贯穿第 1 层源漏掺杂区，第 N 通孔可以贯穿第 1 层源漏掺杂区至第 N 层源漏掺杂区 21。在另一些实施例中，第 1 通孔 8 露出第 1 层源漏掺杂区 21，第 N 通孔贯穿第 1 层源漏掺杂区至第 N-1 层源漏掺杂区且露出第 N 层源漏掺杂区 21。在又一些实施例中，第一通孔 8 的底部嵌入第 1 层源漏掺杂区 21，第 N 通孔贯穿第 1 层源漏掺杂区至第 N-1 层源漏掺杂区，且第 N 通孔的底部嵌入第 N 层源漏掺杂区。需要说明的是，在第一方向 X 上，依次排布的第 1 通孔 81、第 2 通孔 82、第 3 通孔 83、第 4 通孔 84 和第 5 通孔 85 的深度依次递增。在其他实施例中，在第一方向 X 上，依次排布的第 1 通孔 81、第 2 通孔 82、第 3 通孔 83、第 4 通孔 84 和第 5 通孔 85 的深度可不递增或递减，而是深浅交替，从而避免后续形成的引线柱 5 中，深度大的引线柱 5 之间的寄生电容过大。
- 25 [00115] 参考图 30-图 31，形成覆盖通孔 8 的侧壁的介质层 6；形成填充通孔 8 的引线柱 5，引线柱 5 与对应的源漏掺杂区 21 相接触。
- [00116] 具体地，在第 N 通孔贯穿第 N 层源漏掺杂区 21，或者在第 N 通孔贯穿第 N-1 层源漏掺杂区 21 且其底部嵌入第 N 层源漏掺杂区 21 时，形成介质层 6 和引线柱 5 的步骤可以包括：
- 30 [00117] 在通孔 8 的底部形成接触部 51，接触部 51 与对应层的存储单元 TC 相连。形成接触部 51 后，在通孔 8 的侧壁形成介质层 6。示例地，通过化学气相沉积工艺在通孔 8 的侧壁和接触部 51 的表面形成初始介质层；去除位于接触部 51 表面的初始介质层，位于通孔 8 侧壁的初始介质层作为介质层 6。形成介质层 6 后，形成填充通孔 8 的延伸部 52。延伸部 52 和接触部 51 构成引线柱 5。
- 40 [00118] 在第 N 通孔 8 贯穿第 N-1 层源漏掺杂区，且露出第 N 层源漏掺杂区时，形成介质层 6 和引线柱 5 的步骤可以包括：在通孔 8 的内壁形成介质层 6，形成介质层 6 后，再形成填充通孔 8 的引线柱 5。在此种情况下，可以采用金属硅化物工艺在对应层的源漏掺杂区 21 内形成金属硅化物，以降低接触电阻。具体地，在通孔 8 的内壁沉积金属层，进行热处理，以使金属层与源漏掺杂区 21 反应；此后，去除未
- 45

反应的金属层，未反应的金属层主要位于通孔 8 的侧壁；此后，再形成介质层 6 和引线柱 5。

[00119] 在平行信号线 3 为字线 WL，垂直信号线 4 为位线 BL 时，引线柱 5 的形成步骤具体如下：

- 5 [00120] 首先，需要说明的是，同一存储单元组 TC0 的多个沟道区 22 包括依次排布的第 1 沟道区至第 N 沟道区，N 为正整数。第 1 沟道区位于顶层，第 N 沟道区位于底层。

[00121] 参考图 32-图 33，形成通孔 8，通孔 8 包括第 1 通孔 81 至第 N 通孔。第 1 通孔 8 露出第 1 沟道区连接的字线 WL，第 N 通孔 8 贯穿第 1 沟道区 22 至第 N-1 沟道区且露出第 N 沟道区连接的字线 WL。有关通孔 8 的形成步骤可参考前述详细说明。

[00122] 参考图 34-图 35，形成覆盖通孔 8 的侧壁的介质层 6。具体地，在通孔 8 的内壁形成初始介质层，去除位于通孔 8 底壁的初始介质层，以露出对应层的字线 WL，位于通孔 8 侧壁的初始介质层作为介质层 6。

- 15 [00123] 继续参考图 34-图 35，形成填充通孔 8 的引线柱 5，引线柱 5 还与对应的字线 WL 相接触。示例地，在通孔 8 中沉积铜、铝、钛或钨等金属以作为引线柱 5。

[00124] 需要说明的是，上述形成引线柱 5 的方法仅为示例性说明，而不限于此，可以根据引线柱 5 的具体结构对引线柱 5 的方法进行调整。

- 20 [00125] 综上所述，在本公开实施例中，刻蚀存储单元 TC 以形成通孔 8，形成填充通孔 8 的介质层和引线柱 5。如此，引线柱 5 可以利用存储单元 TC 的空间位置，直接与存储单元 TC 实现电连接，从而可以减少台阶数目或者不形成单独的台阶区，进而有利于提高半导体结构的集成度。

[00126] 参考图 36-图 38，本公开又一实施例还提供一种半导体结构，此半导体结构与前述实施例中的半导体结构大致相同，主要区别在于，此半导体结构的至少两个引线柱 5 连接同一存储单元组 TC0 中的不同存储单元 TC。此半导体结构与前述实施例中的半导体结构相同或相似的部分，请参考前述实施例中的详细说明，在此不再赘述。

- 30 [00127] 半导体结构包括：基底 11(参考图 34)，基底 11 上具有堆叠结构，堆叠结构包括在第一方向 X 排列的多个存储单元组 TC0，存储单元组 TC0 包括在第二方向 Z 排列的多层存储单元 TC；多个引线柱 5，其中，至少两个引线柱 5 连接同一存储单元组 TC0 中的不同存储单元 TC。

[00128] 相比于不同引线柱 5 位于不同的存储单元组 TC0，至少两个引线柱 5 可以利用同一存储单元组 TC0 的空间位置，从而有利于提高同一存储单元组的 TC0 内的空间利用率，还有利于增加可用的存储单元 TC 的数量。举例而言，若两个引线柱 5 分别与顶层和次顶层的存储单元 TC 相连，在二者位于不同存储单元组 TC0 时，会产生三个失效的存储单元 TC；在二者位于同一存储单元组 TC0 时，会产生两个失效的存储单元 TC。

- 40 [00129] 需要说明的是，在同一半导体结构中，也可以结合上述两种方案。比如，半导体结构包括至少四个引线柱 5，其中，至少两个引线柱 5 分别与不同存储单元组 TC0 中的不同层的存储单元 TC 相连，且至少两个引线柱 5 分别与同一存储单元组 TC0 中的不同层的存储单元 TC 相连。

[00130] 继续参考图 36-图 38，连接同一存储单元组 TC0 中不同存储单元 TC 的至少两个引线柱 5 沿第一方向 X 排列，如此，从而有利于统一引线柱 5 与存储单元 TC 的连接位置，进而简化连接工艺。

- 45 [00131] 在一些实施例中，堆叠结构还包括多条平行信号线 3 和多条垂直信号线 4；

多条平行信号线 3 在第二方向 Z 排列，并沿第一方向 X 延伸，平行信号线 3 连接一层存储单元 TC；垂直信号线 4 沿第二方向 Z 延伸，并与同一存储单元组 TC0 的多层存储单元 TC 连接。引线柱 5 与平行信号线 3 电连接。

5 [00132] 在一些实施例中，连接同一存储单元组 TC0 中不同存储单元 TC 的引线柱 5 沿第一方向 X 排成一行。即，引线柱 5 在第一方向 X 大致对齐。如此，多个引线柱 5 与平行信号线 3 的间距大致相同，从而有利于平衡多个引线柱 5 与平行信号线 3 的接触电阻。此外，还有利于简化工艺，提高半导体结构的均一性。举例而言，参考图 37，多个引线柱 5 在第一方向 X 上的两端对齐设置，从而有利于简化工艺。参考图 38，多个引线柱 5 在第一方向 X 上的两端略有错开，从而可以减小正对面积，以降低寄生电容。

10 [00133] 综上所述，在本公开实施例中，至少两个引线柱 5 从台阶区融合进存储单元 TC 所在的区域，从而提高基底 11 表面面积的利用率。此外，至少两个引线柱 5 与同一存储单元组 TC0 中的不同层的存储单元 TC 相连，则说明至少两个引线柱 5 可以利用同一存储单元组 TC0 的空间位置，从而有利于减小失效的存储单元 TC 的数量，进而提高半导体结构的集成度。

[00134] 本公开实施例还提供一种存储芯片，包括前述实施例提供的半导体结构。

15 [00135] 存储芯片是用来存储程序和各种数据信息的记忆部件。示例地，存储芯片可以为随机存取存储芯片或只读存储芯片，举例而言，随机存取存储芯片可以包括动态随机存取存储器或静态随机存储器。由于前述半导体结构的集成度较高，从而有利于实现存储芯片的微型化。

[00136] 本公开实施例还提供一种电子设备，包括前述实施例提供的存储芯片。

[00137] 示例地，电子设备可以为电视、电脑、手机或平板等设备。电子设备可以包括电路板和封装结构，存储芯片可焊接于电路板上，并受到封装结构的保护。此外，电子设备还可以包括电源，用于向存储芯片提供工作电压。

25 [00138] 在本说明书的描述中，参考术语“一些实施例”、“示例地”等的描述意指结合该实施例或示例描述的具体特征、结构、材料或者特点包含于本公开的至少一个实施例或示例中。在本说明书中，对上述术语的示意性表述不必针对的是相同的实施例或示例。而且，描述的具体特征、结构、材料或者特点可以在任一个或多个实施例或示例中以合适的方式结合。此外，在不相互矛盾的情况下，本领域的技术人员可以将本说明书中描述的不同实施例或示例以及不同实施例或示例的特征进行结合和组合。

30 [00139] 尽管上面已经示出和描述了本公开的实施例，可以理解的是，上述实施例是示例性的，不能理解为对本公开的限制，本领域的普通技术人员在本公开的范围可以对上述实施例进行变化、修改、替换和变型，故但凡依本公开的权利要求和说明书所做的变化或修饰，皆应属于本公开专利涵盖的范围之内。

权 利 要 求

- 1、一种半导体结构，包括：
基底，所述基底上具有堆叠结构，所述堆叠结构包括在第一方向排列的多个存储单元组，所述存储单元组包括在第二方向排列的多层存储单元；
5 多个引线柱，其中，至少两个所述引线柱分别与不同存储单元组中的不同层的所述存储单元相连。
- 2、根据权利要求1所述的半导体结构，其中，
所述引线柱沿所述第一方向排成一行。
- 3、根据权利要求2所述的半导体结构，其中，
10 所述引线柱沿所述第一方向排成一直列。
- 4、根据权利要求1所述的半导体结构，其中，
同一所述存储单元组中的所有所述存储单元至多与一个所述引线柱相连。
- 5、根据权利要求1所述的半导体结构，其中，
所述引线柱的数量等于或大于所述存储单元的层数，且每一层至少包括一个与
15 所述引线柱相连的所述存储单元。
- 6、根据权利要求1所述的半导体结构，其中，
与同一所述存储单元组相连的引线柱数少于所述存储单元组中所述存储单元的层数。
- 7、根据权利要求1所述的半导体结构，其中，所述第一方向与所述基底表面平行，
20 所述第二方向与所述基底表面垂直；
所述堆叠结构还包括多条平行信号线和多条垂直信号线；多条所述平行信号线在第二方向排列，并沿所述第一方向延伸，所述平行信号线连接一层所述存储单元；
所述垂直信号线沿所述第二方向延伸，并与同一所述存储单元组的多层所述存储单元连接；
25 所述引线柱与所述平行信号线电连接。
- 8、根据权利要求7所述的半导体结构，其中，
所述存储单元包括在第三方向排列的沟道区和源漏掺杂区，所述源漏掺杂区位于所述沟道区的两侧；所述第三方向与所述基底表面平行。
- 9、根据权利要求8所述的半导体结构，其中，
30 所述平行信号线为位线，所述垂直信号线为字线；
所述位线与所述源漏掺杂区连接，所述字线与所述沟道区连接；
至少一个所述引线柱贯穿至少一个所述存储单元中的所述源漏掺杂区。
- 10、根据权利要求9所述的半导体结构，其中，
所述源漏掺杂区包括第一源漏掺杂区和第二源漏掺杂区，所述第一源漏掺杂区
35 位于所述位线与所述沟道区之间，所述第二源漏掺杂区位于所述沟道区远离所述第一源漏掺杂区的一侧；
所述引线柱贯穿所述第一源漏掺杂区。
- 11、根据权利要求8所述的半导体结构，其中，
所述平行信号线为字线，所述垂直信号线为位线；
40 所述位线与所述源漏掺杂区连接，所述字线与所述沟道区连接；
至少一个所述引线柱贯穿至少一个所述存储单元中的所述沟道区。
- 12、根据权利要求8所述的半导体结构，其中，所述存储单元还包括：位线接触区，所述位线接触区连接所述位线和所述源漏掺杂区。
- 13、根据权利要求12所述的半导体结构，其中，至少一个所述引线柱贯穿一个
45 所述存储单元中的所述位线接触区。

- 14、根据权利要求 1 所述的半导体结构，其中，
至少两个所述引线柱贯穿的所述存储单元的数目不同。
- 15、根据权利要求 1 所述的半导体结构，其中，
相邻两个所述引线柱之间至少间隔有一个所述存储单元组。
- 5 16、根据权利要求 15 所述的半导体结构，其中，
相邻两个所述引线柱之间的所述存储单元组的数目相同。
- 17、根据权利要求 16 所述的半导体结构，其中，
相邻两个所述引线柱的正对面积，与所述相邻两个所述引线柱之间的所述存储单元组的数目成正比。
- 10 18、根据权利要求 7 所述的半导体结构，其中，
所述堆叠结构为多个，同一所述堆叠结构的多条所述平行信号线包括在第二方向上依次排布的第 1 至第 N 平行信号线，N 为大于 1 的正整数；
两个所述堆叠结构构成结构模块，所述结构模块还包括多条导线，所述导线连接两个连接不同所述堆叠结构的所述引线柱，且两个所述引线柱电连接的两条所述平行信号线的序号之和为 N+1。
- 15 19、根据权利要求 18 所述的半导体结构，其中，
所述导线连接的两个所述引线柱正对设置，且所述导线的延伸方向垂直所述第一方向。
- 20、根据权利要求 18 所述的半导体结构，其中，所述存储单元包括：在第三方向排列的晶体管和电容；
在同一所述结构模块中，一所述堆叠结构的所述晶体管与另一所述堆叠结构的所述晶体管相向设置；或
在同一所述结构模块中，一所述堆叠结构的所述晶体管与另一所述堆叠结构的所述晶体管同向设置；或
- 25 在同一所述结构模块中，一所述堆叠结构的所述晶体管与另一所述堆叠结构的所述晶体管反向设置。
- 21、根据权利要求 1 所述的半导体结构，其中，至少一个所述引线柱在第二方向延伸并贯穿所述存储单元组中的至少一个存储单元；
所述半导体结构还包括：位于所述引线柱与被贯穿的所述存储单元之间的介质层。
- 30 22、根据权利要求 21 所述的半导体结构，其中，所述引线柱的底面与所述存储单元相连或所述引线柱的至少部分侧面与所述存储单元相连。
- 23、根据权利要求 1 所述的半导体结构，其中，至少两个所述引线柱相连的所述存储单元位于同一所述存储单元组。
- 35 24、一种半导体结构的制造方法，包括：
提供基底，
在所述基底上形成堆叠结构，所述堆叠结构包括在第一方向排列的多个存储单元组，所述存储单元组包括在第二方向排列的多层存储单元；
形成多个引线柱，其中，至少两个所述引线柱分别与不同存储单元组中的不同层的所述存储单元相连。
- 40 25、根据权利要求 24 所述的半导体结构的制造方法，其中，所述第一方向与所述基底表面平行，所述第二方向与所述基底表面垂直；
形成多条平行信号线和多条垂直信号线；多条所述平行信号线在第二方向排列，并沿所述第一方向延伸，每条所述平行信号线连接一层所述存储单元；所述垂直信号线沿所述第二方向延伸，并与同一所述存储单元组的多层存储单元连接。
- 45

26、根据权利要求 25 所述的半导体结构的制造方法，其中，所述存储单元包括在第三方向排列的沟道区和源漏掺杂区，所述源漏掺杂区位于所述沟道区的两侧；所述第三方向与所述基底表面平行；同一所述存储单元组的多个所述源漏掺杂区包括依次排布的第 1 层源漏掺杂区至第 N 层源漏掺杂区，N 为正整数；所述平行信号线为位线，所述垂直信号线为字线；所述位线与所述源漏掺杂区连接，所述字线与所述沟道区连接；

所述制造方法包括：

形成第 1 通孔至第 N 通孔，第 1 通孔露出所述第 1 层源漏掺杂区，所述第 N 通孔贯穿第 1 层源漏掺杂区至第 N-1 层源漏掺杂区且露出所述第 N 层源漏掺杂区；

形成覆盖所述通孔的侧壁的介质层；

形成填充所述通孔的引线柱，所述引线柱与对应的源漏掺杂区相接触。

27、根据权利要求 25 所述的半导体结构的制造方法，其中，所述存储单元包括在第三方向排列的沟道区和源漏掺杂区，所述源漏掺杂区位于所述沟道区的两侧；所述第三方向与所述基底表面平行；同一所述存储单元组的多个所述沟道区包括依次排布的第 1 沟道区至第 N 沟道区，N 为正整数；所述平行信号线为字线，所述垂直信号线为位线；所述位线与所述源漏掺杂区连接，所述字线与所述沟道区连接；

所述方法包括：

形成第 1 通孔至第 N 通孔，第 1 通孔露出所述第 1 沟道区连接的字线，所述第 N 通孔贯穿第 1 沟道区至第 N-1 沟道区且露出所述第 N 沟道区连接的字线；

形成覆盖所述通孔的侧壁的介质层；

形成填充所述通孔的引线柱，所述引线柱还与对应的字线相接触。

28、根据权利要求 24 所述的半导体结构的制造方法，其中，同一所述存储单元组的多个所述存储单元包括依次排布的第 1 存储单元至第 N 存储单元；

形成多个引线柱之前，包括：

形成掩膜层，所述掩膜层具有 N 个开口；N 为正整数；

沿所述开口刻蚀所述第 1 存储单元，以形成多个第 1 子通孔，其中一个所述第 1 子通孔作为所述第 1 通孔；

形成填充所述第 1 子通孔的牺牲层；

图案化所述掩膜层，以使所述掩膜层具有 N-1 个所述开口；

沿着所述开口刻蚀所述牺牲层和第 2 存储单元；

重复形成所述牺牲层、图案化所述掩膜层以及所述刻蚀的步骤，直至贯穿第 N-1 存储单元。

29、一种半导体结构，包括：

基底，所述基底上具有堆叠结构，所述堆叠结构包括在第一方向排列的多个存储单元组，所述存储单元组包括在第二方向排列的多层存储单元；

多个引线柱，其中，至少两个所述引线柱连接同一所述存储单元组中的不同存储单元。

30、根据权利要求 29 所述的半导体结构，其中，

连接同一所述存储单元组中不同存储单元的至少两个所述引线柱沿第一方向排列。

31、根据权利要求 30 所述的半导体结构，其中，

连接同一所述存储单元组中不同存储单元的所述引线柱沿第一方向排成一行。

32、一种存储芯片，包括权利要求 1-23 及权利要求 29-31 中任一项所述的半导体结构。

33、一种电子设备，包括权利要求 32 所述的存储芯片。