

存储器

相关申请的交叉引用

5 本申请基于申请号为 202011173788.8、申请日为 2020 年 10 月 28 日、发明名称为“存储器”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本申请作为参考。

技术领域

本申请实施例涉及但不限于一种存储器。

背景技术

10 半导体存储器被用于许多电子系统中，以存储可取回的数据。随着对电子系统更快、具有更大数据容量和消耗更少电力的需求不断增长，为了满足不断变化的需求，半导体存储器可能需要更快的速度，存储更多的数据并使用更少的电力。

通常的，通过向存储器提供命令(Commands)、存储地址(Memory address)以及时钟(Clocks)来控制半导体存储器，且各种命令、存储地址以及时钟可以由存储控制器(Memory Controller)提供。这三类信号可以控制存储器执行各种存储操作，例如从存储器中读取数据的读取操作，以及将数据存储到存储器的写入操作。基于与存储器接收到的“相关命令”相关的已知时序，在存储器与存储控制器之间传输数据。例如，可以向存储器提供用于对命令和地址进行计时的系统时钟(System Clock)，或者，还可以向存储器提供数据时钟(Data Clock)，该数据时钟用于作为读取数据的时序以及写入数据的时序。此外，存储器还可以向控制器提供时钟，以作为向控制器传输数据的时序。提供给存储器的外部时钟用于产生内部时钟，这些内部时钟在存储器的存储操作期间控制各种内部电路的时序。在存储器操作期间内部电路的时序很关键，并且内部时钟的偏差可能会导致错误的操作，时钟的偏差包括占空比失真，即时钟信号的占空比偏离预设占空比。

20 因此，存储器需具备占空比调节功能以及占空比监测功能，即存储器包括占空比调节(Duty Cycle Adjust, DCA)电路以及占空比监测(Duty Cycle Monitor, DCM)电路，占空比调节电路可以用于调节外部时钟生成的内部时钟的占空比，占空比监测电路可用于监测时钟的占空比是否偏离预设占空比。

发明内容

30 本申请实施例提供一种存储器，包括：时钟产生电路，用于产生第一振荡信号和第二振荡信号，所述第一振荡信号与所述第二振荡信号的频率相同、相位相反，且所述第一振荡信号与所述第二振荡信号的占空比均在第一预设范围内；差分输入电路，用于接收第一外部信号和第二外部信号，并产生第一内部信号和第二内部信号；其中，所述时钟产生电路还用于监测所述第一内部信号和/或所述第二内部信号的占空比，并使得所述第一内部信号和/或所述第二内部信号的占空比在第二预设范围内。

35 本申请实施例还提供一种存储器，包括：校准电路，用于接收第一外部信号和第二外部信号，并产生第一内部信号和第二内部信号，所述第一内部信号和/或所述第二内部信号的占空比在第三预设范围内；时钟产生电路，用于产生第一振荡信号和第二振荡信号，所述第一振荡信号与所述第二振荡信号的频率相同、相位相反；其中，所述校准电路还用于调节所述第一振荡信号和/或所述第二振荡信号的占空比，并使得所述第一振荡信号和/或所述第二振荡信号的占空比在第四预设范围内。

40 本申请实施例还提供一种存储器，包括：时钟产生电路，用于产生第一振荡信号和第二振荡信号，所述第一振荡信号与所述第二振荡信号的频率相同、相位相反，且所述第一振荡信号与所

述第二振荡信号的占空比均在第五范围内；第一外部信号和第二外部信号，来自所述存储器外部，且所述第一外部信号和所述第二外部信号的占空比均在第六范围内；差分输入电路，在测试模式下，接收所述第一振荡信号和所述第二振荡信号，并输出第一内部信号和第二内部信号；在正常工作模式下，接收所述第一外部信号和所述第二外部信号，并输出第一内部信号和第二内部信号；其中，所述差分输入电路与所述时钟产生电路有数据交互，使得在所述测试模式下或在所述正常工作模式下，所述第一内部信号和/或所述第二内部信号的占空比在第七范围内。

附图说明

一个或多个实施例通过与之对应的附图中的图片进行示例性说明，这些示例性说明并不构成对本申请实施例的限定，附图中具有相同参考数字标号的元件表示为类似的元件，除非有特别申明，附图中的图不构成比例限制。

- 图 1 为本申请一实施例提供的存储器的一种功能框图；
- 图 2 为本申请一实施例提供的存储器的另一种功能框图；
- 图 3 为本申请一实施例提供的存储器的结构示意图；
- 图 4 为图 3 中的振荡器的一种电路结构示意图；
- 图 5 为一种存储系统示意图；
- 图 6 为本申请一实施例提供的存储器的操作步骤流程图示意图；
- 图 7 为本申请另一实施例提供的存储器的一种功能框图；
- 图 8 为本申请另一实施例提供的存储器的另一种功能框图；
- 图 9 为本申请另一实施例提供的存储器的结构示意图；
- 图 10 为本申请再一实施例提供的存储器的功能框图；
- 图 11 为本申请再一实施例提供的存储器的结构示意图。

具体实施方式

为使本申请实施例的目的、技术方案和优点更加清楚，下面将结合附图对本申请的各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本申请各实施例中，为了使读者更好地理解本申请而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本申请所要求保护的技术方案。

图 1 为本申请一实施例提供的存储器的一种功能框图，图 2 为本申请一实施例提供的存储器的另一种功能框图，图 3 为本申请一实施例提供的存储器的结构示意图。

参考图 1 至图 3，本申请实施例中，存储器包括：时钟产生电路 11，用于产生第一振荡信号 OSC+ 和第二振荡信号 OSC-，第一振荡信号 OSC+ 与第二振荡信号 OSC- 的频率相同、相位相反，且第一振荡信号 OSC+ 与第二振荡信号 OSC- 的占空比均在第一预设范围内；差分输入电路 12，用于接收第一外部信号 PAD+ 和第二外部信号 PAD-，并产生第一内部信号 IBO+ 和第二内部信号 IBO-；其中，时钟产生电路 11 还用于监测第一内部信号 IBO+ 和/或第二内部信号 IBO- 的占空比，并使得第一内部信号 IBO+ 和/或第二内部信号 IBO- 的占空比在第二预设范围内。

该存储器具有内置自测系统（Built-In Self Test, BIST），利用时钟产生电路 11 产生差分的高速振荡信号，即高频的第一振荡信号 OSC+ 和第二振荡信号 OSC-，可测试到高速输入电路的特性，从而解决了测试机提供的输入信号的频率过低导致的测试结果准确性差的问题，且极大的降低了对自动测试机（Automatic Test Equipment, ATE）的依赖性，从而降低测试成本。

此外，该存储器还可以利用时钟产生电路 11 监测差分输入电路 12 输出的第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比，并对差分输入电路 12 进行控制，使得第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比在第二预设范围内。因此，该存储器还能够实现占空比较准功能以及占空比监测功能。

以下将结合附图对本申请实施例提供的存储器进行详细说明。

本申请实施例中，存储器为动态随机存取存储器（Dynamic Random Access Memory, DRAM），例如为 LPDDR4 或者 LPDDR5。在其他实施例中，存储器也可以为静态随机存取存储器（Static Random-Access Memory, SRAM）、磁性随机存储器（Magnetoresistive Random Access Memory,

MRAM)、铁电存储器(Ferroelectric Random Access Memory, FeRAM)、相变存储器(Phase Change Random Access Memory, PCRAM)、NAND、NOR 等存储器。

第一振荡信号 OSC+ 和第二振荡信号 OSC- 为差分的时钟信号。此外,本申请实施例中,第一振荡信号 OSC+ 和第二振荡信号 OSC- 具有高频特性,也就是说,第一振荡信号 OSC+ 的频率与第二振荡信号 OSC- 的频率与存储器进行读写操作所需的时钟信号的频率相当,此处的相当既可以为频率相同,也可以指频率差异在测试允许范围内。例如,第一振荡信号 OSC+ 和第二振荡信号 OSC- 的频率可以达到 3.2 吉赫(GHz)或 4.8GHz 甚至 6.4GHz。

在一些实施例中,时钟产生电路 11 包括:振荡电路 101,用于产生第一振荡信号 OSC+ 和第二振荡信号 OSC-;比较单元 102,接收第一振荡信号 OSC+ 和所述第二振荡信号 OSC-,并用于对第一振荡信号 OSC+ 的占空比和/或第二振荡信号 OSC- 的占空比进行比较;逻辑单元 103,连接比较单元 102 和振荡电路 101,用于根据比较单元 102 的输出结果对振荡电路 101 进行控制,使得第一振荡信号 OSC+ 的占空比和第二振荡信号 OSC- 的占空比在第一预设范围内。振荡电路 101 包括振荡器 111,用于产生第一初始振荡信号 osc+ 和第二初始振荡信号 osc-,且第一初始振荡信号 osc+ 与第二初始振荡信号 osc- 的频率相同且相位相反,即第一初始振荡信号 osc+ 与第二初始振荡信号 osc- 为差分信号。

图 4 为本申请实施例提供的振荡器 111 的一种电路结构示意图。如图 4 所示,振荡器 111 包括相互电连接的第一环形拓扑结构和第二环形拓扑结构,第一环形拓扑结构由多个第一反相器 11 首尾相连,以第一传输速度传播振荡信号,第二环形拓扑结构由多个第二反相器 12 首尾相连,以第二传输速度传播振荡信号,且第二传播速度小于第一传播速度。

其中,第一反相器 11 的数量为大于或等于 4 的整数,第二反相器 12 的数量为大于或等于 2 的整数。此外,第二传播速度可以大于或等于 0.5 倍的第一传播速度。

振荡器 111 还可以包括:第三环拓扑结构,由多个第三反相器 13 首尾相连,以第三传播速度传播振荡信号,且第一环形拓扑结构与第三环形拓扑结构电连接,第三传播速度小于第一传播速度。第三反相器 13 的数量为大于或等于 2 的整数,且第三传播速度可以与第二传播速度相同。

相对于仅通过第一环形拓扑结构传播振荡信号,由于第二环形拓扑结构具有的第二传输速度小于第一环形拓扑结构具有的第一传输速度,第二环形拓扑结构的设置可使得振荡信号在单位时间内翻转更多次,从而获取高速的第一初始振荡信号 osc+ 与第二初始振荡信号 osc-,进而获取高速的第一振荡信号 OSC+ 和第二振荡信号 OSC-。

请继续参见图 3,振荡电路 101 还可以包括:路径模拟电路 121,介于振荡器 111 与比较单元 102 之间,路径模拟电路 121 的一端连接振荡器 111 的输出端,路径模拟电路 121 的另一端连接比较单元 102 的输入端,路径模拟电路 121 用于模拟第一路径的电路特性,且接收第一初始振荡信号 osc+ 以产生第一振荡信号 OSC+,接收第二初始振荡信号 osc- 以产生第二振荡信号 OSC-。

电路特性包括:第一路径的器件电阻、器件电容、寄生电阻、寄生电容、输入输出阻抗、驱动能力以及噪声环境中的一者或任意组合。第一路径指的是,时钟信号经由控制器(Controller)传输至存储器的差分输入电路的输出端的信号路径。为便于理解和说明,以下将结合图 3 对第一路径进行说明。

图 5 为一种存储系统示意图。参考图 5,存储系统包括控制器 10 以及多个存储器 20,各存储器 20 和控制器 10 均耦接命令/地址总线(Command Address, CMD/ADD)021、数据总线(DQ)022 以及时钟总线(CK_t/CK_c/WCK_t 和 WCK_c)023。例如,存储器 20 可以是 LPDDR4 或 LPDDR5 或者 LPDDR6,存储器 20 通过命令/地址总线 021 接收控制器 10 提供的命令/地址信号,以 CMD/ADD 标示命令/地址信号;通过数据总线 022 在控制器 10 与存储器 20 之间传输数据信号,以 DQ 标示数据信号;通过时钟总线 023 在控制器 10 与存储器 20 之间传输多种时钟信号,时钟信号可以包括系统时钟信号、读写数据时钟信号,以 CK_t 和 CK_c 标示差分的系统时钟信号,以 WCK_t 和 WCK_c 标示差分的读写数据时钟信号。

控制器 10 与存储器 20 通过差分输入电路 12 耦接,差分输入电路 12 用于接收外部时钟信号并产生内部时钟信号,该内部时钟信号可用于作为完成数据的读写操作的差分输入信号。差分输入电路 12 接收 CK_t、CK_c、WCK_t 和 WCK_c 产生内部时钟信号。差分输入电路 12 可以包括输入缓冲器(Input Buffer, IB)。

命令/地址总线 021、数据总线 022 以及时钟总线 023 均具有电阻且还可能产生寄生电阻或者寄生电容,此外,差分输入电路 12 本身也具有电阻或电容等电路特性,在振荡电路 101 中设置路径模拟电路 121,可模拟这些电路特性。本申请实施例中,通过在振荡电路中设置路径模拟电

路 121, 该路径模拟电路 121 不仅能够将第一初始振荡信号 osc+ 和第二初始振荡信号 osc- 放大输出, 且还能够模拟控制器 10 到差分输入电路 12 的输出端的电路特性, 使得第一振荡信号 OSC+ 以及第二振荡信号 OSC- 更加符合存储器的真实应用情景的高速时钟信号, 从而使得测试结果更加准确有效。

5 如图 3 所示, 路径模拟电路 121 可包括模拟缓冲器 1 以及模拟片上终结电阻 (On Die Termination, ODT) 2。

一般地, 采用高速测试机提供输入信号时, 为了能保证输入信号的稳定性, 输入信号的电平通常为固定值且不能随意改变, 这与存储器的实际应用情况不同, 因此会引入测试偏差, 影响测试结果的准确性。而本申请实施例中, 第一振荡信号 OSC+ 和第二振荡信号 OSC- 作为输入信号, 10 可以通过路径模拟电路 112 调整第一振荡信号 OSC+ 的电平和第二振荡信号 OSC- 的电平, 从而使得测试结果更加准确。

需要说明的是, 在其他实施例中, 振荡电路也可以仅包括振荡器, 即振荡器直接产生第一振荡信号 OSC+ 以及第二振荡信号 OSC-。

请继续参见图 3, 本申请实施例中, 振荡电路 101 还可以包括: 第四寄存器组 131, 与振荡器 111 连接, 用于配置第一振荡信号 OSC+ 和第二振荡信号 OSC- 的频率。第四寄存器组 131 通过配置第一初始振荡信号 osc+ 的频率以配置第一振荡信号 OSC+ 的频率, 通过配置第二初始振荡信号 osc- 的频率以配置第二振荡信号 OSC- 的频率。

其中, 第四寄存器组 131 可以为模式寄存器 (Model Register, MR), 该模式寄存器还可以集成于存储器为实现读写操作功能所需的模式寄存器中, 该模式寄存器也可以为与存储器的模式寄存器相互独立的功能模块。

20 振荡电路 101 还可以包括: 第六寄存器组 141, 与路径模拟电路 121 连接, 用于配置路径模拟电路 121 的电性参数。通过第六寄存器组 141 调整路径模拟电路 121 的电性参数, 以调整路径模拟电路 121 模拟的第一路径的电路特性。

其中, 第六寄存器组 141 可以为模式寄存器, 该模式寄存器还可以集成于存储器为实现读写操作功能所需的模式寄存器中, 该模式寄存器也可以为与存储器的模式寄存器相互独立的功能模块。

30 举例来说, 通过第六寄存器组 141 设置选择路径模拟电路 121 的输出状态, 以 LPDDR4 为例, 设置 $VOH = (1/3) * VDDQ$ 或者 $VOH = (1/2.5) * VDDQ$, $PDDS = 40$ 欧姆 (ohm), $ODT = 40$ ohm, 其中, VOH 为输出驱动电压, $PDDS$ (Pull Down Drive Strength) 为输入下拉驱动强度, ODT (on-die termination) 为片上终结电阻。

由于第一振荡信号 OSC+ 与第二振荡信号 OSC- 为差分信号, 因此第一振荡信号 OSC+ 的占空比与第二振荡信号 OSC- 的占空比之和为 100%, 通过设置比较单元 102 检测差分的第一振荡信号 OSC+ 和第二振荡信号 OSC- 的占空比大小。比较单元 102 对第一振荡信号 OSC+ 的占空比和/或第二振荡信号 OSC- 的占空比进行比较, 包括以下三种情况中的至少一种:

35 比较单元 102 对第一振荡信号 OSC+ 的占空比进行比较。在一些实施例中, 比较单元 102 比较第一振荡信号 OSC+ 的占空比是否到达第一预设范围内, 例如, 该预设范围可以为 48%~52%。若比较单元 102 比较第一振荡信号 OSC+ 的占空比在第一预设范围内, 则说明第二振荡信号 OSC- 的占空比也在第一预设范围内; 若比较单元 102 比较第一振荡信号 OSC+ 的占空比不在第一预设范围内, 则说明第二振荡信号 OSC- 的占空比也不在第一预设范围内。

40 比较单元 102 对第二振荡信号 OSC- 的占空比进行比较。在一些实施例中, 比较单元 102 比较第二振荡信号 OSC- 的占空比是否到达第一预设范围内, 该第一预设范围可以为 48%~52%。若比较单元 102 比较第二振荡信号 OSC- 的占空比在第一预设范围内, 则说明第一振荡信号 OSC+ 的占空比也在第一预设范围内; 若比较单元 102 比较第二振荡信号 OSC- 的占空比不在第一预设范围内, 则说明第一振荡信号 OSC+ 的占空比也不在第一预设范围内。

45 比较单元 102 对第一振荡信号 OSC+ 的占空比与第二振荡信号 OSC- 的占空比进行比较。在一些实施例中, 比较单元 102 获取第一振荡信号 OSC+ 的占空比与第二振荡信号 OSC- 的占空比的差值是否在第一预设差值范围内, 该预设差值范围可以为 -4%~4%; 若比较单元 102 比较该差值在预设差值范围内, 则说明第一振荡信号 OSC+ 和第二振荡信号 OSC- 的占空比在第一预设范围内, 否则, 第一振荡信号 OSC+ 和第二振荡信号 OSC- 的占空比未到达第一预设范围。

50 需要说明的是, 上述的第一预设范围以及预设差值范围的数值范围均为示例性说明, 本申请实施例不对第一预设范围以及预设差值范围做限定, 可根据存储器的实际性能需求合理设置第一

预设范围以及预设差值范围。

本申请实施例中，比较单元 102 包括：积分单元 112，比较单元 112 具有第一输入端 3 和第二输入端 4，第一输入端 3 接收第一振荡信号 OSC+或者第二振荡信号 OSC-中的一者，第二输入端 4 接收第一振荡信号 OSC+或第二振荡信号 OSC-中的另一者；比较器 122，连接积分单元 112 的输出端。

积分单元 112 包括两个积分电路，且第一输入端 3 作为一积分电路的输入端，第二输入端 4 作为另一积分电路的输入端。比较器 122 用于比较两个积分电路的输出并输出高电平或者低电平。

比较单元 102 由两个积分电路对输入的第一振荡信号 OSC+和第二振荡信号 OSC-进行积分运算，且积分运算的结果输入至比较器 122 中，且比较器 122 输出比较结果。

以第一振荡信号 OSC+为正端 (duty+) 且第二振荡信号 OSC-为负端 (duty-) 为例，在一个例子中，比较器 122 的输出为高电平，则表明第一振荡信号 OSC+的占空比大于第二振荡信号 OSC-的占空比；比较器 122 的输出为低电平，则表明第一振荡信号 OSC+的占空比小于第二振荡信号 OSC-的占空比。

需要说明的是，上述关于比较单元 102 的输出结果与第一振荡信号 OSC+的占空比和第二振荡信号 OSC-的占空比之间的对应关系仅为示例，本申请实施例并不限定高电平以及低电平与第一振荡信号 OSC+的占空比和第二振荡信号 OSC-的占空比之间的对应关系，只要保证不同的输出结果对应不同的第一振荡信号 OSC+的占空比和第二振荡信号 OSC-的占空比之间的对应关系即可。

如图 3 所示，比较单元 102 的输出结果可以经采样时钟 clk1 采样输出。本申请实施例中，比较单元 102 由一采样时钟 clk1 驱动，采样时钟 clk1 的频率低于第一振荡信号 OSC+的频率和/或第二振荡信号 OSC-的频率。采样时钟 clk1 的频率越快，则采样误差越大；采样时钟 clk1 的频率越慢，则采样误差越小，但测试时间越长。因此，可根据采样误差以及测试时间综合选择采样时钟 clk1 的最优频率。

本申请实施例中，时钟产生电路还包括：分频器 104，分频器 104 用于接收一外部时钟信号 CLK，产生采样时钟 clk1。该外部时钟信号 CLK 既可以是测试机提供的，也可以是存储器提供的。

此外，由前述分析可知，若采样时钟 clk1 的频率可调，则可根据实际情况选择不同的采样时钟 clk1 频率，为此，本申请实施例中，时钟产生电路还可以包括：第五寄存器组 105，第五寄存器组 105 与分频器 104 连接，用于配置采样时钟的频率。第五寄存器组 105 可以为模式寄存器，有关第五寄存器组 105 的详细说明，可参考前述关于第四寄存器组 131 以及第六寄存器组 141 的描述。

由于比较单元 102 的固有特性可能会带来输入偏差，为了消除比较单元 102 自由的输入偏差对测试结果带来的误差，本申请实施例中，比较单元 102 还可以被配置为第一输入端和第二输入端可互换。例如，比较单元 102 可以被配置为：

积分单元 112 的第一输入端在一翻转标识信号为低电平的情况下接收第一振荡信号 OSC+，在翻转标识信号为高电平的情况下接收第二振荡信号 OSC-；积分单元 112 的第二输入端在翻转标识信号为低电平的情况下接收第二振荡信号 OSC-，在翻转标识信号为高电平的情况下接收第一振荡信号 OSC+。其中，存储器中具有模式寄存器，该翻转标识信号可以由模式寄存器提供，例如，在 LPDDR4 或 LPDDR5 或者 LPDDR6 中，可以为 DCM MR OP[1]，DCM MR OP[1]=0 表示翻转标识信号为低电平，DCM MR OP[1]=1 表示翻转标识信号为高电平。

逻辑单元 103 包括：计数器 113，用于调节第一振荡信号 OSC+和/或第二振荡信号 OSC-的占空比；第一寄存器组 123，在翻转标识信号为低电平的情况下，根据比较器 122 的输出存储计数器 113 的第一值；第二寄存器组 133，在翻转标识信号为高电平的情况下，根据比较器 122 的输出存储计数器 113 的第二值。

计数器 113 的作用包括：调节振荡电路 101 输出的第一振荡信号 OSC+的占空比以及第二振荡信号 OSC-的占空比，且第一振荡信号 OSC+的占空比以及第二振荡信号 OSC-的占空比的变化为单调性变化，例如在一个计数周期内占空比从最小变大最大或者从最大变大最小。在一个计数周期内，比较器 122 的输出结果将有且仅有一个反转点，该反转点对应的计数器 113 的值是振荡电路 101 输出的第一振荡信号 OSC+和第二振荡信号 OSC-的占空比最接近预设范围的设置，将这个值作为计数器的值存入第一寄存器组 123 或者第二寄存器组 133。

在翻转标识信号为低电平的情况下，根据比较器 122 的输出存储计数器 113 的第一值，该第一值存入第一寄存器组 123；在翻转标识信号为高电平的情况下，根据比较器 122 的输出存储计

数器 113 的第二值, 该第二值存入第二寄存器组 133。为便于理解, 以下将对逻辑单元 103 的工作原理进行详细说明:

在翻转标识信号为低电平的情况下, 积分单元 112 的第一输入端接收第一振荡信号 OSC+, 第二输入端接收第二振荡信号 OSC-; 计数器 113 开始计数, 例如在一个计数周期内从 0 开始计数且计到 31, 同时振荡电路 101 输出的第一振荡信号 OSC+ 和第二振荡信号 OSC- 的占空比也从最小变大最大 (例如从 40% 变到 60%) 或者从最大变到最小; 这样, 在一个计数周期 (例如从 0 到 31) 内, 比较器 122 将有且仅有一个反转点, 该反转点对应的计数器 113 的值为第一值, 该第一值是振荡器 111 经由路径模拟电路 121 输出的振荡信号的占空比最接近第一预设范围的设置, 例如可以是占空比最接近 50% 的设置, 该第一值存入第一寄存器组 123 中。

在翻转标识信号为高电平的情况下, 积分单元 112 的第一输入端接收第二振荡信号 OSC-, 第二输入端接收第一振荡信号 OSC+, 即比较单元 102 的输入端互换, 计数器 113 进入新的计数周期, 例如从 0 开始计数且计到 31, 同样的, 将比较器 122 的输出反转点对应的计数器 113 的第二值存入第二寄存器组 133 中。

需要说明的是, 上述从 0 到 31 的计数周期仅为示例说明, 本申请实施例中并不对计数器 113 的计数方式进行限定, 计数器 113 除为加法计数器外也可以为减法计数器, 既可以为依次递增或者递减式计数, 也可以为步进式递增或者递减计数, 保证计数器 113 在单个计数周期内单调性变化即可。

比较单元 102 的第一输入端与第二输入端互换, 通过两次计数控制振荡电路 101 的方式, 可以消除比较单元 102 自身的输入偏差带来的不良影响, 进一步的提高测试结果的准确性。

此外, 逻辑单元 103 还可以包括: 运算组件 143, 连接第一寄存器组 123 和第二寄存器组 133, 用于对第一寄存器组 123 和第二寄存器组 133 的输出做加减乘除运算; 第三寄存器组 153, 连接运算组件 143, 用于存储运算组件 143 的输出结果。

第一寄存器组 123 的输出指的是存入第一寄存器组 123 的第一值, 第二寄存器组 133 的输出指的是存入第二寄存器组 133 的第二值。本申请实施例中, 运算组件 143 对第一值和第二值进行相加除以 2, 得到平均值, 且该平均值作为运算组件 143 的输出结果, 该平均值被存入第三寄存器组 153。由于该平均值已经消除掉比较单元 102 自有的输入偏差, 因此该平均值为振荡电路 101 输出的第一振荡信号 OSC+ 和第二振荡信号 OSC- 的占空比最接近第一预设范围的设置, 例如第一振荡信号 OSC+ 和第二振荡信号 OSC- 的占空比最接近 50%。

可以理解的是, 该平均值既可以是第一值和第二值进行相加除以 2 向上取整的整数, 也可以是第一值和第二值进行相加除以 2 向下取整的整数。

需要说明的是, 本申请实施例中以对第一值和第二值取平均作为示例, 在其他实施例中, 也可以采用其他的运算方式对第一值和第二值进行运算。

第一寄存器组 123、第二寄存器组 133 以及第三寄存器组 153 均可以为模式寄存器。

本申请实施例中, 计数器 113 由一计算器时钟驱动, 计算器时钟的频率低于第一振荡信号 OSC+ 的频率和/或第二振荡信号 OSC- 的频率。计算器时钟的频率可调, 根据调整振荡电路 101 的速度合理选择计算器时钟的频率。

此外, 采样时钟的频率可以与计算器时钟的频率相同。分频器还可以用于接收一外部时钟信号, 产生采样时钟和计算器时钟; 同样的, 第五寄存器组还可以用于配置计算器时钟的频率。

存入第三寄存器组 153 的值对应为振荡电路 101 的设置, 此时, 振荡电路 101 的占空比选择由计数器 113 切换为第三寄存器组 153, 使得振荡电路 101 固定输出具有最优占空比的第一振荡信号 OSC+ 和第二振荡信号 OSC-, 即输出的第一振荡信号 OSC+ 和第二振荡信号 OSC- 的占空比均在第一预设范围内。可以理解的是, 在振荡电路 101 固定以最优占空比输出第一振荡信号 OSC+ 和第二振荡信号 OSC- 期间, 比较单元 102 可以持续对第一振荡信号 OSC+ 的占空比和/或第二振荡信号 OSC- 的占空比进行比较, 若第一振荡信号 OSC+ 的占空比和第二振荡信号 OSC- 的占空比偏离预设范围, 能够及时检测出这一问题。

本申请实施例中, 差分输入电路 12 可以包括输入缓冲器 IB, 用于接收差分的第一外部信号 PAD+ 和第二外部信号 PAD-, 并输出差分的第一内部信号 IBO+ 和第二内部信号 IBO-。

本申请实施例中, 比较单元 102 还连接差分输入电路 12 的输出端, 并对第一内部信号 IBO+ 的占空比和/或第二内部信号 IBO- 的占空比进行比较; 逻辑单元 103 还连接差分输入电路 12, 并用于根据比较单元 102 的输出结果对差分输入电路 12 进行控制, 使得第一内部信号 IBO+ 的占空比和/或第二内部信号 IBO- 的占空比在第二预设范围内。

采用比较单元 102 对第一内部信号 IBO+ 的占空比和第二内部信号 IBO- 的占空比进行检测。

由于第一内部信号 IBO+ 与第二内部信号 IBO- 为差分信号, 因此第一内部信号 IBO+ 的占空比与第二内部信号 IBO- 的占空比之和为 100%, 通过设置比较单元 102 检测差分的第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比大小。比较单元 102 对第一内部信号 IBO+ 的占空比和/或第二内部信号 IBO- 的占空比进行比较, 包括以下三种情况中的至少一种:

比较单元 102 对第一内部信号 IBO+ 的占空比进行比较。在一些实施例中, 比较单元 102 比较第一内部信号 IBO+ 的占空比是否到达第二预设范围内, 例如, 该第二预设范围可以为 48%~52%。若比较单元 102 比较第一内部信号 IBO+ 的占空比在第二预设范围内, 则说明第二内部信号 IBO- 的占空比也在第二预设范围内; 若比较单元 102 比较第一内部信号 IBO+ 的占空比不在第二预设范围内, 则说明第二内部信号 IBO- 的占空比也不在第二预设范围内。

比较单元 102 对第二内部信号 IBO- 的占空比进行比较。在一些实施例中, 比较单元 102 比较第二内部信号 IBO- 的占空比是否到达第二预设范围内, 该第二预设范围可以为 48%~52%。若比较单元 102 比较第二内部信号 IBO- 的占空比在第二预设范围内, 则说明第一内部信号 IBO+ 的占空比也在第二预设范围内; 若比较单元 102 比较第二内部信号 IBO- 的占空比不在第二预设范围内, 则说明第一内部信号 IBO+ 的占空比也不在第二预设范围内。

比较单元 102 对第一内部信号 IBO+ 的占空比与第二内部信号 IBO- 的占空比进行比较。在一些实施例中, 比较单元 102 获取第一内部信号 IBO+ 的占空比与第二内部信号 IBO- 的占空比的差值是否在预设差值范围内, 该预设差值范围可以为 -4%~4%; 若比较单元 102 比较该差值在预设差值范围内, 则说明第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比在第二预设范围内, 否则, 第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比未到达第二预设范围。

需要说明的是, 上述的第二预设范围以及预设差值范围的数值范围均为示例性说明, 本申请实施例并不对第二预设范围以及预设差值范围做限定, 可根据存储器的实际性能需求合理设置第二预设范围以及预设差值范围。

相应的, 对于积分单元 112 而言, 还可以被配置为, 第一输入端 3 接收第一内部信号 IBO+ 或者第二内部信号 IBO- 中的一者, 第二输入端 4 接收第一内部信号 IBO+ 或第二内部信号 IBO- 中的另一者。比较单元 102 由两个积分电路对输入的第一内部信号 IBO+ 和第二内部信号 IBO- 进行积分运算, 且积分运算的结果输入至比较器 122 中, 且比较器 122 输出比较结果。

以第一内部信号 IBO+ 为正端 (duty+) 且第二内部信号 IBO- 为负端 (duty-) 为例, 在一个例子中, 比较器 122 的输出为高电平, 则表明第一内部信号 IBO+ 的占空比大于第二内部信号 IBO- 的占空比; 比较器 122 的输出为低电平, 则表明第一内部信号 IBO+ 的占空比小于第二内部信号 IBO- 的占空比。

需要说明的是, 上述关于比较单元 102 的输出结果与第一内部信号 IBO+ 的占空比和第二内部信号 IBO- 的占空比之间的对应关系仅为示例, 本申请实施例并不限定高电平以及低电平与第一内部信号 IBO+ 的占空比和第二内部信号 IBO- 的占空比之间的对应关系, 只要保证不同的输出结果对应不同的第一内部信号 IBO+ 的占空比和第二内部信号 IBO- 的占空比之间的对应关系即可。

由于比较单元 102 的固有特性可能会带来输入偏差, 为了消除比较单元 102 自由的输入偏差对测试结果带来的误差, 本申请实施例中, 比较单元 102 还可以被配置为第一输入端 3 和第二输入端 4 可互换。比较单元 102 被配置为:

积分单元 112 的第一输入端 3 在一翻转标识信号为低电平的情况下接收第一内部信号 IBO+, 在翻转标识信号为高电平的情况下接收第二内部信号 IBO-; 积分单元 112 的第二输入端 4 在翻转标识信号为低电平的情况下接收第二内部信号 IBO-, 在翻转标识信号为高电平的情况下接收第一内部信号 IBO+。其中, 存储器中具有模式寄存器, 该翻转标识信号可以由模式寄存器提供, 例如在 LPDDR4 或者 LPDDR5 或者 LPDDR6 中, 翻转标识信号可定义为 DCM MR OP[1], DCM MR OP[1]=0 表示翻转标识信号为低电平, DCM MR OP[1]=1 表示翻转标识信号为高电平。

逻辑单元 103 基于比较单元 102 的检测结果对差分输入电路 101 进行控制, 调整差分输入电路 101 的电路特性, 以使调整后的差分输入电路 101 输出的第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比到达第二预设范围内。

计数器 113 还用于调节第一内部信号 IBO+ 和/或第二内部信号 IBO- 的占空比; 第一寄存器组 123, 在翻转标识信号为低电平的情况下, 根据比较器 122 的输出存储计数器 113 的第一值; 第二寄存器组 133, 在翻转标识信号为高电平的情况下, 根据比较器 122 的输出存储计数器 113 的第二值。

计数器 113 的作用还包括: 调节差分输入电路 101 的电路特性, 且改变第一内部信号 IBO+ 的占空比以及第二内部信号 IBO- 的占空比, 且第一内部信号 IBO+ 的占空比以及第二内部信号 IBO- 的占空比的变化为单调性变化, 例如在一个计数周期内占空比从最小变到最大或者从最大变到最小。在一个计数周期内, 比较器 122 的输出结果将有且仅有一个反转点, 该反转点对应的计数器 113 的值是差分输入电路 101 输出的第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比最接近第二预设范围的设置, 将这个值作为计数器 113 的值存入第一寄存器组 123 或者第二寄存器组 133。

在翻转标识信号为低电平的情况下, 根据比较器 122 的输出存储计数器 113 的第一值, 该第一值存入第一寄存器组 123; 在翻转标识信号为高电平的情况下, 根据比较器 122 的输出存储计数器 113 的第二值, 该第二值存入第二寄存器组 133。为便于理解, 以下将对逻辑单元 103 的工作原理进行详细说明:

在翻转标识信号为低电平的情况下, 积分单元 112 的第一输入端 3 接收第一内部信号 IBO+, 第二输入端 4 接收第二内部信号 IBO-; 计数器 113 开始计数, 例如在一个计数周期内从 0 开始计数且计到 31, 同时差分输入电路 101 输出的第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比也从最小变到最大 (例如从 40% 变到 60%) 或者从最大变到最小; 这样, 在一个计数周期 (例如从 0 到 31) 内, 比较器 122 将有且仅有一个反转点, 该反转点对应的计数器 113 的值为第一值, 该第一值是差分输入电路 101 输出的第一内部信号 IBO+ 的占空比最接近第二预设范围的设置, 例如可以是占空比最接近 50% 的设置, 该第一值存入第一寄存器组 123 中。

在翻转标识信号为高电平的情况下, 积分单元 112 的第一输入端 3 接收第二内部信号 IBO-, 第二输入端 4 接收第一内部信号 IBO+, 即比较单元 102 的输入端互换, 计数器 113 进入新的计数周期, 例如重新从 0 开始计数且计到 31, 同样的, 将比较器 122 的输出反转点对应的计数器 113 的第二值存入第二寄存器组 133 中。

需要说明的是, 上述从 0 到 31 的计数周期仅为示例说明, 本申请实施例中并不对计数器 113 的计数方式进行限定, 计数器 113 除为加法计数器外也可以为减法计数器, 既可以为依次递增或者递减式计数, 也可以为步进式递增或者递减计数, 保证计数器 113 在单个计数周期内单调性变化即可。

比较单元 102 的第一输入端 3 与第二输入端 4 互换, 通过两次计数控制差分输入电路 101 的方式, 可以消除比较单元 102 自身的输入偏差带来的不良影响, 进一步的提高测试结果的准确性。

此外, 逻辑单元 103 还包括运算组件 143, 连接第一寄存器组 123 和第二寄存器组 133, 用于对第一寄存器组 123 和第二寄存器组 133 的输出做加减乘除运算; 第三寄存器组 153, 连接运算组件 143, 用于存储运算组件 143 的输出结果。

第一寄存器组 123 的输出指的是存入第一寄存器组 123 的第一值, 第二寄存器组 133 的输出指的是存入第二寄存器组 133 的第二值。本申请实施例中, 运算组件 143 对第一值和第二值进行相加除以 2, 得到平均值, 且该平均值作为运算组件 143 的输出结果, 该平均值被存入第三寄存器组 153。由于该平均值已经消除掉比较单元 102 自有的输入偏差, 因此该平均值为差分输入电路 101 输出的第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比最接近第二预设范围的设置, 例如第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比最接近 50%。

可以理解的是, 该平均值既可以是第一值和第二值进行相加除以 2 向上取整的整数, 也可以是第一值和第二值进行相加除以 2 向下取整的整数。

需要说明的是, 本申请实施例中以对第一值和第二值取平均作为示例, 在其他实施例中, 也可以采用其他的运算方式对第一值和第二值进行运算。

本申请实施例中, 计数器 113 由一计算器时钟驱动, 计算器时钟的频率低于第一内部信号 IBO+ 的频率和/或第二内部信号 IBO- 的频率。计算器时钟的频率可调, 根据调整差分输入电路 101 的速度合理选择计算器时钟的频率。

此外, 采样时钟的频率可以与计算器时钟的频率相同。分频器还可以用于接收一外部时钟信号, 产生采样时钟和计算器时钟; 同样的, 第五寄存器组还可以用于配置计算器时钟的频率。

存入第三寄存器组 153 的值对应为差分输入电路 101 的设置, 此时, 差分输入电路 101 的占空比选择由计数器 113 切换为第三寄存器组 153, 使得差分输入电路固定输出具有最优占空比的第一内部信号 IBO+ 和第二内部信号 IBO-。可以理解的是, 在差分输入电路 101 固定以最优占空比输出第一内部信号 IBO+ 和第二内部信号 IBO- 期间, 比较单元 102 可以持续对第一内部信号 IBO+ 的占空比和/或第二内部信号 IBO- 的占空比进行比较, 若第一内部信号 IBO+ 的占空比和第二

内部信号 IBO- 的真空比偏离第二预设范围, 能够及时检测出这一问题。

在一些实施例中, 所述存储器还包括: 第二选择器 13, 第一振荡信号 OSC+、第二振荡信号 OSC-、第一外部信号 PAD+、第二外部信号 PAD- 均通过第二选择器连接至差分输入电路 12, 记第一振荡信号 OSC+ 和第二振荡信号 OSC- 为第一差分对信号, 记第一外部信号 PAD+ 和第二外部信号 PAD- 为第二差分对信号, 第二选择器 13 用于选择第一差分对信号和第二差分对信号之一输入差分输入电路。

差分输入电路 12 还可以接收差分的第一振荡信号 OSC+ 和第二振荡信号 OSC-, 并输出差分的第一内部信号 IBO+ 和第二内部信号 IBO-。由于差分输入电路 12 具有固有的电路特性, 即使第一振荡信号 OSC+ 和第二振荡信号 OSC- 的占空比在第一预设范围内, 但经由差分输入电路 12 输出后获得的第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比可能发生偏离。为此, 采用比较单元 102 对第一内部信号 IBO+ 的占空比和第二内部信号 IBO- 的占空比进行检测, 并基于检测结果对差分输入电路 12 进行控制。有关控制的方法采用的机理与前述与第一外部信号 PAD+ 和第二外部信号 PAD- 有关对差分输入电路 12 的控制原理相同, 因此将不做赘述。

第二选择器 13 的控制端接收一校准使能信号 dca, 在校准使能信号 dca 为低电平的情况下, 第一外部信号 PAD+ 和第二外部信号 PAD- 输入差分输入电路 12, 在校准使能信号为高电平的情况下, 所述第一振荡信号 OSC+ 和第二振荡信号 OSC- 输入差分输入电路 12。

校准使能信号 dca 为高电平, 则存储器进入占空比校准状态, 占空比在第一预设范围内的第一振荡信号 OSC+ 和第二振荡信号 OSC- 输入至差分输入电路 12, 以执行占空比校准或占空比调节, 实现 DCA 功能; 校准使能信号 dca 为低电平, 则存储器退出占空比校准状态, 第一外部信号 PAD+ 和第二外部信号 PAD- 输入至差分输入电路 12, 以执行占空比检测或占空比监测, 实现 DCM 功能。此外, 校准使能信号 dca 为低电平, 则存储器也可以为占空比校准状态, 第一外部信号 PAD+ 和第二外部信号 PAD- 输入至差分输入电路 101, 以执行占空比检测或占空比监测之后, 对差分输入电路 12 进行调整, 以执行占空比校准或占空比调节, 实现 DCA 功能。

需要说明的是, 在其他实施例中, 也可以设置为: 在校准使能信号为高电平的情况下, 第一外部信号 PAD+ 和第二外部信号 PAD- 输入差分输入电路, 在校准使能信号为低电平的情况下, 所述第一振荡信号 OSC+ 和第二振荡信号 OSC- 输入差分输入电路。

本申请实施例中, 存储器还可以包括: 第一选择器 14, 第一振荡信号 OSC+、第二振荡信号 OSC-、第一内部信号 IBO+、第二内部信号 IBO-、第一外部信号 PAD+、第二外部信号 PAD- 均通过第一选择器 14 连接至比较单元 102, 记第一振荡信号 OSC+ 和第二振荡信号 OSC- 为第一差分对信号, 记第一外部信号 PAD+ 和第二外部信号 PAD- 为第二差分对信号, 记第一内部信号 IBO+ 和第二内部信号 IBO- 为第三差分对信号, 第一选择器 14 用于选择第一差分对信号、第二差分对信号和第三差分对信号中的一者输入比较单元 102。

第一选择器 14 的控制端接收一选择使能信号 (Select Enable Signal, SEL), 并基于选择使能信号 SEL 选择第一差分对信号、第二差分对信号和第三差分对信号中的一者输入比较单元 102。当需要对第一振荡信号 OSC+ 和第二振荡信号 OSC- 的占空比进行监测, 则选择第一振荡信号 OSC+ 和第二振荡信号 OSC- 输入比较单元 102; 当需要对第一外部信号 PAD+ 和第二外部信号 PAD- 的占空比进行监测, 则选择第一外部信号 PAD+ 和第二外部信号 PAD- 输入比较单元 102; 当需要对第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比进行监测, 则选择第一内部信号 IBO+ 和第二内部信号 IBO- 输入比较单元 102。

为便于深入理解本申请实施例提供的存储器, 以下将对本申请实施例提供的存储器的工作原理进行详细说明:

存储器基于 DCM 使能信号, 使存储器进入 DCM 状态。

基于选择使能信号 SEL, 选择外部输入的差分信号 (第一外部信号 PAD+/第二外部信号 PAD-)、内部内置的高速差分信号 (第一振荡信号 OSC+/第二振荡信号 OSC-)、还是内部的差分信号 (第一内部信号 IBO+/第二内部信号 IBO-) 作为 DCM 的输入信号。以下以选择内部内置的高速差分信号为例, DCM 使能信号具有相应电平, 振荡器开始工作, 通过设置第四寄存器组选择需要校准的频率; 振荡器产生第一初始振荡信号和第二初始振荡信号, 并输入到路径模拟电路; 第六寄存器组对路径模拟电路进行控制, 选择路径模拟电路的输出状态, 输出第一振荡信号 OSC+ 和第二振荡信号 OSC-。

由 DCM 使能信号和选择使能信号 SEL 共同控制, 选择第一振荡信号 OSC+ 和第二振荡信号 OSC- 进入比较单元 102。

比较单元 102 在每个采样周期采样一次并输出比较结果, 且逻辑单元 103 基于比较结果对振荡电路进行调整, 且第三寄存器组内的取值作为振荡电路的设置, 保证输出具有在第一预设范围内的占空比的第一振荡信号 OSC+ 和第二振荡信号 OSC-。

切换选择使能信号, 将第一振荡信号 OSC+ 和第二振荡信号 OSC- 经由二选一的第二选择器 13 输入至差分输入电路 12, 以输出第一内部信号 IBO+ 和第二内部信号 IBO-, 并将差分输入电路 12 的输出经由三选一的第三选择器 14 输入至比较单元 102, 且比较单元 102 在每个采样周期采样一次并输出比较结果。此时, 如果只是进行 DCM, 则可以选择将此时的比较结果输出; 如果选择 DCA, 则需要设置 DCA 使能信号, 使存储器进行 DCA 状态, 对差分输入电路 12 进行控制并调整, 且第三寄存器组内的取值作为差分输入电路 12 的设置, 保证输出具有在第一预设范围内的占空比的第一内部信号 IBO+ 和第二内部信号 IBO-。

上述为存储器在测试模式下的 DCM/DCM, 能够保证差分输入电路 12 具有最佳设置。

退出 DCM/DCA 状态, 关掉振荡电路 101, 且通过第二选择器将第一外部信号 PAD+ 和第二外部信号 PAD- 输入至差分输入电路 12 中, 存储器可以进入正常工作模式, 相应的, 也可以再次进入 DCM/DCA 状态, 以对第一外部信号 PAD+ 和第二外部信号 PAD- 经由差分输入电路后产生的第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比进行监测和校准: 若仅对第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比进行监测, 则输出比较结果; 若还需要对第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比进行校准, 则时钟产生电路 11 对差分输入电路 12 进行控制, 调整的差分输入电路 12 的电路特性, 使得第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比在第二预设范围内。

为了进一步深入理解本申请实施例提供的存储器具有的时钟占空比校准功能, 以下将结合存储器的操作步骤进行详细说明, 图 6 为本申请实施例提供的存储器的操作步骤流程示意图。在一个例子中, 存储器的操作步骤可以包括:

步骤 S1、振荡电路产生第一振荡信号 OSC+ 和第二振荡信号 OSC-, 第一振荡信号 OSC+ 与第二振荡信号 OSC- 的频率相同且相位相反, 第一振荡信号 OSC+ 具有一初始占空比。

该初始占空比可以在第一预设范围内, 例如初始占空比在 48%~52%; 该初始占空比也可以未达到第一预设范围, 例如初始占空比为 45%。此外, 第一振荡信号 OSC+ 的占空比与第二振荡信号 OSC- 的占空比之和为 100%。

步骤 S2、比较单元接收第一振荡信号 OSC+ 和第二振荡信号 OSC-, 并对第一振荡信号 OSC+ 的占空比或第二振荡信号 OSC- 的占空比进行比较。

在翻转标识信号为低电平的情况下, 比较单元对第一振荡信号 OSC+ 的占空比进行比较, 例如, 比较单元可以判断第一振荡信号 OSC+ 的占空比是否等于一预设占空比, 如果小于预设占空比, 比较单元输出低电平, 如果大于等于预设占空比, 比较单元输出高电平; 在翻转标识信号为高电平的情况下, 比较单元对第二振荡信号 OSC- 的占空比进行比较, 例如, 比较单元可以判断第二振荡信号 OSC- 的占空比是否等于预设占空比, 如果小于预设占空比, 比较单元输出低电平, 如果大于等于预设占空比, 比较单元输出高电平。该预设占空比例如可以为 50%, 该比较单元的输出并不限定高电平以及低电平与第一振荡信号 OSC+ 的占空比和第二振荡信号 OSC- 的占空比之间的对应关系, 只要保证不同的输出结果对应不同的第一振荡信号 OSC+ 的占空比和第二振荡信号 OSC- 的占空比之间的对应关系即可。

比较单元的输出结果还可以表征第一振荡信号 OSC+ 的占空比与第二振荡信号 OSC- 的占空比之间的差值。例如, 比较单元的输出结果为高电平, 表征第一振荡信号 OSC+ 的占空比大于第二振荡信号 OSC- 的占空比; 比较单元的输出结果为低电平, 表征第一振荡信号 OSC+ 的占空比小于第二振荡信号 OSC- 的占空比。第一振荡信号 OSC+ 的占空比与第二振荡信号 OSC- 的占空比之和为 100%, 例如, 当第一振荡信号 OSC+ 的占空比由 49% 变为 51% 时, 比较单元的输出结果由低电平变为高电平。

比较单元包括: 积分单元, 其具有第一输入端和第二输入端, 第一输入端接收第一振荡信号 OSC+ 或第二振荡信号 OSC- 中的一者, 第二输入端接收第二振荡信号 OSC- 或第一振荡信号 OSC+ 中的另一者; 比较器, 连接积分单元的输出端。

在翻转标识信号为低电平的情况下, 第一输入端接收第一振荡信号 OSC+ 且第二输入端接收第二振荡信号 OSC-, 比较器对第一振荡信号 OSC+ 的占空比进行比较且具有相应的输出; 比较器对第一振荡信号 OSC+ 的占空比进行比较, 可以为: 比较第一振荡信号 OSC+ 的占空比与第二振荡信号 OSC- 的占空比, 或者, 比较第一振荡信号 OSC+ 的占空比与预设占空比。

在翻转标识信号为高电平的情况下,第一输入端接收第二振荡信号 OSC-且第二输入端接收第一振荡信号 OSC+,比较器对第二振荡信号 OSC-的占空比进行比较且具有相应的输出;比较器对第二振荡信号 OSC-的占空比进行比较,可以为:比较第二振荡信号 OSC-的占空比与第一振荡信号 OSC+的占空比,或者,比较第二振荡信号 OSC-的占空比与预设占空比。

- 5 步骤 S3、逻辑单元根据比较单元的输出结果对振荡电路进行控制,使得振荡电路产生的所述第一振荡信号 OSC+的占空比由初始占空比变为预设占空比。

该预设占空比在第一预设范围内。在一些实施例中,逻辑单元包括计数器、第一寄存器组、第二寄存器组。通过计数器控制振荡电路,以调整第一振荡信号 OSC+的占空比和第二振荡信号 OSC-的占空比。

- 10 在翻转标识信号为低电平的情况下,计数器从 M 计数至 N,在计数器为 M 的情况下对应第一振荡信号 OSC+的占空比为 P%,在计数器为 N 的情况下对应第一振荡信号 OSC+的占空比为 Q%,在比较单元的输出结果由低电平变为高电平的情况下,将此时计数器对应的计数器值存入所述第一寄存器组。例如,M 可以为 0,N 可以为 31,P 可以为 45,Q 可以为 55,初始占空比可以为 45%,也可以为其他值。

- 15 在翻转标识信号为高电平的情况下,计数器从 M 计数至 N,在计数器为 M 的情况下对应第二振荡信号 OSC-的占空比为 Q%,在计数器为 N 的情况下对应第二振荡信号 OSC-的占空比为 P%,在比较单元的输出结果由高电平变为低电平的情况下,将此时计数器对应的计数器值存入第二寄存器组。例如,M 可以为 0,N 可以为 31,P 可以为 45,Q 可以为 55,初始占空比可以为 45%,也可以为其他值。

- 20 其中,M 和 N 均为整数,M 小于 N,P 和 Q 均为正整数,P 小于 50,Q 大于 50。初始占空比例如可以为介于 1%至 99%的任意值,预设占空比例如可以为 48%至 52%的任意值,甚至预设占空比可以等于 50%。

- 25 在翻转标识信号为低电平的情况下,第一输入端接收第一振荡信号 OSC+且第二输入端接收第二振荡信号 OSC-,计数器在一个计数周期内由 0 计数至 31,比较单元的输出结果为低电平时,说明第一振荡信号 OSC+的占空比小于第二振荡信号 OSC-的占空比;比较单元的输出结果为高电平时,说明第一振荡信号 OSC+的占空比大于第二振荡信号 OSC-的占空比。因此,比较单元的输出结果由低电平跳转为高电平对应具有一个反转点,该反转点对应的计数器的计数器值作为第一值存入第一寄存器组。

- 30 在翻转标识信号为高电平的情况下,第一输入端接收第二振荡信号 OSC-且第二输入端接收第一振荡信号 OSC+,计数器在一个计数周期内由 0 计数至 31,比较单元的输出结果为高电平时,说明第一振荡信号 OSC+的占空比小于第二振荡信号 OSC-的占空比;比较单元的输出结果为低电平时,说明第一振荡信号 OSC+的占空比大于第二振荡信号 OSC-的占空比。因此,比较单元的输出结果由高电平跳转为低电平对应具有一个反转点,该反转点对应的计数器的计数器值作为第二值存入第二寄存器组。

- 35 需要说明的是,在翻转标识信号为低电平的情况下,计数器从 0 计数至 31,第一振荡信号 OSC+的占空比单调性变化,例如可以为预设步进式递增,如计数器的计数器值每增加 1 则第一振荡信号 OSC+的占空比增加 $((55-45)/32)\%$ 。同理,当翻转标识信号为高电平,计数器从 0 计数至 31,第二振荡信号 OSC-的占空比单调性变化,例如可以为预设步进式递增,如计数器的计数器值每增加 1 则第二振荡信号 OSC-的占空比增加 $((55-45)/32)\%$ 。

- 40 逻辑单元还包括运算组件、第三寄存器组;运算组件将第一寄存器组和第二寄存器组的输出做加减乘除运算,并将得到的数值 L 存入第三寄存器组;其中,L 为正整数,L 大于等于 M 且小于等于 N。

- 45 本申请实施例中,数值 L 为第一值和第二值相加除以 2,即数值 L 为第一值和第二值取平均,该数值 L 即为对应振荡电路输出的第一振荡信号 OSC+和第二振荡信号 OSC-到达预设范围的设置。也就是说,数值 L 对应第一振荡信号 OSC+的占空比为预设占空比,该预设占空比可以为 48%~52%,例如为 50%。

在获取数值 L 后,不再由计数器控制振荡电路,而是将数值 L 作为振荡电路的设置,以使振荡电路输出具有预设占空比的第一振荡信号 OSC+,相应的第二振荡信号 OSC-也为占空比符合要求的振荡信号。

- 50 步骤 S4、差分输入电路接收第一振荡信号 OSC+和第二振荡信号 OSC-,第一振荡信号 OSC+与第二振荡信号 OSC-的频率相同且相位相反,第一振荡信号 OSC+和第二振荡信号 OSC-的占空

比在第一预设范围内, 差分输入电路输出第一内部信号 IBO+ 和第二内部信号 IBO-。

第一振荡信号 OSC+ 和第二振荡信号 OSC- 为具有稳定占空比的信号, 例如第一振荡信号 OSC+ 和第二振荡信号 OSC- 的占空比都为 50%。

- 5 步骤 S5、比较单元接收第一内部信号 IBO+ 和第二内部信号 IBO-, 并对第一内部信号 IBO+ 的占空比或第二内部信号 IBO- 的占空比进行比较。

差分输入电路输出的第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比有可能出现偏差, 例如第一内部信号 IBO+ 占空比变为 40%, 第二内部信号 IBO- 占空比变为 60%。

在翻转标识信号为低电平的情况下, 比较单元对第一内部信号 IBO+ 的占空比进行比较; 在翻转标识信号为高电平的情况下, 比较单元对第二内部信号 IBO- 的占空比进行比较。

- 10 比较单元包括: 积分单元, 其具有第一输入端和第二输入端, 第一输入端接收第一内部信号 IBO+ 或第二内部信号 IBO- 中的一者, 第二输入端接收第二内部信号 IBO- 或第一内部信号 IBO+ 中的另一者; 比较器, 连接积分单元的输出端。

- 15 在翻转标识信号为低电平的情况下, 第一输入端接收第一内部信号 IBO+ 且第二输入端接收第二内部信号 IBO-, 比较器对第一内部信号 IBO+ 的占空比进行比较且具有相应的输出; 比较器对第一内部信号 IBO+ 的占空比进行比较, 可以为: 比较第一内部信号 IBO+ 的占空比与第二内部信号 IBO- 的占空比, 或者, 比较第一内部信号 IBO+ 的占空比与预设占空比。

- 20 在翻转标识信号为高电平的情况下, 第一输入端接收第二内部信号 IBO- 且第二输入端接收第一内部信号 IBO+, 比较器对第二内部信号 IBO- 的占空比进行比较且具有相应的输出; 比较器对第二内部信号 IBO- 的占空比进行比较, 可以为: 比较第二内部信号 IBO- 的占空比与第一内部信号 IBO+ 的占空比, 或者, 比较第二内部信号 IBO- 的占空比与预设占空比。

比较单元的输出结果表征第一内部信号 IBO+ 的占空比与第二内部信号 IBO- 的占空比之间的差值。例如, 比较单元的输出结果为高电平, 表征第一内部信号 IBO+ 的占空比大于第二内部信号 IBO- 的占空比; 比较单元的输出结果为低电平, 表征第一内部信号 IBO+ 的占空比小于第二内部信号 IBO- 的占空比。

- 25 步骤 S6、逻辑单元根据比较单元的输出结果对差分输入电路进行控制, 使得第一内部信号 IBO+ 的占空比和/或第二内部信号 IBO- 的占空比到达第二预设范围内。

逻辑单元包括计数器、第一寄存器组、第二寄存器组。通过计数器控制差分输入电路, 以调整第一内部信号 IBO+ 的占空比和第二内部信号 IBO- 的占空比。

- 30 在翻转标识信号为低电平的情况下, 计数器从 U 计数至 V, 在计数器为 U 的情况下对应第一内部信号 IBO+ 的占空比为 X%, 在计数器为 V 的情况下对应第一内部信号 IBO+ 的占空比为 Y%, 在比较单元的输出结果由低电平变为高电平的情况下, 将此时计数器对应的计数器值存入所述第一寄存器组。例如, U 可以为 0, V 可以为 7, X 可以为 40, Y 可以为 60%。

- 35 在翻转标识信号为高电平的情况下, 计数器从 U 计数至 V, 在计数器为 U 的情况下对应第二内部信号 IBO- 的占空比为 Y%, 在计数器为 V 的情况下对应第二内部信号 IBO- 的占空比为 X%, 在比较单元的输出结果由高电平变为低电平的情况下, 将此时计数器对应的计数器值存入第二寄存器组。例如, U 可以为 0, V 可以为 7, X 可以为 40, Y 可以为 60%。

- 40 例如, 在翻转标识信号为低电平的情况下, 第一输入端接收第一内部信号 IBO+ 且第二输入端接收第二内部信号 IBO-, 计数器在一个计数周期内由 0 计数至 7, 比较单元的输出结果为低电平时, 说明第一内部信号 IBO+ 的占空比小于第二内部信号 IBO- 的占空比; 比较单元的输出结果为高电平时, 说明第一内部信号 IBO+ 的占空比大于第二内部信号 IBO- 的占空比。因此, 比较单元的输出结果由低电平跳转为高电平对应具有一个反转点, 例如此时计数器的值为 3, 该反转点对应的计数器的计数器值 3 作为第一值存入第一寄存器组。

- 45 例如, 在翻转标识信号为高电平的情况下, 第一输入端接收第二内部信号 IBO- 且第二输入端接收第一内部信号 IBO+, 计数器在一个计数周期内由 0 计数至 7, 比较单元的输出结果为高电平时, 说明第一内部信号 IBO+ 的占空比小于第二内部信号 IBO- 的占空比; 比较单元的输出结果为低电平时, 说明第一内部信号 IBO+ 的占空比大于第二内部信号 IBO- 的占空比。因此, 比较单元的输出结果由高电平跳转为低电平对应具有一个反转点, 例如此时计数器的值为 4, 该反转点对应的计数器的计数器值 4 作为第二值存入第二寄存器组。

- 50 需要说明的是, 在翻转标识信号为低电平的情况下, 计数器从 0 计数至 7, 第一内部信号 IBO+ 的占空比是单调性变化, 例如第一内部信号 IBO+ 的占空比可以为预设步进式递增, 如计数器的计数器值每增加 1, 则第一内部信号 IBO+ 的占空比增加 $((60-40)/8)\%$ 。同理, 当翻转标识信

号为高电平,计数器从0计数至7,第二内部信号 IBO-的占空比是单调性变化,例如第一内部信号 IBO+的占空比可以为预设步进式递增,如计数器的计数器值每增加1,则第一内部信号 IBO+的占空比增加 $((60-40)/8)\%$ 。

5 逻辑单元还包括运算组件、第三寄存器组;运算组件将第一寄存器组和第二寄存器组的输出做加减乘除运算,并将得到的数值H存入第三寄存器组;其中,H为正整数,H大于等于U且小于等于V。

本申请实施例中,数值H为第一值和第二值相加除以2,即数值H为第一值和第二值取平均,该数值H即为对应第一内部信号 IBO+和第二内部信号 IBO-到达第二预设范围的设置,例如H等于 $(3+4)/2$,即H等于3.5,H还可以上取整为3或下取整为4。也就是说,数值H对应第一内部信号 IBO+的占空比在第二预设范围内,该第二预设范围可以为48%~52%,例如为50%。

10 在获取数值H后,不再由计数器控制差分输入电路,而是将数值H作为差分输入电路的设置,以使差分输入电路输出具有预设占空比的第一内部信号 IBO+,相应的第二内部信号 IBO-也为占空比符合要求的信号。

该第一内部信号 IBO+和第二内部信号 IBO-可作为测试存储器的测试所需时钟信号。在完成测试后,切换差分输入电路接收第一外部信号 PAD+和第二外部信号 PAD-,并产生第一内部信号 IBO+和第二内部信号 IBO-;相应的,比较单元和逻辑单元也可以对该第一内部信号 IBO+和第二内部信号 IBO-进行占空比监测,并根据比较单元的输出结果对差分输入电路进行控制,以保证第一内部信号 IBO+和第二内部信号 IBO-的占空比稳定性,改善存储器的读写性能。

20 本申请实施例提供的存储器,通过振荡电路、比较单元以及逻辑单元,能够在存储器内部产生高速且占空比可调的第一振荡信号 OSC+和第二振荡信号 OSC-,且第一振荡信号 OSC+与第二振荡信号 OSC-为差分信号,该第一振荡信号 OSC+和第二振荡信号 OSC-满足存储器高频工作信号的需求,因此能够作为测试存储器的测试输入信号,使得存储器能够实现内置自测功能,无需利用额外的测试机提供测试输入信号,同时解决了测试机难以提供高频的测试输入信号的问题。

25 此外,本申请实施例中,比较单元102对振荡电路101的输出进行检测,且逻辑单元103基于比较单元102的输出结果对振荡电路101进行控制,从而保证第一振荡信号 OSC+和第二振荡信号 OSC-的占空比能够稳定在预设范围内,从而避免了占空比偏差对测试准确度带来的不良影响,提高利用第一振荡信号 OSC+和第二振荡信号 OSC-对存储器进行测试的测试准确度。例如,第一振荡信号 OSC+的占空比和第二振荡信号 OSC-的占空比可精确控制在50%。

30 另外,由于振荡电路101还包括路径模拟电路121,该路径模拟电路121不仅能够将高速振荡信号放大输出,且还可以模拟从口控制器到高速差分输入电路的输出端的信号特性,使得第一振荡信号 OSC+和第二振荡信号 OSC-更加符合存储器的实际应用情况,从而进一步的提高利用第一振荡信号 OSC+和第二振荡信号 OSC-进行测试的测试准确性。

35 通过差分输入电路101、比较单元102以及逻辑单元103,能够在存储器内部产生稳定的第一内部信号 IBO+和第二内部信号 IBO-,该第一内部信号 IBO+和第二内部信号 IBO-满足存储器高频工作信号的需求,因此能够作为测试存储器的测试输入信号,使得存储器能够实现内置自测功能,无需利用额外的测试机提供测试输入信号,同时解决了测试机难以提供高频的测试输入信号的问题。

40 同时,该存储器还能够对差分输入电路12进行校正,可以减小由差分输入电路12本身所引起的占空比偏差,从而提高了存储器的读写操作性能,例如提高了噪声容限且改善了信号完整性。相应的,第一内部信号 IBO+和第二内部信号 IBO-基于第一外部信号 PAD+和第二外部信号 PAD-产生时,该第一内部信号 IBO+和第二内部信号 IBO-为存储器正常读写操作所需的时钟信号,由于第一内部信号 IBO+和第二内部信号 IBO-的占空比稳定性好,因此能够提高存储器的读写操作性能。

45 此外,本申请实施例中,比较单元102对差分输入电路101的输出进行检测,且逻辑单元103基于比较单元102的输出结果对差分输入电路101进行控制,从而保证第一内部信号 IBO+和第二内部信号 IBO-的占空比能够稳定在第二预设范围内,从而避免了占空比偏差对测试准确度带来的不良影响,提高利用第一内部信号 IBO+和第二内部信号 IBO-对存储器进行测试的测试准确度。例如,第一内部信号 IBO+和第二内部信号 IBO-的占空比可精确控制在50%。

同时,本申请实施例提供的存储器,还具有占空比监测功能以及占空比较准功能。

50 本申请另一实施例还提供一种存储器,图7为本申请另一实施例提供的存储器的一种功能框图,图8为本申请另一实施例提供的存储器的另一种功能框图,图9为本申请另一实施例提供的

存储器的结构示意图。以下将结合附图对本申请另一实施例提供的存储器进行详细说明。

参考图 7 至图 9, 本申请实施例中, 存储器包括: 校准电路 21, 用于接收第一外部信号 PAD+ 和第二外部信号 PAD-, 并产生第一内部信号 IBO+ 和第二内部信号 IBO-, 第一内部信号 IBO+ 和/或第二内部信号 IBO- 的占空比在第三预设范围内; 时钟产生电路 22, 用于产生第一振荡信号 OSC+ 5 和第二振荡信号 OSC-, 第一振荡信号 OSC+ 与第二振荡信号 OSC- 的频率相同、相位相反; 其中, 校准电路 21 还用于调节第一振荡信号 OSC+ 和/或第二振荡信号 OSC- 的占空比, 并使得第一振荡信号 OSC+ 和/或第二振荡信号 OSC- 的占空比在第四预设范围内。

以下将结合附图对本申请实施例提供的存储器进行详细说明。

10 第一外部信号 PAD+ 和第二外部信号 PAD- 为存储器正常读写操作所需的时钟信号, 且第一外部信号 PAD+ 和第二外部信号 PAD- 为差分信号。

本申请实施例中, 校准电路 21 包括: 差分输入电路 201, 用于接收第一外部信号 PAD+ 和第二外部信号 PAD-, 并产生第一内部信号 IBO+ 和第二内部信号 IBO-; 比较单元 202, 连接差分输入电路 201 的输出端, 并对第一内部信号 IBO+ 的占空比和/或第二内部信号 IBO- 的占空比进行比较; 逻辑单元 203, 连接比较单元 202 和差分输入电路 201, 用于根据比较单元 202 的输出结果 15 对差分输入电路 201 进行控制, 使得第一内部信号 IBO+ 的占空比和/或第二内部信号 IBO- 的占空比到达所述第三预设范围内。

由于第一内部信号 IBO+ 与第二内部信号 IBO- 为差分信号, 因此第一内部信号 IBO+ 的占空比与第二内部信号 IBO- 的占空比之和为 100%, 通过设置比较单元 202 检测差分的第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比大小。比较单元 202 对第一内部信号 IBO+ 的占空比和/或第二 20 内部信号 IBO- 的占空比进行比较, 包括以下三种情况中的至少一种:

比较单元 202 对第一内部信号 IBO+ 的占空比进行比较。在一些实施例中, 比较单元 202 比较第一内部信号 IBO+ 的占空比是否到达第三预设范围, 例如, 该第三预设范围可以为 48%~52%。若比较单元 202 比较第一内部信号 IBO+ 的占空比在第三预设范围内, 则说明第二内部信号 IBO- 25 的占空比也在第三预设范围内; 若比较单元 202 比较第一内部信号 IBO+ 的占空比不在第三预设范围内, 则说明第二内部信号 IBO- 的占空比也不在第三预设范围内。

比较单元 202 对第二内部信号 IBO- 的占空比进行比较。在一些实施例中, 比较单元 202 比较第二内部信号 IBO- 的占空比是否到达第三预设范围, 该第二预设范围可以为 48%~52%。若比较单元 202 比较第二内部信号 IBO- 的占空比在第三预设范围内, 则说明第一内部信号 IBO+ 的占空比也在第三预设范围内; 若比较单元 202 比较第二内部信号 IBO- 的占空比不在第三预设范围内, 30 则说明第一内部信号 IBO+ 的占空比也不在第三预设范围内。

比较单元 202 对第一内部信号 IBO+ 的占空比与第二内部信号 IBO- 的占空比进行比较。在一些实施例中, 比较单元 202 获取第一内部信号 IBO+ 的占空比与第二内部信号 IBO- 的占空比的差值是否在预设差值范围内, 该预设差值范围可以为 -4%~4%; 若比较单元 202 比较该差值在预设 35 差值范围内, 则说明第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比在第三预设范围内, 否则, 第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比未到达第三预设范围。

需要说明的是, 上述的第三预设范围以及预设差值范围的数值范围均为示例性说明, 本申请实施例并不对第三预设范围以及预设差值范围做限定, 可根据存储器的实际性能需求合理设置第三预设范围以及预设差值范围。

比较单元 202 包括: 积分单元 212, 积分单元 212 具有第一输入端 3 和第二输入端 4, 第一 40 输入端 3 接收第一内部信号 IBO+ 或第二内部信号 IBO- 中的一者, 第二输入端 4 接收所述第二内部信号 IBO- 或第一内部信号 IBO+ 中的另一者; 比较器 222, 连接积分单元 212 的输出端。

其中, 积分单元 212 包括两个积分电路, 且第一输入端 3 作为一积分电路的输入端, 第二输入端 4 作为另一积分电路的输入端。比较器 222 用于比较两个积分电路的输出并输出高电平或者 45 低电平。

比较单元 202 由两个积分电路对输入的第一内部信号 IBO+ 和第二内部信号 IBO- 进行积分运算, 且积分运算的结果输入至比较器 222 中, 且比较器 222 输出比较结果。

以第一内部信号 IBO+ 为正端 (duty+) 且第二内部信号 IBO- 为负端 (duty-) 为例, 在一个例子中, 比较器 222 的输出为高电平, 则表明第一内部信号 IBO+ 的占空比大于第二内部信号 IBO- 50 的占空比; 比较器 222 的输出为低电平, 则表明第一内部信号 IBO+ 的占空比小于第二内部信号 IBO- 的占空比。

需要说明的是, 上述关于比较单元 202 的输出结果与第一内部信号 IBO+ 的占空比和第二内

部信号 IBO- 的占空比之间的对应关系仅为示例, 本申请实施例并不限定高电平以及低电平与第一内部信号 IBO+ 的占空比和第二内部信号 IBO- 的占空比之间的对应关系, 只要保证不同的输出结果对应不同的第一内部信号 IBO+ 的占空比和第二内部信号 IBO- 的占空比之间的对应关系即可。

如图 2 所示, 比较单元 202 的输出结果可以经采样时钟 clk1 采样输出。本申请实施例中, 比较单元 202 由一采样时钟 clk1 驱动, 采样时钟 clk1 的频率低于第一内部信号 IBO+ 的频率和/或第二内部信号 IBO- 的频率。采样时钟 clk1 的频率越快, 则采样误差越大; 采样时钟 clk1 的频率越慢, 则采样误差越小, 但测试时间越长。因此, 可根据采样误差以及测试时间综合选择采样时钟 clk1 的最优频率。

本申请实施例中, 时钟产生电路还包括: 分频器 104, 接收一外部时钟信号 CLK, 产生采样时钟 clk1。该外部时钟信号 CLK 既可以是测试机提供的, 也可以是存储器提供的。

此外, 由前述分析可知, 若采样时钟 clk1 的频率可调, 则可根据实际情况选择不同的采样时钟 clk1 频率, 为此, 本申请实施例中, 时钟产生电路还可以包括: 第五寄存器组 105, 与分频器 104 连接, 用于配置采样时钟的频率。第五寄存器组 105 可以为模式寄存器。

由于比较单元 202 的固有特性可能会带来输入偏差, 为了消除比较单元 202 自由的输入偏差对测试结果带来的误差, 本申请实施例中, 比较单元 202 还可以被配置为第一输入端 3 和第二输入端 4 可互换。比较单元 202 被配置为:

积分单元 212 的第一输入端 3 在一翻转标识信号为低电平的情况下接收第一内部信号 IBO+, 在翻转标识信号为高电平的情况下接收第二内部信号 IBO-; 积分单元 212 的第二输入端 4 在翻转标识信号为低电平的情况下接收第二内部信号 IBO-, 在翻转标识信号为高电平的情况下接收第一内部信号 IBO+。其中, 存储器中具有模式寄存器, 该翻转标识信号可以由模式寄存器提供, 例如在 LPDDR4 或者 LPDDR5 或者 LPDDR6 中, 翻转标识信号可定义为 DCM MR OP[1], DCM MR OP[1]=0 表示翻转标识信号为低电平, DCM MR OP[1]=1 表示翻转标识信号为高电平。

逻辑单元 203 基于比较单元 202 的检测结果对差分输入电路 201 进行控制, 调整差分输入电路 201 的电路特性, 以使调整后的差分输入电路 201 输出的第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比到达第二预设范围内。

逻辑单元 203 包括: 计数器 213, 用于调节第一内部信号 IBO+ 和/或第二内部信号 IBO- 的占空比; 第一寄存器组 223, 在翻转标识信号为低电平的情况下, 根据比较器 222 的输出存储计数器 213 的第一值; 第二寄存器组 233, 在翻转标识信号为高电平的情况下, 根据比较器 222 的输出存储计数器 213 的第二值。

计数器 213 的作用包括: 调节差分输入电路 201 的电路特性, 且改变第一内部信号 IBO+ 的占空比以及第二内部信号 IBO- 的占空比, 且第一内部信号 IBO+ 的占空比以及第二内部信号 IBO- 的占空比的变化为单调性变化, 例如在一个计数周期内占空比从最小变到最大或者从最大变到最小。在一个计数周期内, 比较器 222 的输出结果将有且仅有一个反转点, 该反转点对应的计数器 213 的值是差分输入电路 201 输出的第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比最接近第三预设范围的设置, 将这个值作为计数器 213 的值存入第一寄存器组 223 或者第二寄存器组 233。

在翻转标识信号为低电平的情况下, 根据比较器 222 的输出存储计数器 213 的第一值, 该第一值存入第一寄存器组 223; 在翻转标识信号为高电平的情况下, 根据比较器 222 的输出存储计数器 213 的第二值, 该第二值存入第二寄存器组 233。为便于理解, 以下将对逻辑单元 203 的工作原理进行详细说明:

在翻转标识信号为低电平的情况下, 积分单元 212 的第一输入端 3 接收第一内部信号 IBO+, 第二输入端 4 接收第二内部信号 IBO-; 计数器 213 开始计数, 例如在一个计数周期内从 0 开始计数且计到 31, 同时差分输入电路 201 输出的第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比也从最小变到最大 (例如从 40% 变到 60%) 或者从最大变到最小; 这样, 在一个计数周期 (例如从 0 到 31) 内, 比较器 222 将有且仅有一个反转点, 该反转点对应的计数器 213 的值为第一值, 该第一值是差分输入电路 201 输出的第一内部信号 IBO+ 的占空比最接近第二预设范围的设置, 例如可以是占空比最接近 50% 的设置, 该第一值存入第一寄存器组 223 中。

在翻转标识信号为高电平的情况下, 积分单元 212 的第一输入端 3 接收第二内部信号 IBO-, 第二输入端 4 接收第一内部信号 IBO+, 即比较单元 202 的输入端互换, 计数器 213 进入新的计数周期, 例如重新从 0 开始计数且计到 31, 同样的, 将比较器 222 的输出反转点对应的计数器 213 的第二值存入第二寄存器组 233 中。

需要说明的是, 上述从 0 到 31 的计数周期仅为示例说明, 本申请实施例中并不对计数器 213

的计数方式进行限定,计数器 213 除为加法计数器外也可以为减法计数器,既可以为依次递增或者递减式计数,也可以为步进式递增或者递减计数,保证计数器 213 在单个计数周期内单调性变化即可。

5 比较单元 202 的第一输入端 3 与第二输入端 4 互换,通过两次计数控制差分输入电路 201 的方式,可以消除比较单元 202 自身的输入偏差带来的不良影响,进一步的提高测试结果的准确性。

此外,逻辑单元 203 还可以包括:运算组件 243,连接第一寄存器组 223 和第二寄存器组 233,用于对第一寄存器组 223 和第二寄存器组 233 的输出做加减乘除运算;第三寄存器组 253,连接运算组件 243,用于存储运算组件 243 的输出结果。

10 第一寄存器组 223 的输出指的是存入第一寄存器组 223 的第一值,第二寄存器组 233 的输出指的是存入第二寄存器组 233 的第二值。本申请实施例中,运算组件 243 对第一值和第二值进行相加除以 2,得到平均值,且该平均值作为运算组件 243 的输出结果,该平均值被存入第三寄存器组 253。由于该平均值已经消除掉比较单元 202 自有的输入偏差,因此该平均值为差分输入电路 201 输出的第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比最接近第三预设范围的设置,例如第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比最接近 50%。

15 可以理解的是,该平均值既可以是第一值和第二值进行相加除以 2 向上取整的整数,也可以是第一值和第二值进行相加除以 2 向下取整的整数。

需要说明的是,本申请实施例中以对第一值和第二值取平均作为示例,在其他实施例中,也可以采用其他的运算方式对第一值和第二值进行运算。

第一寄存器组 223、第二寄存器组 233 以及第三寄存器组 253 均可以为模式寄存器。

20 本申请实施例中,计数器 213 由一计算器时钟驱动,计算器时钟的频率低于第一内部信号 IBO+ 的频率和/或第二内部信号 IBO- 的频率。计算器时钟的频率可调,根据调整差分输入电路 201 的速度合理选择计算器时钟的频率。

此外,采样时钟的频率可以与计算器时钟的频率相同。分频器还可以用于接收一外部时钟信号,产生采样时钟和计算器时钟;同样的,第五寄存器组还可以用于配置计算器时钟的频率。

25 存入第三寄存器组 253 的值对应为差分输入电路 201 的设置,此时,差分输入电路 201 的占空比选择由计数器 213 切换为第三寄存器组 253,使得差分输入电路固定输出具有最优占空比(即第三预设范围内的占空比)的第一内部信号 IBO+ 和第二内部信号 IBO-。可以理解的是,在差分输入电路 201 固定以最优占空比输出第一内部信号 IBO+ 和第二内部信号 IBO- 期间,比较单元 202 可以持续对第一内部信号 IBO+ 的占空比和/或第二内部信号 IBO- 的占空比进行比较,若第一内部信号 IBO+ 的占空比和第二内部信号 IBO- 的占空比偏离第三预设范围,能够及时检测出这一问题。

30 比较单元 202 还连接时钟产生电路 22 的输出端,接收第一振荡信号 OSC+ 和第二振荡信号 OSC-,用于对第一振荡信号 OSC+ 的占空比和/或第二振荡信号 OSC- 的占空比进行比较;逻辑单元 203 还连接时钟产生电路 22,且用于根据比较单元 202 的输出结果对时钟产生电路 22 进行控制,使得第一振荡信号 OSC+ 和/或第二振荡信号 OSC- 的占空比在第四预设范围。

35 相应的,对于比较单元 202 而言,其积分电路 212 还被配置为,第一输入端 3 接收第一振荡信号 OSC+ 或第二振荡信号 OSC- 中的一者,第二输入端 4 接收第二振荡信号 OSC- 或第一振荡信号 OSC+ 中的另一者。第一输入端 3 在一翻转标识信号为低电平的情况下接收第一振荡信号 OSC+,在翻转标识信号为高电平的情况下接收第二振荡信号 OSC-;第二输入端在翻转标识信号为低电平的情况下接收第二振荡信号 OSC-,在翻转标识信号为高电平的情况下接收第一振荡信号 OSC+。

40 相应的,计数器还用于调节第一振荡信号 OSC+ 的占空比和/或第二振荡信号 OSC- 的占空比;且采样时钟的频率低于第一振荡信号 OSC+ 和/或第二振荡信号 OSC- 的频率;此外,计算器时钟的频率低于第一振荡信号 OSC+ 的频率和/或第二振荡信号 OSC- 的频率。

45 本申请实施例中,时钟产生电路 22 包括:振荡电路 221,用于产生第一振荡信号 OSC+ 和第二振荡信号 OSC-,且所述振荡电路 221 的输出端连接比较单元 202。校准电路 21 还控制振荡电路 221,以使得第一振荡信号 OSC+ 和/或第二振荡信号 OSC- 的占空比在第四预设范围内。

50 振荡电路 221 包括:振荡器 2211,用于产生第一初始振荡信号和第二初始振荡信号,第一初始振荡信号与第二初始振荡信号的频率相同且相位相反;路径模拟电路 2212,介于振荡器 2211 和比较单元 202 之间,一端连接振荡器 2211 的输出端,另一端连接比较单元 202 的输入端,用于模拟第一路径的电路特性,接收第一初始振荡信号以产生第一振荡信号 OSC+,接收第二初始振荡信号以产生第二振荡信号 OSC-;在一些实施例中,所述存储器还包括:第四寄存器组 2213,与振荡器 2211 连接,用于配置第一振荡信号 OSC+ 的频率和第二振荡信号 OSC- 的频率;所述存

存储器还包括：第六寄存器组 2214，与路径模拟电路 2212 连接，用于配置路径模拟电路 2212 的电性参数。

有关振荡电路 221 的具体结构说明，可参考前述实施例，以下将不做详细赘述。

- 5 有关校准电路 201 使得第一振荡信号 OSC+ 和第二振荡信号 OSC- 的占空比在第四预设范围内的具体机理，可参考前述校准电路 201 使得第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比在第三预设范围内的具体机理，以下将不做详细赘述。

- 10 相应的，存储器还包括：第一选择器 24，第一振荡信号 OSC+、第二振荡信号 OSC-、第一内部信号 IBO+、第二内部信号 IBO-、第一外部信号 PAD+、第二外部信号 PAD- 均通过第一选择器连接至所述比较单元，记所述第一振荡信号 OSC+ 和第二振荡信号 OSC- 为第一差分对信号，记第一外部信号 PAD+ 和第二外部信号 PAD- 为第二差分对信号，记第一内部信号 IBO+ 和第二内部信号 IBO- 为第三差分对信号，第一选择器 24 用于选择第一差分对信号、第二差分对信号和第三差分对信号中的一者输入比较单元 203。

- 15 第一选择器 24 的控制端接收一选择使能信号 SEL，并基于选择使能信号 SEL 选择第一差分对信号、第二差分对信号和第三差分对信号中的一者输入比较单元 202。当需要对第一振荡信号 OSC+ 和第二振荡信号 OSC- 的占空比进行监测，则选择第一振荡信号 OSC+ 和第二振荡信号 OSC- 输入比较单元 202；当需要对第一外部信号 PAD+ 和第二外部信号 PAD- 的占空比进行监测，则选择第一外部信号 PAD+ 和第二外部信号 PAD- 输入比较单元 202；当需要对第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比进行监测，则选择第一内部信号 IBO+ 和第二内部信号 IBO- 输入比较单元 202。

- 20 本申请实施例中，差分输入电路 201 还可以用于接收第一振荡信号 OSC+ 和第二振荡信号 OSC-，并产生第一内部信号 IBO+ 和第二内部信号 IBO-，并基于第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比比较结果，对差分输入电路 201 进行控制。由于差分输入电路 101 具有固有的电路特性，即使第一振荡信号 OSC+ 和第二振荡信号 OSC- 的占空比符合要求即在第四预设范围内，但经由差分输入电路 201 输出后获得的第一内部信号 IBO+ 和第二内部信号 IBO- 的占空比可能发生偏离。

- 25 为此，控制差分输入电路 201 接收第一振荡信号 OSC+ 和第二振荡信号 OSC-（其占空比在第四预设范围内），并输出第一内部信号 IBO+ 和第二内部信号 IBO-，采用比较单元 202 对第一内部信号 IBO+ 的占空比和第二内部信号 IBO- 的占空比进行检测，并采用逻辑单元 203 对差分输入电路 201 进行控制，能够减小甚至消除差分输入电路 201 固有的电路特性对时钟信号造成的影响。

- 30 相应的，存储器还包括：第二选择器 23，第一振荡信号 OSC+、第二振荡信号 OSC-、第一外部信号 PAD+、第二外部信号 PAD- 均通过第二选择器 23 连接至差分输入电路 201，记第一振荡信号 OSC+ 和第二振荡信号 OSC- 为第一差分对信号，记第一外部信号 PAD+ 和第二外部信号 PAD- 为第二差分对信号，第二选择器用于选择第一差分对信号和第二差分对信号之一输入差分输入电路 201。

- 35 第二选择器 23 的控制端接收一校准使能信号 dca，在校准使能信号为低电平的情况下，第一外部信号 PAD+ 和第二外部信号 PAD- 输入差分输入电路 201，在校准使能信号为高电平的情况下，第一振荡信号 OSC+ 和第二振荡信号 OSC- 输入差分输入电路 201。

- 40 校准使能信号 dca 为高电平，则存储器进入占空比校准状态，占空比在第四预设范围内的第一振荡信号 OSC+ 和第二振荡信号 OSC- 输入至差分输入电路 201，以执行占空比校准或占空比调节，实现 DCA 功能；校准使能信号 dca 为低电平，则存储器退出占空比校准状态，第一外部信号 PAD+ 和第二外部信号 PAD- 输入至差分输入电路 201，以执行占空比检测或占空比监测，实现 DCM 功能。此外，校准使能信号 dca 为低电平，则存储器也可以为占空比校准状态，第一外部信号 PAD+ 和第二外部信号 PAD- 输入至差分输入电路 201，以执行占空比检测或占空比监测之后，对差分输入电路 201 进行调整，以执行占空比校准或占空比调节，实现 DCA 功能。

- 45 另外，在占空比在第四预设范围内的第一振荡信号 OSC+ 和第二振荡信号 OSC- 输入至差分输入电路 201 之前，还需要获取占空比在第四预设范围内的第一振荡信号 OSC+ 和第二振荡信号 OSC-。利用比较单元 202 和逻辑单元 203 对时钟产生电路 22 进行控制，使得振荡电路 221 输出的第一振荡信号 OSC+ 和第二振荡信号 OSC- 的占空比在第四预设范围内。

- 50 不难发现，本申请实施例提供的存储器的实际结构与前述实施例提供的存储器的结构相同，主要区别包括：前一实施例中，占空比监测和校准的功能划分在时钟产生电路中，即用于占空比监测和校准的比较单元以及逻辑单元在时钟产生电路中，而本申请实施例中，占空比监测和校准

的功能划分在校准电路中,即用于占空比监测和校准的比较单元和逻辑单元在校准电路中。因此,本申请实施例与前述实施例进行占空比监测和校准的机理基本一致。

有关存储器的工作机理的详细描述,可参考前述实施例的具体说明。

本申请实施例提供的存储器中,校准电路 21,能够接收第一外部信号 PAD+和第二外部信号 PAD-,并差生具有稳定占空比的第一内部信号 IBO+和第二内部信号 IBO-,该第一内部信号 IBO+和第二内部信号 IBO-作为存储器正常读写操作所需的时钟信号,有利于改善存储器的读写操作性。且时钟产生电路 22 可产生差分的第一振荡信号 OSC+和第二振荡信号 OSC-,该第一振荡信号 OSC+和第二振荡信号 OSC-可作为存储器进行测试的测试时钟信号,因此无需外部测试机提供测试时钟信号。同时,校准电路 21 还可对调节第一振荡信号 OSC+和/或第二振荡信号 OSC-的占空比,并使得第一振荡信号 OSC+和/或第二振荡信号 OSC-的占空比在第四预设范围内,有利于提高测试存储器的测试结果的准确性。

本申请实施例提供的存储器中,对于校正校准电路而言,通过差分输入电路 201、比较单元 202 以及逻辑单元 203,能够在存储器内部产生稳定的第一内部信号 IBO+和第二内部信号 IBO-,该第一内部信号 IBO+和第二内部信号 IBO-满足存储器高频工作信号的需求,因此能够作为测试存储器的测试输入信号,使得存储器能够实现内置自测功能,无需利用额外的测试机提供测试输入信号,同时解决了测试机难以提供高频的测试输入信号的问题。

同时,该校准电路还能够对差分输入电路 201 进行校正,可以减小由差分输入电路 201 本身所引起的占空比偏差,从而提高了存储器的读写操作性能,例如提高了噪声容限且改善了信号完整性。

此外,本申请实施例中,比较单元 202 对差分输入电路 201 的输出进行检测,且逻辑单元 203 基于比较单元 202 的输出结果对差分输入电路 201 进行控制,从而保证第一内部信号 IBO+和第二内部信号 IBO-的占空比能够稳定在第二预设范围内,从而避免了占空比偏差对测试准确度带来的不良影响,提高利用第一内部信号 IBO+和第二内部信号 IBO-对存储器进行测试的测试准确度。例如,第一内部信号 IBO+和第二内部信号 IBO-的占空比可精确控制在 50%。

同时,本申请实施例提供的存储器,还具有占空比监测功能以及占空比校准功能。

本申请再一实施例还提供一种存储器,图 10 为本申请再一实施例提供的存储器的功能框图,图 11 为本申请再一实施例提供的存储器的结构示意图。

参考图 10 及图 11,本申请实施例中,存储器包括:时钟产生电路 32,用于产生第一振荡信号 OSC+和第二振荡信号 OSC-,第一振荡信号 OSC+与第二振荡信号 OSC-的频率相同、相位相反,且第一振荡信号 OSC+与第二振荡信号 OSC-的占空比均在第五范围内;第一外部信号 PAD+和第二外部信号 PAD-,来自存储器外部,且其占空比均在第六范围内;差分输入电路 301,在测试模式下,接收第一振荡信号 OSC+和第二振荡信号 OSC-,并输出第一内部信号 IBO+和第二内部信号 IBO-;在正常工作模式下,接收第一外部信号 PAD+和第二外部信号 PAD-,并输出第一内部信号 IBO+和第二内部信号 IBO-;其中,差分输入电路 301 与时钟产生电路 32 有数据交互,使得在测试模式下或在正常工作模式下,第一内部信号 IBO+和/或第二内部信号 IBO-的占空比在第七范围内。

以下将结合附图对本申请实施例提供的存储器进行详细说明。

本申请实施例中,时钟产生电路 32 包括:振荡电路 321,用于产生第一振荡信号 OSC+和第二振荡信号 OSC-;比较单元 302,接收第一振荡信号 OSC+和第二振荡信号 OSC-,用于对第一振荡信号 OSC+的占空比和/或第二振荡信号 OSC-的占空比进行比较;逻辑单元 303,连接比较单元 302 和振荡电路 321,用于根据比较单元 302 的输出结果对振荡电路 321 进行控制,使得第一振荡信号 OSC+和/或第二振荡信号 OSC-占空比在第五范围内。

振荡电路 321 包括:振荡器 3211、路径模拟电路 3212、第四寄存器组 3213 以及第六寄存器组 3214。有关振荡电路 321 的具体结构说明,可参考前述实施例,以下将不做赘述。

相应地,数据交互包括:在测试模式或者正常工作模式下,比较单元 302 接收第一内部信号 IBO+和所述第二内部信号 IBO-,且用于对第一内部信号 IBO+和/或第二内部信号 IBO-的占空比进行比较;逻辑单元 303 还连接差分输入电路 301,用于根据比较单元 302 的输出结果对差分输入电路 301 进行控制,使得第一内部信号 IBO+和第二内部信号 IBO-的占空比在第七范围内。

测试模式指的是,对存储器进行测试时的工作模式,其目的是测试存储器的性能。正常工作模式指的是,存储器进行正常读写操作时的工作模式。

相应的,比较单元 302 包括:积分单元 312,其具有第一输入端 3 和第二输入端 4;比较器

322, 连接积分单元 312 的输出端。

在测试模式下, 第一输入端 3 接收第一振荡信号 OSC+或第二振荡信号 OSC-中的一者, 第二输入端 4 接收第二振荡信号 OSC-或第一振荡信号 OSC+中的另一者, 或者, 第一输入端 3 接收第一内部信号 IBO+或第二内部信号 IBO-中的一者, 第二输入端 4 接收第二内部信号 IBO-或第一内部信号 IBO+中的一者; 在正常工作模式下, 第一输入端 3 接收第一内部信号 IBO+或第二内部信号 IBO-中的一者, 第二输入端 4 接收第二内部信号 IBO-或第一内部信号 IBO+中的另一者, 或者, 第一输入端 3 接收第一外部信号 PAD+或者第二外部信号 PAD-中的一者, 第二输入端 4 接收第一外部信号 PAD+和第二外部信号 PAD-中的另一者。

相应的, 存储器还可以包括: 第一选择器 34, 第一振荡信号 OSC+、第二振荡信号 OSC-、第一内部信号 IBO+、第二内部信号 IBO-、第一外部信号 PAD+、第二外部信号 PAD-均通过第一选择器连接至比较单元 302, 记第一振荡信号 OSC+和第二振荡信号 OSC-为第一差分对信号, 记第一外部信号 PAD+和第二外部信号 PAD-为第二差分对信号, 记第一内部信号 IBO+和第二内部信号 IBO-为第三差分对信号, 第一选择器 34 用于选择第一差分对信号、第二差分对信号和三差分对信号中的一者输入比较单元 302。

在测试模式下, 第一选择器 34 选择第一差分对信号或者第三差分对信号输入比较单元 302, 以对第一振荡信号 OSC+和第二振荡信号 OSC-的占空比进行比较, 或者, 对第一内部信号 IBO+和第二内部信号 IBO-的占空比进行比较。需要说明的是, 此处所指的第一内部信号 IBO+和第二内部信号 IBO-是差分放大电路 301 接收第一振荡信号 OSC+和第二振荡信号 OSC-输出的。

在正常工作模式下, 第一选择器 34 选择第二差分对信号或者第三差分对信号输入比较单元 302, 以对第一外部信号 PAD+和第二外部信号 PAD-的占空比进行比较, 或者, 对第一内部信号 IBO+和第二内部信号 IBO-的占空比进行比较。需要说明的是, 此处所指的第一内部信号 IBO+和第二内部信号 IBO-是差分放大电路 301 接收第一外部信号 PAD+和第二外部信号 PAD-输出的。

相应地, 存储器还可以包括: 第二选择器 33, 第一振荡信号 OSC+、第二振荡信号 OSC-、第一外部信号 PAD+、第二外部信号 PAD-均通过第二选择器连接至差分输入电路 301, 记第一振荡信号 OSC+和第二振荡信号 OSC-为第一差分对信号, 记第一外部信号 PAD+和第二外部信号 PAD-为第二差分对信号, 第二选择器 33 用于选择第一差分对信号和第二差分对信号之一输入差分输入电路 301。

在测试模式下, 第二选择器 33 选择第一差分对信号输入差分输入电路 301, 以使第一振荡信号 OSC+和第二振荡信号 OSC-作为测试存储器的测试信号。在正常工作模式下, 第二选择器 33 选择第二差分对信号输入差分输入电路 301, 以使第一外部信号 PAD+和第二外部信号 PAD-作为存储器正常读写操作所需的时钟信号。

此外, 在测试模式或正常工作模式下, 积分单元 312 的第一输入端 3 在一翻转标识信号为低电平的情况下接收第一内部信号 IBO+, 在翻转标识信号为高电平的情况下接收第二内部信号 IBO-; 积分单元 312 的第二输入端 4 在翻转标识信号为低电平的情况下接收第二内部信号 IBO-, 在翻转标识信号为高电平的情况下接收第一内部信号 IBO+。

在测试模式下, 积分单元 312 的第一输入端 3 在一翻转标识信号为低电平的情况下接收第一振荡信号 OSC+, 在翻转标识信号为高电平的情况下接收第二振荡信号 OSC-; 积分单元 312 的第二输入端 4 在翻转标识信号为低电平的情况下接收第二振荡信号 OSC-, 在翻转标识信号为高电平的情况下接收第一振荡信号 OSC+。

有关积分单元 312 的第一输入端 3 和第二输入端 4 互换的好处, 可参考前述实施例的描述, 在此不再赘述。

本申请实施例中, 逻辑单元 303 包括: 计数器 313, 用于调节第一内部信号 IBO+的占空比和/或第二内部信号 IBO-的占空比; 第一寄存器组 323, 在翻转标识信号为低电平的情况下, 根据比较器 322 的输出存储计数器 313 的第一值; 第二寄存器组 333, 在翻转标识信号为高电平的情况下, 根据比较器 322 的输出存储计数器 313 的第二值。

逻辑单元 303 还包括: 运算组件 343, 连接第一寄存器组 323 和第二寄存器组 333, 用于对第一寄存器组 323 和第二寄存器组 333 的输出做加减乘除运算; 第三寄存器组 353, 连接运算组件 343, 用于存储运算组件 343 的输出结果。

有关计数器 313、第一寄存器组 323、第二寄存器组 333、运算组件 343 以及第三寄存器组 353 的具体说明, 可参考前述实施例的相应描绘, 以下将不做赘述。

本申请实施例提供的存储器能够实现如下功能:

在测试模式下,比较单元 302 先对第一振荡信号 OSC+和第二振荡信号 OSC-的占空比进行比较,逻辑单元 303 基于比较单元 302 输出的比较结果对振荡电路 321 进行控制,以使得第一振荡信号 OSC+和第二振荡信号 OSC-的占空比在第五范围内;在这一基础上,在测试模式下,具有稳定占空比的第一振荡信号 OSC+和第二振荡信号 OSC-输入至差分输入电路 301,经差分输入电路 301 输出第一内部信号 IBO+和第二内部信号 IBO-;比较单元 302 先对第一内部信号 IBO+和第二内部信号 IBO-的占空比进行比较,逻辑单元 303 基于比较单元 302 输出的比较结果对差分输入电路 301 进行控制,以使得第一内部信号 IBO+和第二内部信号 IBO-的占空比在第七范围内。

在正常工作模式下,占空比在第六范围内的第一外部信号 PAD+和第二外部信号 PAD-输入至差分输入电路 301,经差分输入电路 301 输出第一内部信号 IBO+和第二内部信号 IBO-;比较单元 302 先对第一内部信号 IBO+和第二内部信号 IBO-的占空比进行比较,逻辑单元 303 基于比较单元 302 输出的比较结果对差分输入电路 301 进行控制,以使得第一内部信号 IBO+和第二内部信号 IBO-的占空比在第七范围内。

也就是说,本申请实施例提供的存储器,不仅具有内置自测系统,且还能够实现占空比监测和校准功能。

不难发现,本申请实施例提供的存储器的实际结构与前述实施例提供的存储器的结构相同,主要区别包括:前一实施例中,占空比监测和校准的功能划分在时钟产生电路中,即用于占空比监测和校准的比较单元以及逻辑单元在时钟产生电路中,而本申请实施例中,占空比监测和校准的功能划分在校准电路中,即用于占空比监测和校准的比较单元和逻辑单元在校准电路中。因此,本申请实施例与前述实施例进行占空比监测和校准的机理基本一致。有关存储器的工作机理的详细描述,可参考前述实施例的具体说明。

本领域的普通技术人员可以理解,上述各实施方式是实现本申请的一些实施例,而在实际应用中,可以在形式上和细节上对其作各种改变,而不偏离本申请实施例的精神和范围。任何本领域技术人员,在不脱离本申请的精神和范围内,均可作各自更动与修改,因此本申请的保护范围应当以权利要求限定的范围为准。

25 工业实用性

本申请实施例提供一种存储器,包括:时钟产生电路,用于产生第一振荡信号和第二振荡信号,所述第一振荡信号与所述第二振荡信号的频率相同、相位相反,且所述第一振荡信号与所述第二振荡信号的占空比均在第一预设范围内;差分输入电路,用于接收第一外部信号和第二外部信号,并产生第一内部信号和第二内部信号;其中,所述时钟产生电路还用于监测所述第一内部信号和/或所述第二内部信号的占空比,并使得所述第一内部信号和/或所述第二内部信号的占空比在第二预设范围内。本申请实施例中,存储器具有 DCM 功能以及 DCA 功能,且还能够实现对差分输入电路的检测和校准。