

信号接收装置、方法、模数混合测试板卡和测试机

相关申请

本申请要求 2024 年 10 月 18 日申请的，申请号为 202411457683.3，名称为“信号接收装置、方法、模数混合测试板卡和测试机”的中国专利申请的优先权，在此将其全文引入作为参考。

技术领域

本申请涉及半导体测试技术领域，特别是涉及一种信号接收装置、方法、模数混合测试板卡和测试机。

背景技术

半导体自动化测试，指的是利用自动测试设备（Automatic Test Equipment，ATE）对待测试器件（Device Under Test，DUT）的各项参数指标进行检测，剔除残次品以控制半导体器件的出厂品质。在模拟测试，尤其是高速模拟测试时，对输送至待测试器件的测试信号往往在谐波、信噪比、幅度、信号频率等方面都具有非常高的要求。测试机在实现 IQ（in-phase and quadrature）功能时，需要保证 IQ 通道同步。

相关的测试信号接收方案，是通过改变时钟电路输出的时钟信号的频率，从而调整 IQ 通道的 ADC（模数转换器）的采样时钟相位，以使 IQ 通道同步。这种通过调整 ADC 采样时钟相位接收测试信号的方式，控制逻辑复杂，操作繁琐，存在测试效率低的缺点。

针对相关技术的输出测试信号方式中存在的控制逻辑复杂，操作繁琐，测试效率低的问题，目前还没有提出有效的解决方案。

发明内容

根据本申请的各种实施例，提供一种信号接收装置、方法、模数混合测试板卡和测试机。

本申请第一方面提供一种信号接收装置，包括主测试单元和子测试单元，其中：
所述子测试单元包括数字波形采集器、第一通信模块和外部时钟芯片；
所述外部时钟芯片输出固定频率的采样时钟至模数转换装置；所述数字波形采集器连接所述模数转换装置和所述第一通信模块，所述数字波形采集器接收所述模数转换装置根据所述采样时钟输出的固定频率的原始波形，对所述原始波形进行重采样处理，生成所需的任意频率的重构波形并发送至所述第一通信模块；

所述主测试单元包括第二通信模块、波形接收模块和存储模块；

所述第二通信模块连接所述第一通信模块和所述波形接收模块，通过所述第二通信模块接收所述重构波形并发送至所述波形接收模块；所述波形接收模块连接所述存储模块，将接收的重构波形存入所述存储模块。

5 在其中一个实施例中，所述数字波形采集器包括：

同步控制模块，连接波形数据处理模块和所述模数转换装置，用于接收所述模数转换装置输出的固定频率的原始波形，并在接收到触发信号后将原始波形发送至所述波形数据处理模块；

10 所述波形数据处理模块，连接所述第一通信模块，对所述原始波形进行重采样处理，生成所需的任意频率的重构波形并发送至所述第一通信模块。

在其中一个实施例中，所述同步控制模块包括：

同步接收控制模块，连接采集信号处理模块和两个以上的模数转换装置，接收各所述模数转换装置输出的原始波形，并在接收到触发信号后将多路原始波形同步发送至所述采集信号处理模块；

15 所述采集信号处理模块，连接所述波形数据处理模块，用于对接收的多路原始波形进行合成，输出一路原始波形至所述波形数据处理模块。

在其中一个实施例中，所述波形数据处理模块包括：

校准模块，连接所述同步控制模块，用于对接收的原始波形进行校准处理，输出校准后的波形数据；

20 数字重采样模块，连接所述校准模块和所述第一通信模块，用于对校准后的波形数据进行重采样处理，生成所需的任意频率的重构波形并发送至所述第一通信模块。

在其中一个实施例中，所述校准模块包括 DC（Direct Current）校准模块、AC（Alternating Current）幅度校准模块和低通滤波模块中的至少一种。

在其中一个实施例中，所述数字重采样模块包括：

25 输入波形数据缓存模块，连接所述校准模块、有效位置计算模块和有效数据缓存模块，用于对校准后的波形数据进行缓存，并在缓存的数据个数大于设定阈值数量时发送启动信号至所述有效位置计算模块；以及根据接收的读使能信号从缓存的数据中读取有效位置对应的有效数据，并将读取的有效数据发送至所述有效数据缓存模块进行缓存；

30 所述有效位置计算模块，连接有效系数生成模块，用于在接收到所述启动信号后，根据设置的步进和初始相位计算，得到有效位置信息并发送至所述有效系数生成模块，

并发送读使能信号至所述输入波形数据缓存模块；

所述有效系数生成模块，连接数据计算模块和有效数据缓存模块，用于根据所述有效位置信息从预存的多组系数中进行系数读取，得到有效系数发送至数据计算模块，并发送数据读使能信号至有效数据缓存模块；

- 5 所述有效数据缓存模块，连接数据计算模块，用于根据接收的数据读使能信号，读取缓存的有效数据发送至数据计算模块；

所述数据计算模块，连接所述第一通信模块，用于根据接收的有效系数和有效数据进行卷积计算，得到重构波形并发送至所述第一通信模块。

- 10 在其中一个实施例中，所述有效数据缓存模块将有效数据使用移位的方式并行存入连续的内部缓存单元中；和/或所述有效系数生成模块根据所述有效位置信息的整数位置信息读出相邻的两组系数，根据所述有效位置信息的小数位置信息对读取的两组系数采用线性插值算法进行计算，得到有效系数。

在其中一个实施例中，所述数据计算模块根据接收的有效系数和有效数据进行卷积计算，包括：

15
$$\text{DATA_VALID} = \sum_{k=0}^{15} \text{COE}[k] * \text{DATA_IN}[16 - k]$$

其中，DATA_VALID 表示重构波形的重构点，COE 表示重构点的有效位置对应的有效系数，DATA_IN 表示有效位置对应的有效数据。

在其中一个实施例中，所述波形接收模块包括：

- 20 接收控制模块，连接所述第二通信模块和读写控制模块，用于通过所述第二通信模块接收所述重构波形，并发送写请求指令至所述读写控制模块；

所述读写控制模块，连接所述存储模块，用于根据所述写请求指令将所述重构波形存入所述存储模块。

- 25 在其中一个实施例中，所述子测试单元还包括第一业务解码模块，所述第一业务解码模块连接上位机、所述数字波形采集器和所述外部时钟芯片，根据所述上位机下发的指令对所述数字波形采集器和所述外部时钟芯片进行参数配置；和/或

所述主测试单元还包括第二业务解码模块，所述第二业务解码模块连接上位机和所述波形接收模块，根据所述上位机下发的指令对所述波形接收模块进行参数配置，以及通过所述波形接收模块对所述存储模块进行波形读取操作。

- 本申请第二方面提供一种信号接收方法，包括：
- 子测试单元中的外部时钟芯片输出固定频率的采样时钟至模数转换装置；
- 所述子测试单元中的数字波形采集器接收所述模数转换装置根据所述采样时钟输出的固定频率的原始波形，对所述原始波形进行重采样处理，生成所需的任意频率的重构
- 5 波形并发送至所述子测试单元中的第一通信模块；
- 主测试单元中的第二通信模块接收所述第一通信模块发送的所述重构波形并发送至所述主测试单元中的波形接收模块；
- 所述波形接收模块将接收的重构波形存入所述主测试单元中的存储模块。
- 本申请第三方面提供一种模数混合测试板卡，包括上述的信号接收装置。
- 10 本申请第四方面提供一种测试机，包括通信板、背板和上述的模数混合测试板卡。
- 本申请的一个或多个实施例的细节在下面的附图和描述中提出。本申请的其它特征、目的和优点将从说明书、附图以及权利要求书变得明显。

附图说明

- 15 为了更清楚地说明本申请实施例或传统技术中的技术方案，下面将对实施例或传统技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据公开的附图获得其他的附图。
- 图 1 为一个实施例中信号接收装置的结构框图。
- 20 图 2 为一个实施例中信号接收装置的结构原理图。
- 图 3 为一个实施例中波形数据处理模块的结构原理图。
- 图 4 为一个实施例中数字重采样的原理示意图。
- 图 5 为一个实施例中信号接收方法的流程图。

25 **具体实施方式**

- 为了使本申请的目的、技术方案及优点更加清楚明白，以下结合附图及实施例，对本申请进行进一步详细说明。应当理解，此处描述的具体实施例仅仅用以解释本申请，并不用于限定本申请。
- 除非另有定义，本文所使用的所有的技术和科学术语与属于本申请的技术领域的技
- 30 术人员通常理解的含义相同。本文中在本申请的说明书中所使用的术语只是为了描述具

体的实施例的目的，不是旨在于限制本申请。

可以理解，以下实施例中的“连接”，如果被连接的电路、模块、单元等相互之间具有电信号或数据的传递，则应理解为“电连接”、“通信连接”等。

在此使用时，单数形式的“一”、“一个”和“所述/该”也可以包括复数形式，除非
5 上下文清楚指出另外的方式。还应当理解的是，术语“包括/包含”或“具有”等指定所
陈述的特征、整体、步骤、操作、组件、部分或它们的组合的存在，但是不排除存在或
添加一个或更多个其他特征、整体、步骤、组件、部分或它们的组合的可能性。同时，
在本说明书中使用的术语“和/或”包括相关所列项目的任何及所有组合。

在一个实施例中，如图 1 所示，提供了一种信号接收装置，包括子测试单元 100 和主
10 测试单元 200，其中：

子测试单元 100 包括数字波形采集器（Waveform Digitizer, DGT）110、第一通信模块 120 和外部时钟芯片 130，进一步还可包括模数转换装置（analog to digital converter, ADC）140；外部时钟芯片 130 输出固定频率的采样时钟至模数转换装置 140；数字波形采集器 110 连接模数转换装置 140 和第一通信模块 120，数字波形采集器 110 接收模数转
15 换装置 140 根据采样时钟输出的固定频率的原始波形，对原始波形进行重采样处理，生成所需的任意频率的重构波形并发送至第一通信模块 120。此外，外部时钟芯片 130 还可连接数字波形采集器 110，输出固定频率的采样时钟至数字波形采集器 110，数字波形采集器 110 根据采样时钟进行波形接收。

主测试单元 200 包括第二通信模块 210、波形接收模块 220 和存储模块 230；第二通
20 信模块 210 连接第一通信模块 120 和波形接收模块 220，通过第二通信模块 210 接收重构波形并发送至波形接收模块 220；波形接收模块 220 连接存储模块 230，将接收的重构波形存入存储模块 230。

其中，主测试单元 200 和子测试单元 100，可以是分别作为测试机的主测试板卡和子测试板卡，也可以是设计成同一个测试板卡。用户可根据实际场景需要对数字波形采集器 110 进行参数设置，以使数字波形采集器 110 对原始波形进行重采样处理后，生成用户
25 所需的任意频率的重构波形。用户设置的重构波形的任意频率小于或等于采样时钟的固定频率。外部时钟芯片 130 可以是 PLL（Phase Locked Loop，锁相环）时钟芯片，存储模块 230 可以是 DDR（Double Data Rate，双倍速率）存储模块，由 DDR4 颗粒组成。第一通信模块 120 和第二通信模块 210 可以是吉比特（如 GTX）通信模块，也可以是其他类型
30 的通信模块。主测试单元 200 内的各模块和子测试单元 100 内的各模块，在实际应用时，

所属关系在满足功能的情况下，可以互相调换，譬如，数字波形采集器 110 位于主测试单元 200 等。

模数转换装置 140 在接收到待测器件输出的模拟波形后，根据固定频率的采样时钟对模拟波形进行模数转换采样，生成原始波形并发送至数字波形采集器 110。数字波形采集器 110 对原始波形进行处理，生成所需的任意频率的重构波形。待测器件可以是半导体芯片或其他器件。模数转换装置 140 的数量可以是一个或多个，例如，对于测试机的 IQ 通道，可以对应每个通道分别设置单个或多个的模数转换装置 140，接收待测器件输出的模拟波形，并基于采样时钟对模拟波形进行模数转换。

如图 2 所示，数字波形采集器 110 可包括同步控制模块 112 和波形数据处理模块 114，同步控制模块 112 连接波形数据处理模块 114 和模数转换装置 140，用于接收模数转换装置 140 输出的固定频率的原始波形，并在接收到触发信号后将原始波形发送至波形数据处理模块 114；波形数据处理模块 114 连接第一通信模块 120，对原始波形进行重采样处理，生成所需的任意频率的重构波形并发送至第一通信模块 120。进一步地，子测试单元 100 还可包括第一业务解码模块 150，第一业务解码模块 150 连接上位机、数字波形采集器 110 和外部时钟芯片 130，根据上位机下发的指令对数字波形采集器 110 和外部时钟芯片 130 进行参数配置。

其中，数字波形采集器 110、第一通信模块 120、第一业务解码模块 150 可设置在 FPGA（Field-Programmable Gate Array，现场可编程门阵列）内，外部时钟芯片 130 和模数转换装置 140 位于 FPGA 外部。第一业务解码模块 150 的端口 PLL_CTRL 通过 SPI（Serial Peripheral Interface，串行外设接口）接口与外部时钟芯片 130 连接，对外部时钟芯片 130 配置参数，以使外部时钟芯片 130 输出固定频率的采样时钟至模数转换装置 140，可以是将外部时钟芯片 130 配置成以允许的最大频率（如 400MHz）输出采样时钟，也可以是配置成以其他频率输出采样时钟。第一业务解码模块 150 的端口 DTG_CTRL 与同步控制模块 112 和波形数据处理模块 114 连接，进行参数配置。

继续参照图 2，同步控制模块 112 包括同步接收控制模块 1122 和采集信号处理模块 1124，同步接收控制模块 1122 连接采集信号处理模块 1124 和两个以上的模数转换装置 140，接收各模数转换装置 140 输出的原始波形，并在接收到触发信号后将多路原始波形同步发送至采集信号处理模块 1124；采集信号处理模块 1124 连接波形数据处理模块 114，用于对接收的多路原始波形进行合成，输出一路原始波形至波形数据处理模块 114。

同样以测试机包括 IQ 通道为例，每个通道配置两个 ADC 芯片。可对 IQ 通道分别配

置采集信号处理模块 1124、波形数据处理模块 114、第一通信模块 120 和第二通信模块 210。同步接收控制模块 1122 通过 LVDS (Low-Voltage Differential Signaling 低电压差分信号) 接口接收每个通道的两路原始波形并缓存在内部 FIFO (First Input First Output, 先进先出队列) 缓存器中。同步接收控制模块 1122 在收到第一业务解码模块 150 发送的触发信号 TRIG 后, 将内部 FIFO 缓存器中的同一通道的两路原始波形, 输出至对应的采集信号处理模块 1124。采集信号处理模块 1124 将同一通道的两路原始波形合成一路原始波形输出到波形数据处理模块 114 中。通过将两路原始波形合成一路 I 通道/Q 通道的原始波形, 可以降低噪声的影响, 提升 SNR 指标。波形数据处理模块 114 根据第一业务解码模块 150 下发的指令 (如 DTG_Digital_CTRL_SIGNAL 指令), 进行数字信号处理, 如 AC (交流) 校准、DC (直流) 校准、重采样控制、低通滤波等处理后, 生成所需频率的重构波形并发送至第一通信模块 120。第一通信模块 120 采用 GTX 通信模块, 将 32bit 位宽的重构波形转换为 64bit 位宽的重构波形后传输给第二通信模块 210, 以提高通讯带宽。第二通信模块 210 采用 GTX 通信模块, 将接收的 64bit 位宽的重构波形转换成 32bit 位宽的重构波形并发送至波形接收模块 220。

继续参照图 2, IQ 两路的四个 ADC 芯片, 采样时钟设置为固定的最大采样时钟 (400MHz), 但是用户的需求是任意频率的波形, 此时需要波形数据处理模块 114 对以固定频率采样的原始波形进行重采样, 同时在重采样过程中, 可通过设置初始相位来改变重采样生成的重构波形的初始相位, 实现 IQ 通道的任意频率、任意相位可调功能。采用普通的 ADC 芯片即可以实现 IQ 功能, 同时也可以实现两个非 IQ 通道的功能, 无需外部时钟芯片 130 调节采样时钟的频率, 简化操作, 提高了测试效率。

进一步地, 同步接收控制模块 1122 还根据采样时钟同时采集模数转换装置 140 输出的原始波形和随路时钟 data_clk, 保证输出的采样数据同步。同样以测试机包括 IQ 双通道为例, 每个通道的两个 ADC 芯片输入的采样时钟都是由外部时钟芯片 130 提供, 同时外部时钟芯片 130 还将采样时钟传入到同步接收控制模块 1122 中, 所以输入同步接收控制模块 1122 的采样时钟与四个 ADC 芯片的采样时钟同源同频, 同步接收控制模块 1122 可以使用输入的采样时钟同时对四个 ADC 芯片进行数字采样。

由于 ADC 芯片的输出数据是以 DDR 双沿采样的方式输出, 同步接收控制模块 1122 使用外部时钟芯片 130 输入的采样时钟同时对四个 ADC 芯片输出的原始波形和随路时钟 data_clk 进行采样, 根据每个 ADC 芯片的随路时钟 data_clk 的采样结果判断 ADC 数据的双沿采样结果, 当 ADC 的随路时钟 data_clk 采样为高时, ADC 数据采取奇数采样, 否则

ADC 数据采取偶数采样。同步接收控制模块 1122 在得到 4 个 ADC 芯片的采样数据结果后，将 4 个 16bit 的采样数据按照通道顺序排列为 64bit 数据，用输入的采样时钟作为写时钟写入到跨时钟域的缓存 FIFO 中，在跨时钟的缓存 FIFO 不空后，同步接收控制模块 1122 使用系统时钟作为读时钟读取缓存中的数据，完成跨时钟域的转换操作，在跨时钟域转换为系统时钟后，依然可以保持四个 ADC 芯片的数据同步控制。

在得到四个基于系统时钟的 ADC 的数据后，同步接收控制模块 1122 按照通道顺序将 64bit 数据分为 4 个 16bit 的数据，然后由采集信号处理模块 1124 将 I 路的 ADC0 和 ADC1 的数据合为一组数据，将 Q 路的 ADC0 和 ADC1 的数据合为一组数据，I 路两组数据直接相加操作，Q 路两组数据直接相加操作，此时完成了 I 路和 Q 路数据的同步采集控制。

其中，同步接收控制模块 1122 在收到第一业务解码模块 150 发送的触发信号 TRIG 后，判断第一业务解码模块 150 下发的工作模式是否为 IQ 模式，如果是 IQ 模式，则 IQ 两个通道只要有一个通道的触发信号 TRIG 拉高，同步接收控制模块 1122 即同时控制 IQ 两通道数据开始采集，将 I 路与 Q 路整合后的数据传输到后级的波形数据处理模块 114 进行处理，此时可以达到 IQ 两路数据同步输出，直到达到采集长度后停止采集，此时同步接收控制模块 1122 不会将 I 路与 Q 路的数据发送到波形数据处理模块 114；如果没收到触发信号 TRIG，同步接收控制模块 1122 不会将 I 路与 Q 路的数据发送到波形数据处理模块 114；当工作模式不为 IQ 时，则同步接收控制模块 1122 根据 IQ 两个通道各自的触发信号 TRIG，控制 IQ 两通道采集的数据输出到后级的波形数据处理模块 114。

可以理解，波形数据处理模块 114 的具体结构也不是唯一的，波形数据处理模块 114 可包括校准模块和数字重采样模块，校准模块连接同步控制模块 112，用于对接收的原始波形进行校准处理，输出校准后的波形数据；数字重采样模块连接校准模块和第一通信模块 120，用于对校准后的波形数据进行重采样处理，生成所需的任意频率的重构波形并发送至第一通信模块 120。

其中，如图 3 所示，校准模块具体可包括 DC 校准模块 40、AC 幅度校准模块 41 和低通滤波模块 42 中的至少一种。以校准模块同时包括 DC 校准模块 40、AC 幅度校准模块 41 和低通滤波模块 42 为例，DC 校准模块 40、AC 幅度校准模块 41 和低通滤波模块 42 均与第一业务解码模块 150 连接，DC 校准模块 40 连接同步控制模块 112 中的采集信号处理模块 1124，AC 幅度校准模块 41 连接 DC 校准模块 40 和低通滤波模块 42，低通滤波模块 42 连接数字重采样模块。DC 校准模块 40 根据第一业务解码模块 150 下发的 DC 校准系数，对接收的原始波形进行 DC 校准后发送至 AC 幅度校准模块 41，保证通道数据的幅度

精度满足指标要求。由于 IQ 通道对于 AC 的平坦度要求较高，因此还利用 AC 幅度校准模块 41 根据第一业务解码模块 150 下发的 AC 校准系数，对 DC 校准后的波形进行 AC 幅度校准，保证通道数据的幅度精度满足指标要求，AC 幅度校准模块 42 将 AC 幅度校准后的波形输送至低通滤波模块 42。低通滤波模块 42 根据第一业务解码模块 150 下发的低通滤波器参数生成滤波器系数，对波形进行低通滤波处理，可以将削减高频噪声的影响，实现性能的提升，经过低通滤波模块 42 处理后的波形发送到数字重采样模块。

外部时钟芯片 130 设置的是固定的最大采样时钟频率，模数转换装置 140 基于最大采样时钟频率采样模拟波形。数字重采样模块的作用是将最大采样时钟频率的原始波形重采样为所需频率的重构波形。重采样的原理是使用 SINC 函数，对于一个连续信号进行波形恢复，由于数字波形采集器 110 是将固定最大采样频率的原始波形重采样为任意频率（小于固定最大采样频率）的重构波形，由于重采样后的频率小于等于固定最大采样率，其实现的功能可以概括为一个任意小数倍数的抽值功能。对于一个已知的连续波形 $x(n)$ ，想要恢复到任意时间的 $x(t)$ ，使用 Sinc 函数进行数据重采样恢复，通过想要恢复的有效点的位置的前 8 个点及后 8 个点，通过这 16 个数据与 16 个 Sinc 连续系数的卷积运算后得到恢复的点实际数值。

要想恢复理想的 SINC 函数，理论上需要无数组系数进行运算，显然是不可实现的，所以选取将 SINC 函数的模型分段成 1024 组系数，每组 16 个系数，存储在 ROM 中，再根据有效位置信息去 ROM 中读取到有效系数，由于不能存储无限多组系数，为了精度更高，在计算有效系数时不是将存储的系数直接使用，而是将每段系数之间认为是连续的，通过使用线性加权算法可以得到任意点的有效系数。

基于此，继续参照图 3，数字重采样模块可包括输入波形数据缓存模块 43、有效位置计算模块 44、有效系数生成模块 45、有效数据缓存模块 46 和数据计算模块 47，输入波形数据缓存模块 43 连接校准模块、有效位置计算模块 44 和有效数据缓存模块 46，有效位置计算模块 44 连接有效系数生成模块 45，有效系数生成模块 45 连接数据计算模块 47 和有效数据缓存模块 46，有效数据缓存模块 46 连接数据计算模块 47。

其中，输入波形数据缓存模块 43 具体连接校准模块中的低通滤波模块 42，用于对校准后的波形数据进行缓存，并在缓存的数据个数大于设定阈值数量时发送启动信号 SINC_START 至有效位置计算模块 44；以及根据接收的读使能信号从缓存的数据中读取有效位置对应的有效数据，并将读取的有效数据发送至有效数据缓存模块 46 进行缓存；有效位置计算模块 44 用于在接收到启动信号 SINC_START 后，根据设置的步进和初始相

位计算，得到有效位置信息并发送至有效系数生成模块 45，并发送读使能信号至输入波形数据缓存模块 43；有效系数生成模块 45 用于根据有效位置信息从预存的多组系数中进行系数读取，得到有效系数发送至数据计算模块 47，并发送数据读使能信号至有效数据缓存模块 46；有效数据缓存模块 46 用于根据接收的数据读使能信号，读取缓存的有效数据发送至数据计算模块 47；数据计算模块 47 用于根据接收的有效系数和有效数据进行卷积计算，得到重构波形并发送至第一通信模块 120。卷积公式如下：

$$\text{DATA_VALID} = \sum_{k=0}^{15} \text{COE}[k] * \text{DATA_IN}[16 - k]$$

其中，DATA_VALID 表示重构波形的重构点，COE 表示重构点的有效位置对应的有效系数（有效系数共计 16 个），DATA_IN 表示此有效位置对应的有效数据（同样是 16 点，此有效位置前 8 个点、后 8 个点），在经过有效系数和原始波形的 16 次乘累加后，计算得到对应的重构波形的重构点。

设定阈值数量的取值并不唯一，可根据实际需要进行设置。第一业务解码模块 150 连接有效位置计算模块 44，对步进 STEP 和初始相位 PHASE 进行配置。通过控制步进 STEP 和初始相位 PHASE，数字重采样模块能够将可变采样频率的初始波形，重采样为固定最大采样频率的重构波形，同时由于数字重采样模块进行数字重采样，还可以实现输出波形的相位调整，精度最高可达 1ps。

具体地，输入波形数据缓存模块 43 接收到低通滤波模块 42 输出的波形数据后，可以缓存在内部缓存单元（如 FIFO）中。输入波形数据缓存模块 43 在缓存的数据个数大于设定阈值数量（如 16）时，发送启动信号 SINC_START 至有效位置计算模块 44。有效位置计算模块 44 在收到启动信号 SINC_START 后开始工作，根据第一业务解码模块 150 发送的步进 STEP 和初始相位 PHASE 信息进行有效位置计算，有效位置可以理解为重构波形点数位置，计算得到的有效位置信息由 16bit 整数+48bit 小数组成。其中，重构波形的初始位置由初始相位 PHASE 决定，初始位置即指重构波形第一个点的有效位置。重构波形点数位置对应原始波形点数位置关系为：重构波形点数位置=（原始波形点数位置-1）*STEP+1+PHASE。原始波形点数位置也即校准后的波形数据的点数位置，DC 校准、AC 幅度校准和滤波处理不会改变原始波形的点数位置。

其中，步进 STEP=固定最大采样率（采样时钟的频率）/用户设置采样率（重构波形的频率），由于用户设置采样率小于等于固定最大采样率，则 STEP 的值大于或等于 1，可

以理解为任意倍数的抽值操作。其中，步进 STEP 由 16bit 整数+48bit 小数组成，由于固定最大采样设置为 400MHz，48bit 小数可以支持到 uHz 之后，可以实现精度在 uHz 的采样率重采样。为了达到采样率分辨率可以实现 uHz 调整的目的，假设 $A=400\text{MHz}=400*2^{10}*2^{10}\text{Hz}$ ， $B=1\text{uHz}=(1/2^{10}*2^{10})\text{Hz}$ ，

- 5 $A/B=400*2^{10}*2^{10}\text{Hz}/(1/2^{10}*2^{10})\text{Hz}=400*2^{40}=49\text{bit}$ ，由于 SINC 算法将系数分成 1024 份，故最小位置信息需要 $400*2^{40}/1024\text{bit}=39\text{bit}$ ，本方案中取 48bit。其中，初始相位 PHASE=一个波形周期点数/(360° /重构波形的相位)，将输出结果用 16bit 整数+48bit 小数组成，可以进行 ps 级相位调整。

- 有效位置计算模块 44 根据设置的步进 STEP 和初始相位 PHASE 得到有效位置信息后，
10 将有效位置信息输出到有效系数生成模块 45，同时根据确定的有效位置发送读使能信号至输入波形数据缓存模块 43。输入波形数据缓存模块 43 根据有效位置计算模块 44 发送的读使能信号，读取一个数据发送到有效数据缓存模块 46，此时有效数据缓存模块 46 存储的数据为该有效位置的有效数据。当有效系数生成模块 45 计算出该有效位置的有效系数后，有效数据缓存模块 46 读出该有效数据送到数据计算模块 47 进行计算。

- 15 有效系数生成模块 45 可预先在内部 ROM（只读存储器）单元中存储多组（例如 1024 组）系数（每组 16 个系数），有效系数生成模块 45 在收到有效位置信息后，可根据有效位置信息的整数位置信息读出相邻的两组系数，根据有效位置信息的小数位置信息对读取的两组系数采用线性插值算法进行计算，得到有效系数。

- 具体地，有效系数生成模块 45 根据有效位置信息去 ROM 单元中读取预先存储的系数，
20 由于预先存储的系数只有 1024 组，不能满足 48bit 小数的精度，在此时根据有效位置信息的整数位置信息读出相邻的两组系数（一组 16 个系数），再根据有效位置信息的小数位置信息对两组系数进行计算，使用线性插值算法：
 $y_coe[n]=COE1[n]*tim_valid+COE2[n]*(1-tim_valid)$ ，n 取 0-15，得到最精确的有效系数（16 个系数）。其中，COE1 表示读出的相邻的两组系数中的第一组系数，COE2 表示读出的相邻的两组系数中的第二组系数（第一组系数和第二组系数均为 16 个），
25 tim_valid 表示有效位置信息中的小数位置信息， y_coe 表示根据线性插值得到的实际的有效位置信息中的小数位置的有效系数（16 个系数）。

- 有效数据缓存模块 46 可将有效数据使用移位的方式并行存入连续的内部缓存单元（如 FIFO）中。具体地，有效数据缓存模块 46 将有效数据使用移位的方式并行存储到 16
30 个 FIFO 中，并行存储的具体表现为输入的最新的的数据存储到 FIFO1 中，同时原 FIFO1 中

的数据存储在 FIFO2 中，原 FIFO2 中的数据存储在 FIFO3 中，…，即 16 个 FIFO 存储的是连续的 16 个数据。

在有效系数生成模块 45 生成一个有效系数后，将有效系数输出到数据计算模块 47，同时向有效数据缓存模块 46 发起数据读使能信号。有效数据缓存模块 46 根据数据读使能信号，同时读取出 16 个 FIFO 中的 16 个有效数据，输出到数据计算模块 47。数据计算模块 47 根据有效系数生成模块 45 输出的有效系数和有效数据缓存模块 46 输出的有效数据，进行 16 阶卷积计算，计算得出重采样后的重构波形，输出到后级的第一通信模块 120。

下面进行举例说明，假设条件 1：用户设置采样率（重构波形的频率）为 200Mhz，假设条件 2：设置重构波形的相位为 3.6° ，假设条件 3：原始波形为信号频率为 8Mhz 的模拟波形，此时 ADC 采集的数据是一个波形周期 50 点（一个波形周期的采样点数=固定最大采样率/信号频率=400Mhz/8Mhz=50）。此时：步进 STEP = 固定最大采样率/用户设置采样率=400M/200M=2；初始相位 PHASE = 一个波形周期点数/(360° / 重构波形的相位) = $50/(360/3.6)=0.5$ 。如图 4 所示，重构波形中根据初始相位 PHASE 决定第一个点的有效位置，重构波形点数对应的是原始波形中的有效位置。重构波形点数位置对应原始波形点位置关系为：重构波形点数位置=（原始波形点数位置-1）*STEP+1+PHASE=（原始波形点数位置-1）*2+1+0.5，如：1---1.500，2---3.500，3---5.500，4---7.500。如图 4 所示，说明了重采样中用户设置频率、波形点数、初始相位对于重采样的作用，以及与有效位置的相互之间的关系。

在一个实施例中，如图 2 所示，主测试单元 200 还包括第二业务解码模块 240，第二业务解码模块 240 连接上位机和波形接收模块 220，根据上位机下发的指令对波形接收模块 220 进行参数配置，以及通过波形接收模块 220 对存储模块 230 进行波形读取操作。其中，第二通信模块 210、波形接收模块 220 和第二业务解码模块 240 可设置在 FPGA 内，存储模块 230 位于 FPGA 外部。第一业务解码模块 150 和第二业务解码模块 240 均由上位机直接控制，上位机独立发送参数配置，二者互不影响，为两个独立的模块。波形接收模块 220 具体可包括接收控制模块 222 和接收控制模块 224，接收控制模块 222 连接第二通信模块 210 和读写控制模块 224，用于通过第二通信模块 210 接收重构波形，并发送写请求指令至读写控制模块 224；读写控制模块 224 连接存储模块 230，用于根据写请求指令将重构波形存入存储模块 230。

其中，第二业务解码模块 240 的端口 DTG_CTRL 与接收控制模块 222 连接，对接收控制模块 222 进行参数配置，第二业务解码模块 240 的端口 DDR_RQE 与读写控制模块

224 连接, 通过读写控制模块 224 对存储模块 230 进行波形读取操作。具体地, 接收控制模块 222 接收到重构波形后, 根据第二业务解码模块 240 下发的采样长度、存储地址等信息, 发起 I 通道和/或 Q 通道的写请求指令至读写控制模块 224, 读写控制模块 224 根据写请求指令将 I 通道和/或 Q 通道的重构波形写入到存储模块 230 中。

5 参照图 2 和图 3, 以下描述原始波形的完整处理过程: 在信号接收装置上电后, 上位机分别与第一业务解码模块 150 和第二业务解码模块 240 进行通信并下发指令, 第一业务解码模块 150 对波形数据处理模块 114 和外部时钟芯片 130 进行参数配置, 以使外部时钟芯片 130 输出固定频率的采样时钟至模数转换装置 140, 第二业务解码模块 240 对接收控制模块 222 进行参数配置。

10 同步接收控制模块 1122 接收 ADC 芯片输出的原始波形进行缓存, 并在收到第一业务解码模块 150 发送的触发信号 TRIG 后, 输出原始波形至采集信号处理模块 1124 进行波形合成, 合成的原始波形输入波形数据处理模块 114 中进行重采样处理。波形数据处理模块 114 中, DC 校准模块 40 和 AC 幅度校准模块 41 根据配置的 DC 校准系数和 AC 校准系数, 对原始波形依次进行 DC 校准和 AC 幅度校准, 低通滤波模块 42 根据配置的低通滤波器参数对校准后的波形进行低通滤波处理后送入输入波形数据缓存模块 43 进行缓存。输入波形数据缓存模块 43 在缓存的数据个数大于设定阈值数量时发送启动信号 SINC_START 至有效位置计算模块 44, 有效位置计算模块 44 在接收到启动信号 SINC_START 后, 根据配置的步进和初始相位计算有效位置信息并发送至有效系数生成模块 45, 并发送读使能信号至输入波形数据缓存模块 43。输入波形数据缓存模块 43 根据接收的读使能信号从缓存的数据中读取有效位置对应的有效数据, 并将读取的有效数据发送至有效数据缓存模块 46 进行缓存。有效系数生成模块 45 根据有效位置信息从预存的多组系数中进行系数读取, 得到有效系数发送至数据计算模块 47, 并发送数据读使能信号至有效数据缓存模块 46。有效数据缓存模块 46 根据接收的数据读使能信号, 读取缓存的有效数据发送至数据计算模块 47, 数据计算模块 47 根据接收的有效系数和有效数据进行卷积计算, 得到重构波形并发送至第一通信模块 120。

接收控制模块 222 通过第二通信模块 210 接收到重构波形后, 根据第二业务解码模块 240 配置的参数发送写请求指令至读写控制模块 224, 读写控制模块 224 根据写请求指令将重构波形存入存储模块 230。上位机还可下发指令至读写控制模块 224, 读取存储模块 230 中的重构波形。

30 在一个实施例中, 如图 5 所示, 还提供了一种信号接收方法, 包括:

步骤 S110: 子测试单元中的外部时钟芯片输出固定频率的采样时钟至模数转换装置。

步骤 S120: 子测试单元中的数字波形采集器接收模数转换装置根据采样时钟输出的固定频率的原始波形, 对原始波形进行重采样处理, 生成所需的任意频率的重构波形并发送至子测试单元中的第一通信模块。

- 5 步骤 S130: 主测试单元中的第二通信模块接收第一通信模块发送的重构波形并发送至主测试单元中的波形接收模块。

步骤 S140: 波形接收模块将接收的重构波形存入主测试单元中的存储模块。

可以理解, 上述信号接收方法的具体实施方式在上述信号接收装置中进行了详细解释说明, 在此不再赘述。

- 10 在一个实施例中, 还提供了一种模数混合测试板卡, 包括上述的信号接收装置。

在一个实施例中, 还提供了一种测试机, 包括通信板、背板和上述的模数混合测试板卡。其中, 通信板通过背板与模数混合测试板卡连接。此外, 测试机还包括与通信板通信的上位机, 上位机可以但不限于各种个人计算机、笔记本电脑、智能手机、平板电脑和便携式可穿戴设备, 便携式可穿戴设备可为智能手表、智能手环、头戴设备等。

- 15 上述信号接收装置、方法、模数混合测试板卡和测试机, 具有以下优点:

1、本申请使用 ADC 芯片固定采样时钟频率, 上电初始化后即不需要重复配置外部时钟芯片, 减少由于改变采样时钟而产生的时钟芯片锁定时间, 提高测试效率。

- 2、本申请使用 ADC 芯片固定采样时钟频率, 通过数字域算法进行重采样操作, 实现任意频率设计, 可以实现 uHz 的分辨率调整, 此指标需求是相关的通过时钟芯片调整采样
20 率的方式很难实现到的指标要求。

3、本申请既可以实现 IQ 功能, 也可以实现非 IQ 功能, 使用更加灵活便捷, 提高设备使用效率。

4、本申请的控制方式便于程序通道的扩展、复用、移植, 可以直接使用到其他工程中, 对于程序更新只需要增加或减少通道即可, 便于程序代码维护。

- 25 以上所述实施例的各技术特征可以进行任意的组合, 为使描述简洁, 未对上述实施例中的各个技术特征所有可能的组合都进行描述, 然而, 只要这些技术特征的组合不存在矛盾, 都应当认为是本说明书记载的范围。

- 以上所述实施例仅表达了本申请的几种实施方式, 其描述较为具体和详细, 但并不能因此而理解为对发明专利范围的限制。应当指出的是, 对于本领域的普通技术人员来说, 在不脱离本申请构思的前提下, 还可以做出若干变形和改进, 这些都属于本申请的
30

保护范围。因此，本申请专利的保护范围应以所附权利要求为准。

权利要求

1. 一种信号接收装置，其特征在于，包括主测试单元和子测试单元，其中：
所述子测试单元包括数字波形采集器、第一通信模块和外部时钟芯片；
- 5 所述外部时钟芯片输出固定频率的采样时钟至模数转换装置；所述数字波形采集器连接所述模数转换装置和所述第一通信模块，所述数字波形采集器接收所述模数转换装置根据所述采样时钟输出的固定频率的原始波形，对所述原始波形进行重采样处理，生成所需的任意频率的重构波形并发送至所述第一通信模块；
- 所述主测试单元包括第二通信模块、波形接收模块和存储模块；
- 10 所述第二通信模块连接所述第一通信模块和所述波形接收模块，通过所述第二通信模块接收所述重构波形并发送至所述波形接收模块；所述波形接收模块连接所述存储模块，将接收的重构波形存入所述存储模块。
2. 根据权利要求 1 所述的信号接收装置，其中，所述数字波形采集器包括：
同步控制模块，连接波形数据处理模块和所述模数转换装置，用于接收所述模数转
- 15 换装置输出的固定频率的原始波形，并在接收到触发信号后将原始波形发送至所述波形数据处理模块；
- 所述波形数据处理模块，连接所述第一通信模块，对所述原始波形进行重采样处理，生成所需的任意频率的重构波形并发送至所述第一通信模块。
3. 根据权利要求 2 所述的信号接收装置，其中，所述同步控制模块包括：
- 20 同步接收控制模块，连接采集信号处理模块和两个以上的模数转换装置，接收各所述模数转换装置输出的原始波形，并在接收到触发信号后将多路原始波形同步发送至所述采集信号处理模块；
- 所述采集信号处理模块，连接所述波形数据处理模块，用于对接收的多路原始波形进行合成，输出一路原始波形至所述波形数据处理模块。
- 25 4. 根据权利要求 2 所述的信号接收装置，其中，所述波形数据处理模块包括：
校准模块，连接所述同步控制模块，用于对接收的原始波形进行校准处理，输出校准后的波形数据；
- 数字重采样模块，连接所述校准模块和所述第一通信模块，用于对校准后的波形数据进行重采样处理，生成所需的任意频率的重构波形并发送至所述第一通信模块。
- 30 5. 根据权利要求 4 所述的信号接收装置，其中，所述校准模块包括 DC 校准模块、AC

幅度校准模块和低通滤波模块中的至少一种。

6. 根据权利要求 4 所述的信号接收装置，其中，所述数字重采样模块包括：

输入波形数据缓存模块，连接所述校准模块、有效位置计算模块和有效数据缓存模块，用于对校准后的波形数据进行缓存，并在缓存的数据个数大于设定阈值数量时发送
5 启动信号至所述有效位置计算模块；以及根据接收的读使能信号从缓存的数据中读取有效位置对应的有效数据，并将读取的有效数据发送至所述有效数据缓存模块进行缓存；

所述有效位置计算模块，连接有效系数生成模块，用于在接收到所述启动信号后，根据设置的步进和初始相位计算，得到有效位置信息并发送至所述有效系数生成模块，并发送读使能信号至所述输入波形数据缓存模块；

10 所述有效系数生成模块，连接数据计算模块和有效数据缓存模块，用于根据所述有效位置信息从预存的多组系数中进行系数读取，得到有效系数发送至数据计算模块，并发送数据读使能信号至有效数据缓存模块；

所述有效数据缓存模块，连接数据计算模块，用于根据接收的数据读使能信号，读取缓存的有效数据发送至数据计算模块；

15 所述数据计算模块，连接所述第一通信模块，用于根据接收的有效系数和有效数据进行卷积计算，得到重构波形并发送至所述第一通信模块。

7. 根据权利要求 6 所述的信号接收装置，其中，所述有效数据缓存模块将有效数据使用移位的方式并行存入连续的内部缓存单元中；和/或所述有效系数生成模块根据所述有效位置信息的整数位置信息读出相邻的两组系数，根据所述有效位置信息的小数位置信
20 息对读取的两组系数采用线性插值算法进行计算，得到有效系数。

8. 根据权利要求 6 所述的信号接收装置，其中，所述数据计算模块根据接收的有效系数和有效数据进行卷积计算，包括：

$$\text{DATA_VALID} = \sum_{k=0}^{15} \text{COE}[k] * \text{DATA_IN}[16 - k]$$

其中，DATA_VALID 表示重构波形的重构点，COE 表示重构点的有效位置对应的有效
25 系数，DATA_IN 表示有效位置对应的有效数据。

9. 根据权利要求 2 所述的信号接收装置，其中，所述波形接收模块包括：

接收控制模块，连接所述第二通信模块和读写控制模块，用于通过所述第二通信模块接收所述重构波形，并发送写请求指令至所述读写控制模块；

所述读写控制模块，连接所述存储模块，用于根据所述写请求指令将所述重构波形存入所述存储模块。

10. 根据权利要求 2 所述的信号接收装置，其中，
- 所述子测试单元还包括第一业务解码模块，所述第一业务解码模块连接上位机、所述数字波形采集器和所述外部时钟芯片，根据所述上位机下发的指令对所述数字波形采集器和所述外部时钟芯片进行参数配置；和/或

所述主测试单元还包括第二业务解码模块，所述第二业务解码模块连接上位机和所述波形接收模块，根据所述上位机下发的指令对所述波形接收模块进行参数配置，以及通过所述波形接收模块对所述存储模块进行波形读取操作。

- 10 11. 一种信号接收方法，其特征在于，包括：
- 子测试单元中的外部时钟芯片输出固定频率的采样时钟至模数转换装置；
- 所述子测试单元中的数字波形采集器接收所述模数转换装置根据所述采样时钟输出的固定频率的原始波形，对所述原始波形进行重采样处理，生成所需的任意频率的重构波形并发送至所述子测试单元中的第一通信模块；

- 15 主测试单元中的第二通信模块接收所述第一通信模块发送的所述重构波形并发送至所述主测试单元中的波形接收模块；

所述波形接收模块将接收的重构波形存入所述主测试单元中的存储模块。

12. 一种模数混合测试板卡，其特征在于，包括权利要求 1-10 任意一项所述的信号接收装置。

- 20 13. 一种测试机，其特征在于，包括通信板、背板和权利要求 12 所述的模数混合测试板卡。