

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010 年 12 月 2 日(02.12.2010)

PCT

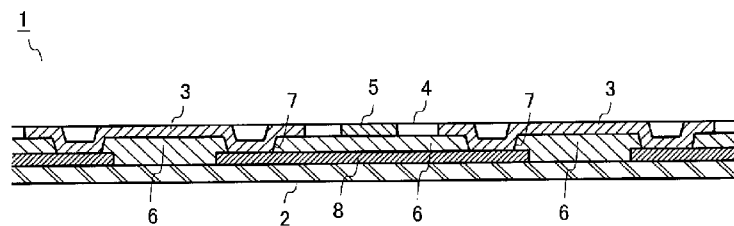
(10) 国際公開番号
WO 2010/137316 A1

- (51) 国際特許分類:
G06F 3/041 (2006.01) G06F 3/044 (2006.01)
- (21) 国際出願番号: PCT/JP2010/003540
- (22) 国際出願日: 2010 年 5 月 26 日(26.05.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-129326 2009 年 5 月 28 日(28.05.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): 凸版印刷株式会社(TOPPAN PRINTING CO., LTD.) [JP/JP]; 〒1108560 東京都台東区台東 1 丁目 5 番 1 号 Tokyo (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 田中博 (TANAKA, Hiroshi). 上野隆(UENO, Takashi).
- (74) 代理人: 小笠原史朗(OGASAWARA, Shiro); 〒5640063 大阪府吹田市江坂町 1 丁目 2 3 番 10 1 号 大同生命江坂ビル 1 3 階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: CAPACITANCE-TYPE INPUT DEVICE

(54) 発明の名称: 静電容量型入力装置

[図2]



(57) Abstract: Provided is a capacitance-type input device that has a structure having translucent electrodes arranged in two axis directions within the same layer; and a structure in which jumpers mutually connecting translucent electrodes in one of the axis directions are inconspicuous, and the provability of breaking is low. After forming the jumpers (8) consisting of conductive material on the surface of a substrate (2), an insulation-film (6) is installed so as to cover the jumpers (8) and the substrate (2), and first translucent electrodes (3) and second translucent electrodes (4) are formed matrix-like on the insulation-film (6). The first translucent electrodes (3) lined up in the left-right direction of the drawing are mutually connected electrically by the jumpers (8), via through-holes (7) formed on the insulation-film (6). On the other hand, the second translucent electrodes (4) lined up in a direction perpendicular to the drawing are mutually connected, via connecting sections (5) that are patterned in unification with the second translucent electrodes (4). The jumpers (8), connecting the first translucent electrodes (3), can be made to be inconspicuous, when viewed from the front face side, by installing them on the substrate (2).

(57) 要約: 同一レイヤに 2 軸方向の透光性電極を配列した構造であって、一方の軸方向の透光性電極を相互に接続するジャンパーが目立ちにくく、断線する可能性の低い構造を有する静電容量型入力装置を提供する。基板 2 の表面に、導電性材料よりなるジャンパー 8 を形成した後、ジャンパー 8 及び基板 2 を覆うように絶縁膜 6 を設け、絶縁膜 6 上に第 1 の透光性電極 3 及び第 2 の透光性電極 4 がマトリクス状に形成されている。図の左右方向に整列する第 1 の透光性電極 3 の各々は、絶縁膜 6 に形成されたスルーホール 7 を通じてジャンパー 8 によって電気的に接続されている。一方、紙面と直交する方向に整列する第 2 の透光性電極 4 の各々は、第 2 の透光性電極 4 と一体的にパターンニングされる接続部 5 を介して連結されている。第 1 の透光性電極 3 を接続するジャンパー 8 を基板 2 上に設けたことによって、表面側から見たときに目立ちにくくすることができる。

WO 2010/137316 A1