

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013年8月8日(08.08.2013)



(10) 国際公開番号
WO 2013/115051 A1

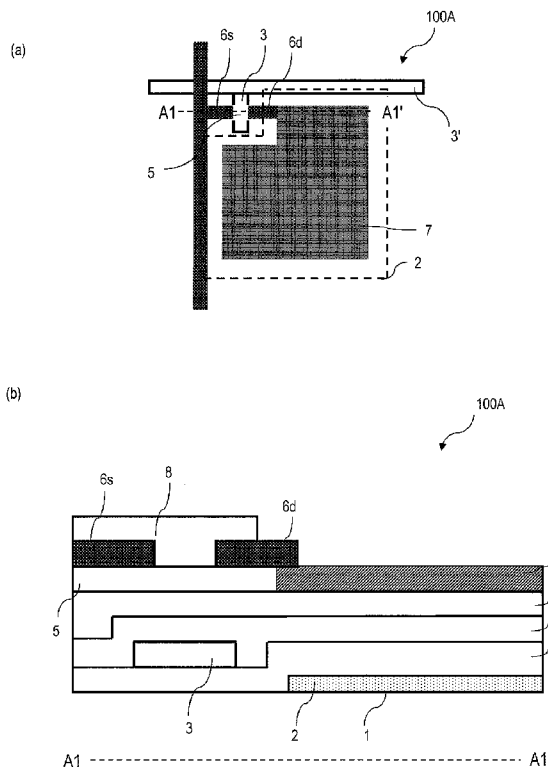
- (51) 国際特許分類:
H01L 29/786 (2006.01) H01L 21/336 (2006.01)
G02F 1/1368 (2006.01)
- (21) 国際出願番号: PCT/JP2013/051417
- (22) 国際出願日: 2013年1月24日(24.01.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-018753 2012年1月31日(31.01.2012) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町2番2号 Osaka (JP).
- (72) 発明者: 宮本 忠芳(MIYAMOTO Tadayoshi). 伊東 一篤(ITO Kazuatsu). 森 重恭(MORI Shigeyasu). 宮本 光伸(MIYAMOTO Mitsunobu). 小川 康行(OGAWA Yasuyuki). 中澤 淳(NAKAZAWA Makoto). 内田 誠一(UCHIDA Seichi). 松尾 拓哉(MATSUO Takuya).

- (74) 代理人: 奥田 誠司(OKUDA Seiji); 〒5410041 大阪府大阪市中央区北浜一丁目8番16号 大阪証券取引所ビル10階 奥田国際特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING SAME

(54) 発明の名称: 半導体装置およびその製造方法



(57) Abstract: A semiconductor device (100A) has: a substrate (1); a gate electrode (3) and a first transparent electrode (2) which are formed on the substrate (1); a first insulating layer (4) formed on the gate electrode (3) and the first transparent electrode (2); an oxide semiconductor layer (5) formed on the first insulating layer (4); a source electrode (6s) and a drain electrode (6d) which are electrically connected to the oxide semiconductor layer (5); and a second transparent electrode (7) which is electrically connected to the drain electrode (6d). At least part of the first transparent electrode (2) overlaps the second transparent electrode (7) with the first insulating layer (4) interposed therebetween. The oxide semiconductor layer (5) and the second transparent electrode (7) are formed from the same oxide film.

(57) 要約: 半導体装置(100A)は、基板(1)と、基板(1)の上に形成されたゲート電極(3)および第1透明電極(2)と、ゲート電極(3)および第1透明電極(2)の上に形成された第1の絶縁層(4)と、第1の絶縁層(4)の上に形成された酸化物半導体層(5)と、酸化物半導体層(5)に電気的に接続されたソース電極(6s)およびドレイン電極(6d)と、ドレイン電極(6d)と電気的に接続された第2透明電極(7)とを有する。第1透明電極(2)の少なくとも一部は、第1の絶縁層(4)を介して第2透明電極(7)と重なっている。酸化物半導体層(5)および第2透明電極(7)は、同一の酸化物膜から形成されている。

WO 2013/115051 A1



(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). 添付公開書類:

— 国際調査報告 (条約第 21 条(3))