

集成电路的布图方法及布图装置

交叉引用

本申请基于申请号为 202011237506.6、申请日为 2020 年 11 月 09 日的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本申请作为参考。

技术领域

本申请涉及集成电路制造领域，尤其涉及一种集成电路的布图方法及布图装置。

背景技术

动态随机存储器(Dynamic Random Access Memory, DRAM)是计算机等电子设备中常用的半导体器件，其由多个重复的存储单元构成，每个存储单元通常包括晶体管和电容器。所述晶体管的栅极与字线电连接、源极与位线电连接、漏极与电容器电连接，字线上的字线电压能够控制晶体管的开启和关闭，从而通过位线能够读取存储在电容器中的数据信息，或者将数据信息写入到电容器中。

随着 DRAM 工艺节点的不断缩小，对布图均匀性的要求也越来越高。在最新的 LP (Low Power, 低功耗) 工艺中，工艺库中具有三种小尺寸 (5Xnm、6Xnm、7Xnm) 的沟道长度，较小的尺寸使得 DRAM 的单节点工艺更加复杂，在制造过程中极容易出现刻蚀误差。为了补偿这种误差，通常会在晶体管两侧加上对应长度、并间隔特定距离的伪栅极，用来帮助在光刻时形成衍射，从而提高边缘区域晶体管沟道长度的刻蚀精度。但是，由于版图上的晶体管数量是呈千万级别的，且具有小尺寸沟道长度的晶体管的摆放情况也异常复杂，紧张的开发周期使得工程师无法在短时间内通过手动的方式添加伪栅极，从而限制了后续芯片光刻质量的提高。

因此，如何提高集成电路布图效率及布图精准性，改善光刻质量，缩短集成电路开发周期，提高半导体产品的产率，是当前亟待解决的

技术问题。

发明内容

本申请实施例提供一种集成电路的布图方法及布图装置，在一定程度上解决现有的集成电路布图效率低的问题，以改善布图精准性，改善光刻质量，缩短集成电路开发周期，提高半导体产品的产率。

根据本申请实施例的一个方面，提供了一种集成电路的布图方法，包括如下步骤：

提供一版图，所述版图包括第一元件区域和第二元件区域，所述第一元件区域与所述第二元件区域之间具有一间隔区域；

检测所述间隔区域的宽度是否小于预设宽度，若是，则对所述第一元件区域、所述第二元件区域和所述间隔区域中的至少一个进行标注，所述预设宽度是指满足要求的最小宽度，其中，所述要求为在所述间隔区域填充至少一个虚拟图案。

根据本申请实施例的另一个方面，提供了一种集成电路的布图装置，包括：

存储模块，用于存储版图，所述版图包括第一元件区域和第二元件区域，所述第一元件区域与所述第二元件区域之间具有一间隔区域；

检测模块，连接所述存储模块，用于检测所述间隔区域的宽度是否小于预设宽度，若是，则对所述第一元件区域、所述第二元件区域和所述间隔区域中的至少一个进行标注，所述预设宽度是指满足要求的最小宽度，其中，所述要求为在所述间隔区域填充至少一个虚拟图案。

本申请实施例提供的集成电路的布图方法及布图装置，通过自动检测版图中两个相邻元件区域之间间隔区域的宽度，并对不满足虚拟图案填充要求的元件区域和/或间隔区域进行标注，从而能够快速、准确的定位版图中摆放位置不佳的元件区域，使得能够及时对版图布局进行调整，节省了人力资源，提高了集成电路布图效率，改善了布图精准性，为改善光刻质量、缩短集成电路开发周期、提高半导体产

品的产率等奠定了基础。

附图说明

通过以下参照附图对本申请实施例的描述，本申请的上述以及其他目的、特征和优点将更为清楚，在附图中：

图 1 是本申请具体实施方式中集成电路的布图方法的流程图；

图 2A-2D 是本申请具体实施方式中对一版图进行检测时的示意图；

图 3A-3J 是本申请具体实施方式中对不同场景下的版图进行虚拟图案填充时的示意图；

图 4 是本申请具体实施方式中集成电路的布图装置的结构框图。

具体实施方式

为使本申请的目的、技术方案和优点更加清楚明白，以下结合具体实施例，并参照附图，对本申请进一步详细说明。但是应该理解，这些描述只是示例性的，而并非要限制本申请的范围。此外，在以下说明中，省略了对公知结构和技术的描述，以避免不必要地混淆本申请的概念。

在附图中示出了根据本申请的半导体器件的各种结构图及截面图。这些图并非是按比例绘制的，其中为了清楚的目的而放大了某些细节，并且可能省略了某些细节。图中所示出的各种区域、层的形状以及它们之间的相对大小、位置关系仅是示例性的，实际中可能由于制造公差或技术限制而有所偏差，并且本领域技术人员根据实际所需可以另外设计具有不同形状、大小、相对位置的区域/层。

本具体实施方式提供了一种集成电路的布图方法，附图 1 是本申请具体实施方式中集成电路的布图方法的流程图，附图 2A-2D 是本申请具体实施方式中对一版图进行检测时的示意图。如图 1、图 2A-图 2D 所示，本具体实施方式提供的集成电路的布图方法，包括如下步骤：

步骤 S11，提供一版图，所述版图包括第一元件区域 21 和第二

元件区域 22，所述第一元件区域 21 与所述第二元件区域 22 之间具有一间隔区域 23，如图 2A 所示。

具体来说，所述版图中具有若干个元件区域，且若干个元件区域的排布方式可以根据集成电路的布图要求进行设置。每个元件区域内具有若干元器件，各元件区域内元器件的结构和排布方式可以相同、也可以不同，相邻元件区域之间具有一所述间隔区域。所述间隔区域用于填充虚拟图案，以满足后续对元件区域进行光刻时的衍射要求。所述元器件可以是但不限于晶体管。

步骤 S12，检测所述间隔区域 23 的宽度 D 是否小于预设宽度，若是，则对所述第一元件区域 21、所述第二元件区域 22 和所述间隔区域 23 中的至少一个进行标注，所述预设宽度是指满足要求的最小宽度，其中，所述要求为在所述间隔区域 23 填充至少一个虚拟图案 24，如图 2D 所示。

具体来说，所述虚拟图案是指光刻工艺中既能补偿元件区域内部元器件的刻蚀精度，又符合 DRC (Design Rule Check, 设计规则验证) 的图案。所述预设宽度是指满足在所述间隔区域填充至少一个所述虚拟图案要求的最小宽度，使得元件区域内部元器件的刻蚀精度得到提高。在光刻工艺中，通过在两个相邻的所述第一元件区域 21 和所述第二元件区域 22 之间填充虚拟图案 24，可以帮助所述第一元件区域 21 和/或所述第二元件区域 22 内部的元器件在光刻时更好的形成衍射，从而提高刻蚀精度。但是，如果所述间隔区域 23 的宽度 D 过窄，则由于光刻衍射的限制，无法填充虚拟图案 24，从而影响后续光刻工艺的实施。本具体实施方式可以对所述版图中相邻的所述第一元件区域 21 和所述第二元件区域 22 之间的所述间隔区域 23 的宽度 D 进行自动检测，并根据检测结果在版图中进行标注，从而使得版图工程师能够快速、准确的定位到所述版图中设计不合理的区域，以便及时对版图进行调整，提高版图开发周期。本领域技术人员可以根据实际需要设置标注的具体方式，本具体实施方式是以采用如图 2B 所示的虚线框的方式对设计不合理的第一元件区域 21 和第二元件区域 22 同时进行标注。本领域技术人员还可以采用其他图案、颜色

或者文字的方式进行标注。

可选的，所述第一元件区域 21 包括第一有源区 211、位于所述第一有源区 211 内的第一栅极图案 212 以及位于所述第一元件区域 21 朝向所述第二元件区域 22 一侧的第一辅助图案 213，所述第二元件区域 22 包括第二有源区 221、位于所述第二有源区 221 内的第二栅极图案 222 以及位于所述第二元件区域 22 朝向所述第一元件区域 21 一侧的第二辅助图案 223；检测所述间隔区域 23 的宽度 D 是否小于预设宽度的具体步骤包括：

测量所述第一辅助图案 213 与所述第二辅助图案 223 之间的距离；或者，

测量所述第一有源区 211 与所述第二有源区 221 之间的距离，并计算所述第一辅助图案 213 与所述第二辅助图案 223 之间的距离。

具体来说，所述第一元件区域 21 中具有第一有源区 211，在所述第一有源区 211 沿 X 轴方向的两外侧分别具有一个所述第一辅助图案 213。所述第一栅极图案 212 和所述第一辅助图案 213 均沿与 X 轴方向垂直的 Y 轴方向延伸，且所述第一栅极图案 212 与所述第一辅助图案 213 沿 X 轴方向排列。所述第一栅极图案 212 可以与所述第一辅助图案 213 的形状（包括线宽和沿 Y 轴方向的长度）相同。所述第一辅助图案 213 用于帮助在光刻制造第一栅极图案的过程中更好的形成衍射，从而有效控制所要形成的第一栅极图案的线宽（即所述第一栅极图案沿 X 轴方向的宽度）。所述第二元件区域 22 中具有第二有源区 221，在所述第二有源区 221 沿 X 轴方向的两外侧分别具有一个所述第二辅助图案 223。所述第二栅极图案 222 和所述第二辅助图案 223 均沿与 X 轴方向垂直的 Y 轴方向延伸，且所述第二栅极图案 222 可以与所述第二辅助图案 223 沿 X 轴方向排列。所述第二栅极图案 222 与所述第二辅助图案 223 的形状（包括沿 X 轴方向的线宽和沿 Y 轴方向的长度）相同。所述第二辅助图案 223 用于帮助在光刻制造第二栅极图案的过程中更好的形成衍射，从而有效控制所要形成的第二栅极图案的线宽（即所述第二栅极图案沿 X 轴方向的宽度）。

在版图设计过程中,通常所述第一辅助图案 213 与所述第一栅极图案 212 是同时被设计出来的,且所述第一辅助图案 213 与所述第一栅极图案 212 之间的距离是确定的,因此,本具体实施方式中可以直接测量所述第一辅助图案 213 与所述第二辅助图案 223 之间的距离;也可以测量所述第一有源区 211 与所述第二有源区 221 之间的距离,并通过计算间接得到所述第一辅助图案 213 与所述第二辅助图案 223 之间的距离。

可选的,所述预设宽度包括第一子预设宽度和第二子预设宽度;

所述第一子预设宽度为满足所述要求要填充的所述虚拟图案 24 与所述第一辅助图案 213 之间的最小宽度,所述第二子预设宽度为满足所述要求要填充的所述虚拟图案 24 与所述第二辅助图案 223 之间的最小宽度;

满足所述要求填充的所述虚拟图案 24 与所述第一辅助图案 213 之间的最小宽度等于所述第一辅助图案 213 与所述第一栅极图案 212 之间的距离,满足所述要求填充的所述虚拟图案 24 与所述第二辅助图案 223 之间的最小宽度等于所述第二辅助图案 223 与所述第二栅极图案 222 之间的距离。

具体来说,所述第一子预设宽度是指同时满足所述第一辅助图案 213 和所述虚拟图案 24 刻蚀精度要求的最小宽度,所述第二子预设宽度是指同时满足所述第二辅助图案 223 和所述虚拟图案刻蚀精度要求的最小宽度。所述第一子预设宽度和所述第二子预设宽度的具体数值,可以根据实际使用的刻蚀工具所能达到的刻蚀精度确定。通过限定所述第一子预设宽度和所述第二子预设宽度的范围,可以确保填充的所述虚拟图案 24 能够同时满足所述第一元件区域 21 和所述第二元件区域 22 的刻蚀要求。

可选的,对所述第一元件区域 21、所述第二元件区域 22 和所述间隔区域 23 中的至少一个进行标注之后,还包括如下步骤:

调整所述第一元件区域 21 和/或所述第二元件区域 22 的位置,使所述间隔区域 23 的宽度 D 增大至所述预设宽度。

具体来说,在定位出版图中设计不合理的位置之后,可以采用沿

X 轴、远离所述第二元件区域 22 的方向平移所述第一元件区域 21；或者，采用沿 X 轴、远离所述第一元件区域 21 的方向平移所述第二元件区域 22；或者，采用沿 X 轴、相互背离的方向同时移动所述第一元件区域 21 和第二元件区域 22（如图 2C 所示），这三种方式中的任一种调整所述间隔区域 23 的宽度，使得所述间隔区域 23 至少能填充一个所述虚拟图案 24。

可选的，所述集成电路的布图方法还包括如下步骤：

判断所述间隔区域 23 的宽度 D 是否小于预设宽度，若否，则于所述间隔区域 23 填充至少一个所述虚拟图案 24。

具体来说，当检测到所述间隔区域 23 的宽度大于所述预设宽度时，则于所述间隔区域 23 内填充至少一个虚拟图案 24。附图 2D 以在增大所述间隔区域 23 的宽度 D 至所述预设宽度后，能够在所述间隔区域 23 内填充两个所述虚拟图案 24 为例进行说明。填充的所述虚拟图案 24 的具体数量和形状、填充的所述虚拟图案 24 分别与所述第一元件区域 21 和所述第二元件区域 22 之间的距离、以及填充多个所述虚拟图案 24 时、相邻所述虚拟图案 24 之间的距离，本领域技术人员可以根据实际需要进行设置，例如根据所述第一栅极图案 212 的线宽、所述第二栅极图案 222 的线宽等。

可选的，于所述间隔区域 23 填充至少一个虚拟图案 24 的具体步骤包括：

判断所述第一栅极图案 212 的线宽 W1 是否等于所述第二栅极图案 222 的线宽 W2，若是，则于所述间隔区域 23 填充至少一个所述虚拟图案 24，所述虚拟图案 24 的线宽与所述第一栅极图案 212 的线宽或所述第二栅极图案 222 的线宽相等。

举例来说，如图 3A 所示，所述第一栅极图案 212 的线宽 W1 与所述第二栅极图案 222 的线宽 W2 相等（即所述第一辅助图案 213 的形状与所述第二辅助图案 223 的形状相等）、且均小于预设尺寸，当所述间隔区域 23 的宽度 D 大于或者等于所述预设宽度时，则可以于所述间隔区域 23 填充一个或者多个所述虚拟图案 24，附图 3B 中是以填充一个所述虚拟图案 24 为例进行说明。此时，填充的所述虚

拟图案 24 的形状、尺寸均与所述第一栅极图案 212 或者第二栅极图案 222 相同。填充的所述虚拟图案 24 与所述第一辅助图案 213、所述第二辅助图案 223 的距离相等。本具体实施方式中所述的预设尺寸为 10nm，例如所述第一栅极图案 212 的线宽 W1 与所述第二栅极图案 222 的线宽 W2 可以均为 5nm、6nm 或者 7nm。

可选的，于所述间隔区域 23 填充至少一个所述虚拟图案 24 的具体步骤包括：

判断所述第一栅极图案 212 的线宽是否等于所述第二栅极图案 222 的线宽，若否，则判断所述间隔区域 23 的宽度是否满足同时填充第一虚拟图案 241 和第二虚拟图案 242 的要求，若是，则于所述间隔区域 23 同时填充所述第一虚拟图案 241 和所述第二虚拟图案 242，所述第一虚拟图案 241 为与所述第一栅极图案 212 的线宽相同的图案，所述第二虚拟图案 242 为与所述第二栅极图案 222 的线宽相同的图案。

所述间隔区域 23 的宽度是否满足同时填充第一虚拟图案 241 和第二虚拟图案 242 的要求具体包括，于所述间隔区域 23 填充的所述第一虚拟图案 241 与所述第一辅助图案 213 之间的距离大于或者等于所述第一子预设宽度，于所述间隔区域 23 填充的所述第二虚拟图案 242 与所述第二辅助图案 223 之间的距离大于或者等于所述第二子预设宽度。

举例来说，如图 3C 所示，所述第一栅极图案 212 的线宽 W1 与所述第二栅极图案 222 的线宽 W2 均小于所述预设尺寸、且所述第一栅极图案 212 的线宽 W1 小于所述第二栅极图案 222 的线宽 W2（即所述第一辅助图案 213 的线宽小于所述第二辅助图案 223 的线宽），且所述间隔区域 23 的宽度满足同时填充所述第一虚拟图案 241 和所述第二虚拟图案 242 的要求，则可以于所述间隔区域 23 同时填充两个所述第一虚拟图案 241 和两个所述第二虚拟图案 242，如图 3D 所示。所述第一虚拟图案 241 位于所述间隔区域 23 靠近所述第一辅助图案 213 的一侧，且所述第一虚拟图案 241 的线宽与所述第一栅极图案 212 的线宽相同；所述第二虚拟图案 242 位于所述间隔区域 23 靠

近所述第二辅助图案 223 的一侧，且所述第二虚拟图案 242 的线宽与所述第二栅极图案 222 的线宽相同。本具体实施方式之所以要在所述间隔区域 23 填充两个所述第一虚拟图案 241，是因为在所述第一栅极图案 212 的一侧设置至少三个相同形状的图案（第一辅助图案 213 和第一虚拟图案 241）可以更好的改善所述第一栅极图案 212 光刻时的衍射效果。之所以要在所述间隔区域 23 填充两个所述第二虚拟图案 242，是因为在所述第二栅极图案 222 的一侧设置至少三个相同形状的图案（第二辅助图案 223 和第二虚拟图案 242）可以更好的改善所述第二栅极图案 222 光刻时的衍射效果。

为了进一步提高刻蚀衍射效果，填充的所述第一虚拟图案 241 的长度（沿图 3C 中 Y 轴方向的长度）与所述第一辅助图案 213 的长度（沿图 3C 中 Y 轴方向的长度）相同；填充的所述第二虚拟图案 242 的长度（沿图 3C 中 Y 轴方向的长度）与所述第二辅助图案 223 的长度（沿图 3C 中 Y 轴方向的长度）相同。

在本具体实施方式中，可选的，于所述间隔区域 23 填充的相邻的所述第一虚拟图案 241 和所述第二虚拟图案 242 之间的距离大于或者等于第一阈值。所述第一阈值的具体数值可以根据工艺的制程能力和制造实际情况设定，例如光刻精度要求等。在其他具体实施方式中，还包括如下步骤：

判断填充后的所述第一虚拟图案 241 与所述第二虚拟图案 242 之间的距离是否小于第一阈值，若是，则使得填充的所述第一虚拟图案 241 与所述第二虚拟图案 242 连接。

可选的，于所述间隔区域 23 填充至少一个虚拟图案 24 的具体步骤包括：

判断所述第一栅极图案 212 的线宽是否等于所述第二栅极图案 222 的线宽，若否，则判断所述间隔区域 23 的宽度是否满足同时填充第一虚拟图案 241 和第二虚拟图案 242 的要求，若否，则再判断所述第一栅极图案 212 的线宽是否小于所述第二栅极图案 222 的线宽，若是，则于所述间隔区域 23 仅填充所述第一虚拟图案 241，若否，则于所述间隔区域 23 仅填充所述第二虚拟图案 242，所述第一

虚拟图案 241 为与所述第一栅极图案 212 的线宽相同的图案，所述第二虚拟图案 242 为与所述第二栅极图案 222 的线宽相同的图案。

可选的，所述第一虚拟图案 241 的长度与所述第一辅助图案 213 的长度相同，所述第二虚拟图案 242 的长度与所述第二辅助图案 223 的长度相同。

可选的，所述集成电路的布图方法还包括如下步骤：

判断填充后的所述第一虚拟图案 241 与所述第二辅助图案 223 之间的距离是否小于第一阈值，若是，则使得填充的所述第一虚拟图案 241 与所述第二辅助图案 223 连接。

举例来说，如图 3E 所示，所述第一栅极图案 212 的线宽 $W1$ 小于所述预设尺寸，所述第二栅极图案 222 的线宽 $W2$ 大于所述预设尺寸，即所述第一栅极图案 212 的线宽 $W1$ 与所述第二栅极图案 222 的线宽 $W2$ 不相等。若所述间隔区域 23 的宽度 D 不足以填充两个虚拟图案、且所述第一栅极图案 212 的线宽 $W1$ 小于所述第二栅极图案 222 的线宽 $W2$ 时，可以仅填充一个与所述第一栅极图案 212 或所述第一辅助图案 213 的线宽相同的所述第一虚拟图案 241 于所述间隔区域，如图 3F 所示。这是因为，线宽越大，光刻过程中受衍射效应的影响越小。由于所述第一虚拟图案 241 的线宽较小，对所述第二栅极图案 222 的光刻影响较小。反之，若所述第一栅极图案 212 的线宽 $W1$ 大于所述第二栅极图案 222 的线宽 $W2$ ，则可以仅于所述间隔区域 23 填充所述第二虚拟图案 242。

所述第一阈值的具体数值可以根据工艺的制程能力和制造实际情况设定，例如光刻精度要求等。当填充后的所述第一虚拟图案 241 与所述第二辅助图案 223 之间的距离小于所述第一阈值时，可以使得填充的所述第一虚拟图案 241 与所述第二辅助图案 223 直接接触连接；当填充后的所述第一虚拟图案 241 与所述第二辅助图案 223 之间的距离大于所述第一阈值时，可以使得填充的所述第一虚拟图案 241 与所述第二辅助图案 223 相互隔离。

可选的，所述集成电路的布图方法还包括如下步骤：

判断所述第一元件区域 21 外围是否存在与其相邻的导电插塞

25, 若是, 则于所述第一元件区域 21 与所述导电插塞 25 之间填充插塞虚拟图案 244, 所述插塞虚拟图案 244 的线宽与所述第一栅极图案 212 的线宽相同。

举例来说, 如图 3G 所示, 当检测到所述第一元件区域 21 的周围存在与其相邻的所述导电插塞 25 时, 还可以在所述第一元件区域 21 与所述导电插塞 25 之间填充至少两个所述插塞虚拟图案 244, 如图 3H 所示, 使得所述第一栅极图案朝向所述导电插塞 25 的一侧满足具有至少三个形状相同的图案(包括第一辅助图案和填充的虚拟图案)的要求, 从而改善光刻效果。所述插塞虚拟图案 244 的线宽与所述第一栅极图案 212 的线宽相同, 所述虚拟图案 24 的长度与所述第一辅助图案 213 的长度相同。

可选的, 所述版图中还包括导电插塞 25、以及与所述第一元件区域 21 相邻的第三元件区域 26, 所述第三元件区域 26 包括第三有源区、位于所述第三有源区内的第三栅极图案 261、以及位于所述第三有源区外侧的第三辅助图案 262; 所述集成电路的布图方法还包括如下步骤:

判断所述第一元件区域 21、所述第三元件区域 26 与所述导电插塞 25 是否共同围绕形成一空白区域 28, 若是, 则于所述空白区域 28 填充与所述第一元件区域 21 和所述第三元件区域 28 均匹配的第三虚拟图案 243, 所述空白区域 28 是指未设置栅极图案的区域。

本具体实施方式中所述的空白区域 28 是指未设置栅极图案的区域。与所述第一元件区域 21 和所述第三元件区域 28 均匹配的第三虚拟图案 243 是指, 所述第三虚拟图案 243 的形状与所述第一元件区域 21 和所述第三元件区域 28 中元器件的延伸方向、延伸长度、线宽、相邻元器件之间的间隔距离中的一种或几种匹配, 以改善所述第一元件区域 21 和所述第三元件区域 28 中图案的光刻质量。

可选的, 所述第一栅极图案 212 和所述第三栅极图案 261 均沿第一方向延伸, 所述第一栅极图案 212 与所述第三栅极图案 261 沿第二方向间隔排列, 所述第一方向与所述第二方向垂直, 所述第一栅极图案 212 在所述第一方向上的长度或位置超出所述第三栅极图案 261;

于所述空白区域 28 填充与所述第一元件区域 21 和所述第三元件区域 26 均匹配的所述第三虚拟图案 243 的具体步骤包括：

于所述空白区域 28 填充沿所述第一方向延伸的所述第三虚拟图案 243，所述第三虚拟图案 243 的位置在所述第一方向上与所述第三栅极图案 261 或所述第三辅助图案 262 对齐，在所述第二方向上与所述第一栅极图案 212 或所述第一辅助图案 213 对齐。

举例来说，所述第一方向为 Y 轴方向，所述第二方向为 X 轴方向。如图 3I 所示，当检测到所述第一元件区域 21、所述第三元件区域 26 与所述导电插塞 25 是否共同围绕形成一空白区域 28 时，于所述空白区域 28 填充沿 Y 轴方向延伸、且沿 X 轴方向排列的多个所述第三虚拟图案 243，每一所述虚拟图案靠近所述导电插塞 25 一侧的边界与所述第一栅极图案 212 平齐。在沿 Y 轴方向上，多个所述第三虚拟图案 243 与所述第三元件区域 26 中的多个所述第三栅极图案 261 和位于所述第三有源区外部的第三辅助图案 262 一一对准。

可选的，多个所述第三虚拟图案 243 填充满所述空白区域 28；

在所述第二方向上，相邻所述第三虚拟图案 243 之间的距离与所述第三栅极图案 261 和所述第三辅助图案 262 之间的距离相等。

具体来说，为了进一步提高后续对所述第一元件区域 21 和所述第三元件区域 26 的刻蚀效果，可以采用多个所述第三虚拟图案 243 将所述空白区域 28 填充满。举例来说，当所述空白区域 28 仅由所述第三元件区域 26、所述第一元件区域 21 和所述导电插塞 25 围绕而成时，在所述空白区域 28 填充的所述第三虚拟图案 243 的数量与所述第三元件区域 26 中所述第三栅极图案 261 和所述第三辅助图案 262 的数量之和相等，且相邻的所述第三虚拟图案 243 之间的距离与所述第三栅极图案 261 与所述第三辅助图案 262 之间的距离相等。

可选的，所述集成电路的布图方法，还包括如下步骤：

判断所述空白区域 28 是否存在其他元件图案，若是，则控制所述第三虚拟图案 243 与所述其他元件图案之间的最小距离大于或者

等于第二阈值。

举例来说，当所述第三元件区域 26 中具有金属连接结构 263、且所述金属连接结构 263 延伸至所述空白区域 28 时，所述第三虚拟图案 243 的设置要避开所述金属连接结构 263，如图 3J 所示。当所述版图中还包含第四元件区域 27，且所述第一元件区域 21、所述第三元件区域 26、所述第四元件区域 27 与所述导电插塞 25 是否共同围绕形成空白区域时，填充的第三虚拟图案还应该与所述第四元件区域中的第四栅极图案和第四辅助图案对准。所述第二阈值的具体数值可以根据工艺的制程能力和制造实际情况设定，例如光刻精度要求等。所述第一阈值与所述第二阈值可以相等，也可以不等，本领域技术人员可以根据实际的制造要求进行设置。

本具体实施方式是以当所述间隔区域的宽度小于所述预设宽度时，增大所述间隔区域的宽度值所述预设宽度为例进行说明的。在其他具体实施方式中，对所述第一元件区域 21、所述第二元件区域 22 和所述间隔区域 23 中的至少一个进行标注之后，还包括如下步骤：

判断所述间隔区域 23 的宽度是否小于所述第一子预设宽度，若否，则于所述间隔区域 23 填充所述第一虚拟图案 241，所述第一虚拟图案 241 的线宽与所述第一栅极图案 212 的线宽相同。

在其他具体实施方式中，在所述第一元件区域 21、所述第二元件区域 22 和所述间隔区域 23 中的至少一个进行标注、且确定所述间隔区域的宽度大于所述第一子预设宽度之后，还包括如下步骤：

判断于所述间隔区域 23 填充的所述第一虚拟图案 241 与所述第二辅助图案 213 之间的距离是否小于第一阈值，若是，则使得填充的所述第一虚拟图案 241 与所述第二辅助图案 223 连接。

具体来说，在其他具体实施方式中，在确定所述间隔区域 23 的宽度小于预设宽度之后，还可以进一步判断所述间隔区域 23 的宽度是否小于所述第一子预设宽度，若否，则可以在所述间隔区域 23 填充所述第一虚拟图案 241，所述第一虚拟图案 241 为与所述第一栅极图案 212 的线宽相同的图案。或者，在确定所述间隔区域 23 的宽度小于预设宽度之后，还可以进一步判断所述间隔区域 23 的宽度

是否小于所述第二子预设宽度，若否，则可以在所述间隔区域 23 填充所述第二虚拟图案 242，所述第二虚拟图案 242 为与所述第二栅极图案 222 的线宽相同的图案。即可以根据所述第一子预设宽度和所述第二子预设宽度的相对大小选择相应的判断方式。

举例来说，在确认所述间隔区域 23 的宽度小于所述预设宽度、且大于所述第一子预设宽度之后，再判断于所述间隔区域 23 填充的所述第一虚拟图案 241 与所述第二辅助图案 213 之间的距离是否小于第一阈值，若是，则使得填充的所述第一虚拟图案 241 与所述第二辅助图案 223 连接。

不仅如此，本具体实施方式还提供了一种集成电路的布图装置，附图 4 是本申请具体实施方式中集成电路的布图装置的结构框图。本具体实施方式提供的所述集成电路的布图装置可以采用如图 1、图 2A-图 2D 和图 3A-图 3J 所示的集成电路的布图方法对版图进行布图。如图 1、图 2A-图 2D、图 3A-图 3J 和图 4 所示，本具体实施方式提供的集成电路的布图装置，包括：

存储模块 40，用于存储一版图，所述版图包括第一元件区域 21 和第二元件区域 22，所述第一元件区域 21 与所述第二元件区域 22 之间具有一间隔区域 23；

检测模块 41，连接所述存储模块 40，用于检测所述间隔区域 23 的宽度是否小于预设宽度，若是，则对所述第一元件区域 21、所述第二元件区域 22 和所述间隔区域 23 中的至少一个进行标注，所述预设宽度是指满足要求的最小宽度，其中，所述要求为在所述间隔区域 23 填充至少一个虚拟图案 24。

可选的，所述第一元件区域 21 包括第一有源区 211、位于所述第一有源区 211 内的第一栅极图案 212 以及位于所述第一有源区 211 朝向所述第二元件区域 22 一侧的第一辅助图案 213，所述第二元件区域 22 包括第二有源区 221、位于所述第二有源区 221 内的第二栅极图案 222 以及位于所述第二有源区 221 朝向所述第一元件区域 21 一侧的第二辅助图案 223；

所述检测模块 41 用于测量所述第一辅助图案 213 与所述第二辅

助图案 223 之间的距离；或者，

所述检测模块 41 用于测量所述第一有源区 211 与所述第二有源区 221 之间的距离，并计算所述第一辅助图案 213 与所述第二辅助图案 223 之间的距离。

可选的，所述集成电路的布图装置还包括：

填充模块 42，连接所述检测模块 40，用于在所述检测模块 41 检测到所述间隔区域 23 的宽度大于所述预设宽度时，于所述间隔区域 23 填充至少一个所述虚拟图案 24。

可选的，所述填充模块 42 还用于判断所述第一栅极图案 212 的线宽 W1 是否等于所述第二栅极图案 222 的线宽 W2，若是，则于所述间隔区域 23 填充至少一个虚拟图案 24，所述虚拟图案 24 的线宽与所述第一栅极图案 212 的线宽或所述第二栅极图案 222 的线宽相等。

可选的，所述填充模块 42 还用于判断所述第一栅极图案 212 的线宽 W1 是否等于所述第二栅极图案 222 的线宽 W2，若否，则判断所述间隔区域 23 的宽度是否满足同时填充第一虚拟图案 241 和第二虚拟图案 242 的要求，若是，于所述间隔区域 23 同时填充第一虚拟图案 241 和第二虚拟图案 242，所述第一虚拟图案 241 为与所述第一栅极图案 212 的线宽相同的图案，所述第二虚拟图案 242 为与所述第二栅极图案 222 的线宽相同的图案。

可选的，所述填充模块 42 还用于判断所述第一栅极图案 212 的线宽是否等于所述第二栅极图案 222 的线宽，若否，则判断所述间隔区域 23 的宽度是否满足同时填充第一虚拟图案 241 和第二虚拟图案 242 的要求，若否，则再判断所述第一栅极图案 212 的线宽是否小于所述第二栅极图案 222 的线宽，若是，则于所述间隔区域 23 仅填充所述第一虚拟图案 241，若否，则于所述间隔区域 23 仅填充所述第二虚拟图案 242，所述第一虚拟图案 241 为与所述第一栅极图案 212 的线宽相同的图案，所述第二虚拟图案 242 为与所述第二栅极图案 222 的线宽相同的图案。

可选的，所述填充模块 42 还用于判断所述第一元件区域 21 外

围是否存在与其相邻的导电插塞 25，若是，则于所述第一元件区域 21 所述导电插塞 25 之间填充插塞虚拟图案 244，所述插塞虚拟图案 244 的线宽与所述第一栅极图案 212 的线宽相同。

可选的，所述版图中还包括导电插塞 25、以及与所述第一元件区域 21 相邻的第三元件区域 26，所述第三元件区域包括第三有源区、位于所述第三有源区内的第三栅极图案 261、位于所述第三有源区外侧的第三辅助图案 262；

所述填充模块 42 还用于判断所述第一元件区域 21、所述第三元件区域 26 与所述导电插塞 25 是否共同围绕形成一空白区域 28，若是，则于所述空白区域 28 填充与所述第一元件区域 21 和所述第三元件区域 26 均匹配的虚拟图案 24，所述空白区域 28 是指未设置栅极图案的区域。

可选的，所述检测模块 41 还用于对所述第一元件区域 21、所述第二元件区域 22 和所述间隔区域 23 中的至少一个进行标注之后，调整所述第一元件区域 21 和/或所述第二元件区域 22 的位置，使所述间隔区域 23 的宽度增大至所述预设宽度。

本具体实施方式提供的集成电路的布图方法及布图装置，通过自动检测版图中两个相邻元件区域之间间隔区域的宽度，并对不满足虚拟图案填充要求的元件区域和/或间隔区域进行标注，从而能够快速、准确的定位版图中摆放位置不佳的元件区域，使得能够及时对版图布局进行调整，节省了人力资源，提高了集成电路布图效率，改善了布图精准性，为改善光刻质量、缩短集成电路开发周期、提高半导体产品的产率等奠定了基础。

在以上的描述中，对于各层的构图、刻蚀等技术细节并没有做出详细的说明。但是本领域技术人员应当理解，可以通过现有技术中的各种手段来形成所需形状的层、区域等。另外，为了形成同一结构，本领域技术人员还可以设计出与以上描述的方法并不完全相同的方法。尽管以上分别描述了各个实施例，但是并不意味着这些实施例中的有利特征不能结合使用。

应当理解的是，本申请的上述具体实施方式仅仅用于示例性说明

或解释本申请的原理，而不构成对本申请的限制。因此，在不偏离本申请的精神和范围的情况下所做的任何修改、等同替换、改进等，均应包含在本申请的保护范围之内。此外，本申请所附权利要求旨在涵盖落入所附权利要求范围和边界、或者这种范围和边界的等同形式内的全部变化和修改例。

权 利 要 求 书

1. 一种集成电路的布图方法，其中，包括如下步骤：

提供一版图，所述版图包括第一元件区域和第二元件区域，所述第一元件区域与所述第二元件区域之间具有一间隔区域；

检测所述间隔区域的宽度是否小于预设宽度，若是，则对所述第一元件区域、所述第二元件区域和所述间隔区域中的至少一个进行标注，所述预设宽度是指满足要求的最小宽度，其中，所述要求为在所述间隔区域填充至少一个虚拟图案。

2. 根据权利要求 1 所述的集成电路的布图方法，其中，所述第一元件区域包括第一有源区、位于所述第一有源区内的第一栅极图案以及位于所述第一元件区域朝向所述第二元件区域一侧的第一辅助图案，所述第二元件区域包括第二有源区、位于所述第二有源区内的第二栅极图案以及位于所述第二元件区域朝向所述第一元件区域一侧的第二辅助图案；检测所述间隔区域的宽度是否小于所述预设宽度的具体步骤包括：

测量所述第一辅助图案与所述第二辅助图案之间的距离；或者，

测量所述第一有源区与所述第二有源区之间的距离，并计算所述第一辅助图案与所述第二辅助图案之间的距离。

3. 根据权利要求 2 所述的集成电路的布图方法，其中，所述预设宽度包括第一子预设宽度和第二子预设宽度；

所述第一子预设宽度为满足所述要求填充的所述虚拟图案与所述第一辅助图案之间的最小宽度，所述第二子预设宽度为满足所述要求填充的所述虚拟图案与所述第二辅助图案之间的最小宽度；

满足所述要求填充的所述虚拟图案与所述第一辅助图案之间的最小宽度等于所述第一辅助图案与所述第一栅极图案之间的距离，满足所述要求填充的所述虚拟图案与所述第二辅助图案之间的最小宽度等于所述第二辅助图案与所述第二栅极图案之间的距离。

4. 根据权利要求 2 所述的集成电路的布图方法，其中，还包括

如下步骤：

判断所述间隔区域的宽度是否小于预设宽度，若否，则于所述间隔区域填充至少一个所述虚拟图案。

5. 根据权利要求 4 所述的集成电路的布图方法，其中，于所述间隔区域填充至少一个所述虚拟图案的具体步骤包括：

判断所述第一栅极图案的线宽是否等于所述第二栅极图案的线宽，若是，则于所述间隔区域填充至少一个所述虚拟图案，所述虚拟图案的线宽与所述第一栅极图案的线宽或所述第二栅极图案的线宽相等。

6. 根据权利要求 4 所述的集成电路的布图方法，其中，于所述间隔区域填充至少一个所述虚拟图案的具体步骤包括：

判断所述第一栅极图案的线宽是否等于所述第二栅极图案的线宽，若否，则判断所述间隔区域的宽度是否满足同时填充第一虚拟图案和第二虚拟图案的要求，若是，则于所述间隔区域同时填充所述第一虚拟图案和所述第二虚拟图案，所述第一虚拟图案为与所述第一栅极图案的线宽相同的图案，所述第二虚拟图案为与所述第二栅极图案的线宽相同的图案。

7. 根据权利要求 4 所述的集成电路的布图方法，其中，于所述间隔区域填充至少一个虚拟图案的具体步骤包括：

判断所述第一栅极图案的线宽是否等于所述第二栅极图案的线宽，若否，则判断所述间隔区域的宽度是否满足同时填充第一虚拟图案和第二虚拟图案的要求，若否，则再判断所述第一栅极图案的线宽是否小于所述第二栅极图案的线宽，若是，则于所述间隔区域仅填充所述第一虚拟图案，若否，则于所述间隔区域仅填充所述第二虚拟图案，所述第一虚拟图案为与所述第一栅极图案的线宽相同的图案，所述第二虚拟图案为与所述第二栅极图案的线宽相同的图案。

8. 根据权利要求 6 或 7 所述的集成电路的布图方法，其中，所述第一虚拟图案的长度与所述第一栅极图案的长度或所述第一辅助图案的长度相同，所述第二虚拟图案的长度与所述第二栅极图案的长度或所述第二辅助图案的长度相同。

9. 根据权利要求 6 所述的集成电路的布图方法, 其中, 还包括如下步骤:

判断填充后的所述第一虚拟图案与所述第二虚拟图案之间的距离是否小于第一阈值, 若是, 则使得填充的所述第一虚拟图案与所述第二虚拟图案连接。

10. 根据权利要求 2 所述的集成电路的布图方法, 其中, 还包括如下步骤:

判断所述第一元件区域外围是否存在与其相邻的导电插塞, 若是, 则于所述第一元件区域与所述导电插塞之间填充插塞虚拟图案, 所述插塞虚拟图案的线宽与所述第一栅极图案的线宽相同。

11. 根据权利要求 2 所述的集成电路的布图方法, 其中, 所述版图图中还包括导电插塞、以及与所述第一元件区域相邻的第三元件区域; 所述第三元件区域包括第三有源区、位于所述第三有源区内的第三栅极图案、位于所述第三有源区外侧的第三辅助图案; 所述集成电路的布图方法还包括如下步骤:

判断所述第一元件区域、所述第三元件区域与所述导电插塞是否共同围绕形成一空白区域, 若是, 则于所述空白区域填充与所述第一元件区域和所述第三元件区域均匹配的第三虚拟图案, 所述空白区域是指未设置栅极图案的区域。

12. 根据权利要求 11 所述的集成电路的布图方法, 其中, 所述第一栅极图案和所述第三栅极图案沿第一方向延伸, 所述第一栅极图案与所述第三栅极图案沿第二方向间隔排列, 所述第一方向与所述第二方向垂直, 所述第一栅极图案在所述第一方向上的长度或位置超出所述第三栅极图案; 于所述空白区域填充与所述第一元件区域和所述第三元件区域均匹配的所述第三虚拟图案的具体步骤包括:

于所述空白区域填充沿所述第一方向延伸的所述第三虚拟图案, 所述第三虚拟图案的位置在所述第一方向上与所述第三栅极图案或者所述第三辅助图案对齐, 在所述第二方向上与所述第一栅极图案或者所述第一辅助图案对齐。

13. 根据权利要求 12 所述的集成电路的布图方法, 其中, 多个

所述第三虚拟图案填满所述空白区域；

在所述第二方向上，相邻所述第三虚拟图案之间的距离与所述第三栅极图案和所述第三辅助图案之间的距离相等。

14. 根据权利要求 12 所述的集成电路的布图方法，其中，还包括如下步骤：

判断所述空白区域是否存在其他元件图案，若是，则控制所述第三虚拟图案与所述其他元件图案之间的最小距离大于或者等于第二阈值。

15. 根据权利要求 1 所述的集成电路的布图方法，其中，对所述第一元件区域、所述第二元件区域和所述间隔区域中的至少一个进行标注之后，还包括如下步骤：

调整所述第一元件区域和/或所述第二元件区域的位置，使所述间隔区域的宽度增大至所述预设宽度。

16. 根据权利要求 3 所述的集成电路的布图方法，其中，对所述第一元件区域、所述第二元件区域和所述间隔区域中的至少一个进行标注之后，还包括如下步骤：

判断所述间隔区域的宽度是否小于所述第一子预设宽度，若否，则于所述间隔区域填充所述虚拟图案，所述虚拟图案的线宽与所述第一栅极图案的线宽相同。

17. 根据权利要求 16 所述的集成电路的布图方法，其中，确定所述间隔区域的宽度大于所述第一子预设宽度之后，还包括如下步骤：

判断于所述间隔区域填充的所述虚拟图案与所述第二辅助图案之间的距离是否小于第一阈值，若是，则使得填充的所述虚拟图案与所述第二辅助图案连接。

18. 一种集成电路的布图装置，其中，包括：

存储模块，用于存储版图，所述版图包括第一元件区域和第二元件区域，所述第一元件区域与所述第二元件区域之间具有一间隔区域；

检测模块，连接所述存储模块，用于检测所述间隔区域的宽度是

否小于预设宽度，若是，则对所述第一元件区域、所述第二元件区域和所述间隔区域中的至少一个进行标注，所述预设宽度是指满足要求的最小宽度，其中，所述要求为在所述间隔区域填充至少一个虚拟图案。

19. 根据权利要求 18 所述的集成电路的布图装置，其中，所述第一元件区域包括第一有源区、位于所述第一有源区内的第一栅极图案以及位于所述第一元件区域朝向所述第二元件区域一侧的第一辅助图案，所述第二元件区域包括第二有源区、位于所述第二有源区内的第二栅极图案以及位于所述第二元件区域朝向所述第一元件区域一侧的第二辅助图案；

所述检测模块用于测量所述第一辅助图案与所述第二辅助图案之间的距离；或者，

所述检测模块用于测量所述第一有源区与所述第二有源区之间的距离，并计算所述第一辅助图案与所述第二辅助图案之间的距离。

20. 根据权利要求 19 所述的集成电路的布图装置，其中，还包括：

填充模块，连接所述检测模块，用于在所述检测模块检测到所述间隔区域的宽度大于所述预设宽度时，于所述间隔区域填充至少一个所述虚拟图案。